

应用笔记

Application Note

文档编号: **AN1111**

APM32F103xB 硬件开发指南

版本: **V1.0**

1 引言

这份应用笔记是关于 **APM32F103xB** 系列的最小系统硬件设计说明,如供电方案、时钟源、复位方式、启动方式的设置和调试管理等。

详细的参考设计图也包含在这篇文档里,包括主要组件、接口、模式的说明。

目录

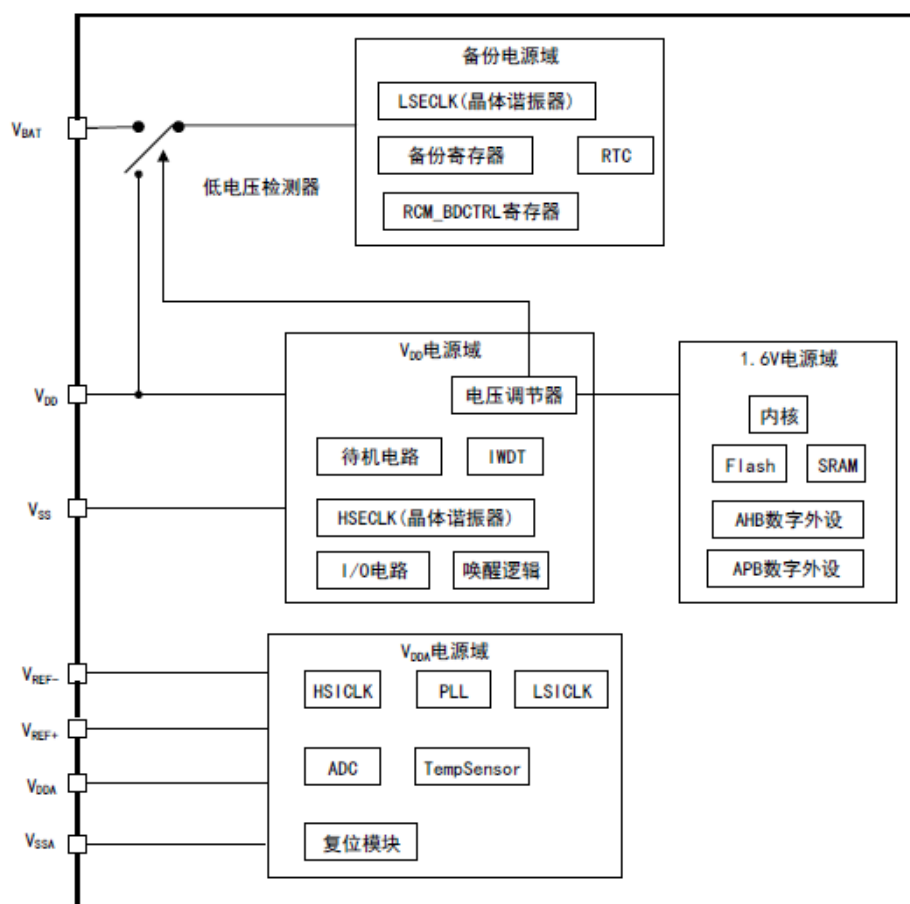
1	引言	1
2	电源.....	3
2.1	简介	3
2.2	供电方案.....	4
2.3	电源管理及复位	5
3	时钟	8
3.1	外部时钟源	9
4	启动配置.....	10
5	调试接口 (SWJ-DP)	11
5.1	调试引脚功能配置	12
5.2	复位期间和刚复位后的 IO 状态	12
5.3	推荐调试接口电路	13
6	设计建议.....	15
6.1	PCB 叠层.....	15
6.2	电源设计	15
6.3	时钟设计	15
6.4	I/O 设计	16
6.5	EMC 和 EMI	16
6.6	参考原理图设计	17
7	版本历史.....	18

2 电源

2.1 简介

电源是一个系统稳定运行的基础，工作电压为 2.0~3.6V，可以通过内置的电压调节器提供 1.6V 的电源，若主电源 VDD 掉电，则通过 VBAT 给后备供电区域供电。

图 1 电源控制结构框图



2.1.1 电压调节器

给 1.6V 电源域供电，有以下几种工作模式：

- 正常模式：此模式下 1.6V 供电区域全功率运行
- 停止模式：此模式下 1.6V 供电区域工作在低功耗状态，所有时钟关闭，外设停止工作
- 待机模式：此模式下 1.6V 供电区域停止供电，除了备用电路，寄存器和 SRAM 内容都会丢失。

2.1.2 备份电源域

- 当 VDD 存在时, 后备供电区域由 VDD 供电, 当 VDD 掉电时, 后备供电区域由 VBAT 供电, 用来保存后备寄存器的内容和维持 RTC 功能。给 LSECLK 晶体谐振器、RTC、备份寄存器和 RCM_BDCTRL 寄存器、PC13、PC14、PC15 供电。
- V_{BAT} 必须在外部被连接到 V_{DD} 在没有使用外部电池时。

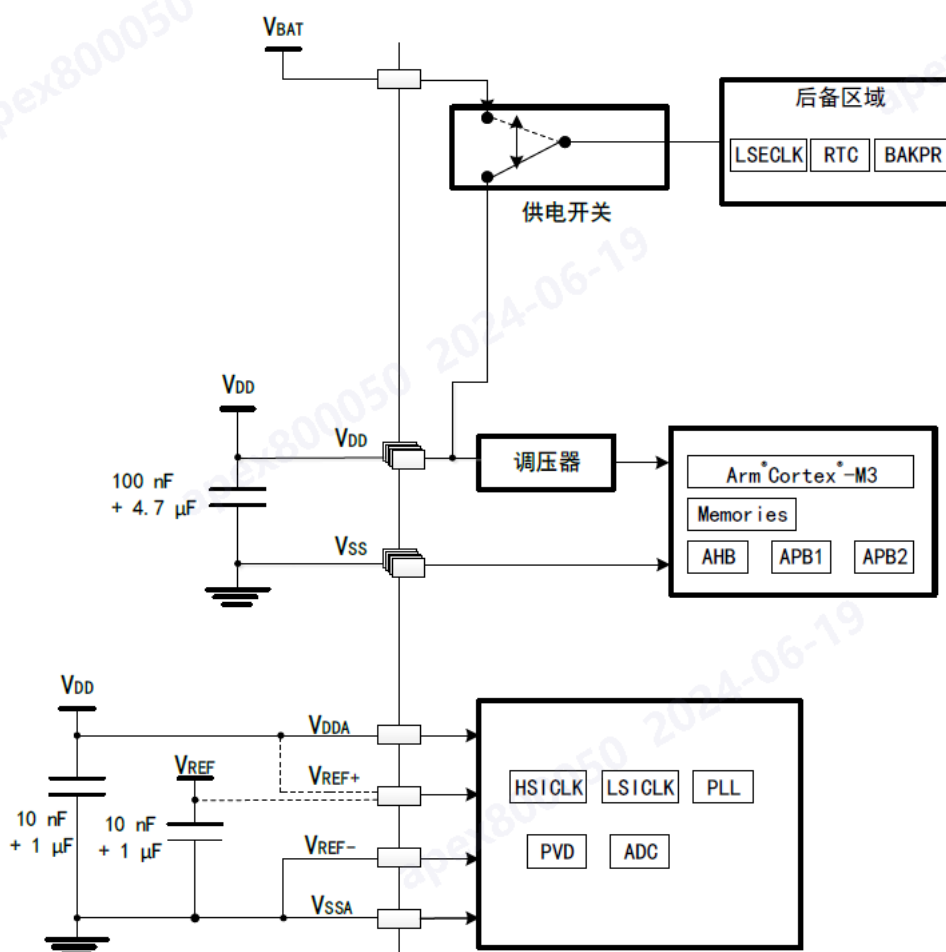
2.1.3 独立的 ADC 电源和参考电压

独立的 ADC 电源可以提高转换精度, 具体电源引脚如下:

- V_{DDA}: ADC 的电源引脚
- V_{SSA}: 独立电源地引脚
- V_{REF+}/V_{REF-}: ADC 参考电压引脚

2.2 供电方案

图 2 供电方案



注意各电源域供电范围:

表格 1 电源方案

名称	电压范围	说明
V_{DD}	2.0 ~ 3.6V	V_{DD} 直接给 IO 口供电, 另外 V_{DD} 经电压调压器为核心电路供电。
V_{DDA}	2.4 ~ 3.6V	与 V_{DD} 相连, 为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分供电。使用 ADC 时, V_{DDA} 大于等于 2.4V。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
V_{BAT}	1.8V ~ 3.6V	当关闭 V_{DD} 时, 自动为 RTC、外部 32.768KHz 振荡器和后备寄存器供电。

其中:

表格 2 电源域注意事项

V_{DD}	V_{DD} 必须连接外部电容(x 个 100nF 的陶瓷电容 ⁽¹⁾ 和一个不小于 4.7 μ F 钽电容)的 V_{DD} 电源。 V_{DDX} 表示 V_{DD} 的个数是 x 个。
V_{BAT}	V_{BAT} 引脚可以连接到外部电池(1.8V < 3.6V)。如果没有外部电池, 则需要一个外部 100nF 的陶瓷电容 ⁽¹⁾ 一起连接到 V_{DD} 电源上。
V_{DDA}	V_{DDA} 引脚必须外接电容 (10nF 陶瓷电容 ⁽¹⁾ +1 μ F 钽电容)。
V_{REF+}	V_{REF+} 引脚可以直接与 V_{DDA} 相连也可以单独使用外部参考电压, 必须在这个引脚上连接一个 10nF 和一个 1 μ F 的陶瓷电容 ⁽¹⁾ 。同时 V_{REF+} 电压范围必须在 2.4V 和 V_{DDA} 之间。

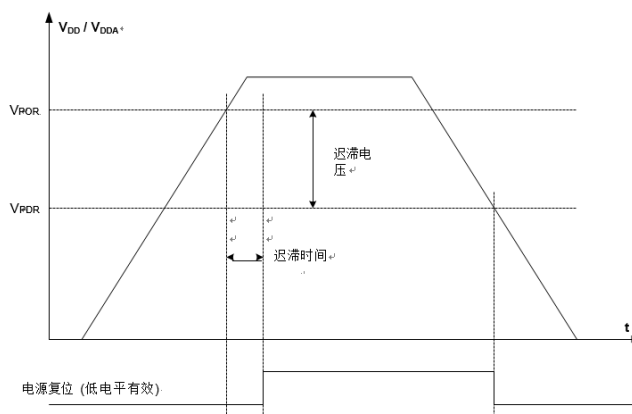
(1)陶瓷电容推荐使用 X7R 材质的电容。

2.3 电源管理及复位

2.3.1 上电复位与掉电复位 (POR 与 PDR)

当检测到 V_{DD}/V_{DDA} 低于阈值电压 V_{POR} 和 V_{PDR} 时, 芯片将会自动保持为复位状态, 上电复位和掉电复位的波形图如下, POR、PDR、迟滞电压、迟滞时间请参考“数据手册”。

图 3 上电复位和掉电复位的波形图

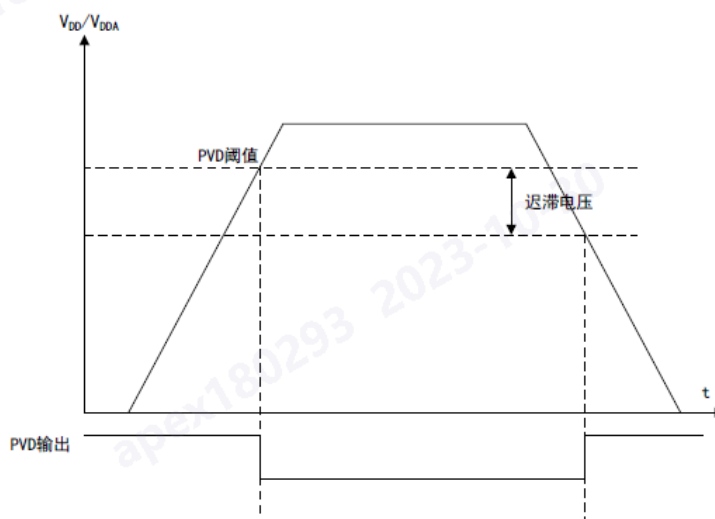


2.3.2 电源电压监测器 (PVD)

PVD 可设置阈值, 可监测 V_{DD}/V_{DDA} 高于还是低于阈值。如果使能中断, 可触发中断, 提前处理 V_{DD}/V_{DDA} 超过阈值的情况。PVD 的使用方法如下:

- (1) 配置寄存器 PMU_CTRL 的 PVDEN 位置 1 使能 PVD
- (2) 配置寄存器 PMU_CTRL 的 PLSEL[2:0]位选择 PVD 的电压阈值
- (3) 配置寄存器 PMU_CSTS 的 PVDOFLG 位表明 V_{DD} 的值是高于还是低于 PVD 的阈值
- (4) 当检测到 V_{DD}/V_{DDA} 低于或高于 PVD 阈值时, 将产生 PVD 中断 PVD 的阈值波形监下图。PVD 阈值、迟滞电压请参考“数据手册”。

图 4 PVD 阈值波形图



2.3.3 系统复位

复位源分为外部复位源、内部复位源。

表格 3 复位源

外部复位源:	NRST 引脚上的低电平。
内部复位源:	(1) 窗口看门狗终止计数 (WWDI 复位) (2) 独立看门狗终止计数 (IWDI 复位) (3) 软件复位 (SW 复位) (4) 低功耗管理复位 (5) 电源复位

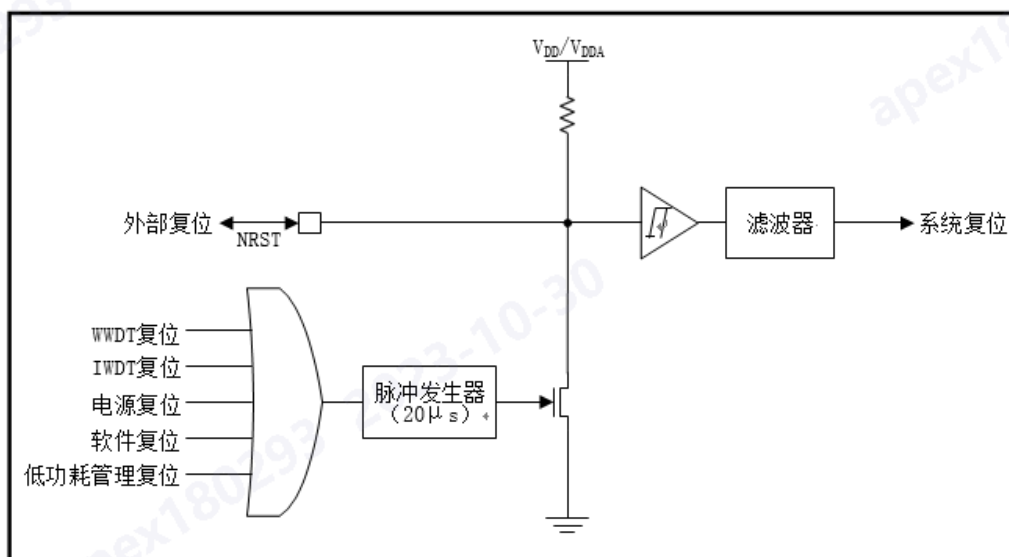
以上任一事件发生时, 都能产生一个系统复位。另外, 可以通过查看 RCM_CSTS (控制/状态寄存器) 中的复位标志位识别复位事件来源。

2.3.3.1 系统复位电路

复位源均作用于 NRST 引脚, 该引脚并在复位过程中保持低电平。内部复位源通过脉冲发生器在 NRST 引脚产生延时至少 $20\mu\text{s}$ 的脉冲, 引起 NRST 保持电平产生复位; 外部复位源则直接将 NRST 引脚电平拉低产生复位。

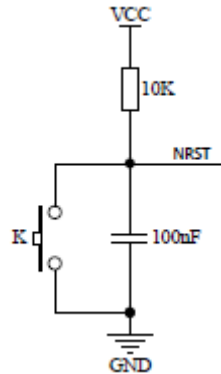
系统复位电路见图 5:

图 5 系统复位电路



推荐外部复位电路:

图 6 外部复位电路

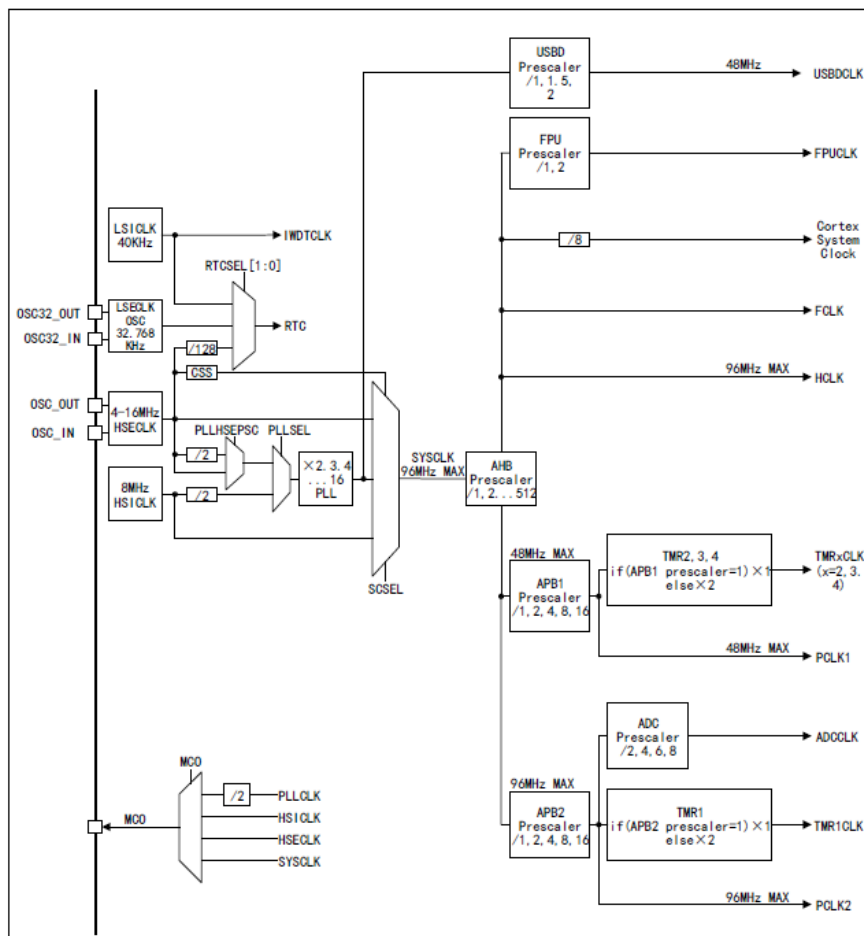


3 时钟

整个系统的时钟源有：HSECLK、LSECLK、HSICLK、LSICLK、PLL。关于时钟源的特性，请参考数据手册的“电气特性”中的相关章节。

时钟树：

图 7 时钟树



3.1 外部时钟源

外部时钟信号包括 HSECLK（高速外部时钟信号）和LSECLK（低速外部时钟信号）。
外部的时钟源有两种：

- 用户外部时钟
- 外部晶体/陶瓷谐振器

两种时钟源的硬件配置如下图所示：

表格 4 HSECLK/LSECLK 的时钟源硬件配置

时钟源	硬件配置
外部时钟	
晶体/陶瓷谐振器	

- (1) 为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。匹配电容（ C_{L1} 、 C_{L2} ）的值必须根据所选择的振荡器来调整。
- (2) 负载电容 C_L 遵循以下公式： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_s$ 。 C_s 为 PCB 和 MCU 引脚的相关电容。典型值在 2pF 到 10pF 之间。

3.1.1 HSECLK 高速外部时钟信号

HSECLK 时钟信号由 HSECLK 外部晶体/陶瓷谐振器和 HSECLK 外部时钟两种时钟源产生。

表格 5 产生 HSECLK 的时钟源

名称	说明
外部时钟源 (HSECLK 旁路)	通过 OSC_IN 引脚给 MCU 提供时钟。 信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 50%占空比的方波、正弦波或三角波，最高频率可达 25MHz。

	硬件连接上, 必须连到 OSC_IN 引脚, 同时保证 OSC_OUT 引脚悬空。
名称	说明
外部晶体/陶瓷谐振器 (HSECLK 晶体)	通过谐振器给 MCU 提供时钟, 谐振器包括晶体谐振器、陶瓷谐振器。频率范围是 4-16MHz。 需要 OSC_IN、OSC_OUT 连接谐振器, 可以通过设置时钟控制寄存器里 RCM_CTRL 中的 HSEEN 位, 启动和关闭。 关于外部匹配电容大小可参考公式: $C_{L1} = C_{L2} = 2 * (C_L - C_s)$, 其中 C_s 为 PCB 和 MCU 引脚的杂散电容, 典型值为 10pF。推荐选用外部高速晶体时, 尽量选择晶体负载电容在 20pF 左右的, 这样外部所接匹配电容⁽¹⁾ C_{L1} 和 C_{L2} 电容值为 20pF 即可, 且 PCB Layout 时尽可能近地靠近晶振引脚。

(1)晶振匹配电容推荐使用材质为 NPO (COG) 的温度补偿电容。

3.1.2 LSECLK 低速外部时钟信号

LSECLK 时钟信号由 LSECLK 外部晶体/陶瓷谐振器和 LSECLK 外部时钟两种时钟源产生。

表格 6 产生 LSECLK 的时钟源

名称	说明
外部时钟源 (LSECLK 旁路)	通过 OSC32_IN 引脚给 MCU 提供时钟。 信号可以有普通的函数信号发送器 (调试时) 晶体振荡器、其它信号发生器产生; 波形可以是 50% 占空比的方波、正弦波或三角波, 信号频率需为 32.768kHz。 硬件连接上, 必须连到 OSC32_IN 引脚, 同时保证 OSC32_OUT 引脚悬空; MCU 配置上, 用户可通过设置在 RCM_BDCTRL (备份域控制寄存器) 里的 LSEBCFG 和 LSEEN 位来选择这个模式。
外部晶体/陶瓷谐振器 (LSECLK 晶体)	通过谐振器给 MCU 提供时钟, 谐振器包括晶体谐振器、陶瓷谐振器。频率是 32.768kHz。 需要 OSC32_IN、OSC32_OUT 连接谐振器, 可以通过在 RCM_BDCTRL 里的 LSEEN 位启动和关闭。 关于外部匹配电容大小可参考公式: $C_{L1} = C_{L2} = 2 * (C_L - C_s)$, 其中 C_s 为 PCB 和 MCU 引脚的杂散电容, 典型值为 5pF。推荐选用外部晶体时, 尽量选择晶体负载电容 10pF 左右的, 这样外部所接匹配电容⁽¹⁾ C_{L1} 和 C_{L2} 电容值为 10pF 即可, 且 PCB Layout 时尽可能近地靠近晶振引脚。

(1)晶振匹配电容推荐使用材质为 NPO 或 COG 的温度补偿电容。

4 启动配置

由于 Arm®Cortex®-M3 内核的 CPU 从 ICode Bus (指令总线) 获取复位向量, 导致启

动只能从代码区开始, 典型为 Flash 存储器启动。但是, APM32 微控制器系列实现了一个特殊的机制, 通过配置 BOOT[1:0]引脚参数, 可以用有三种不同的启动模式, 即系统可以不仅仅从 Flash 存储器或系统存储器启动, 还可以从内置 SRAM 启动。被选作启动区域的存储器是由选择的启动模式决定的。

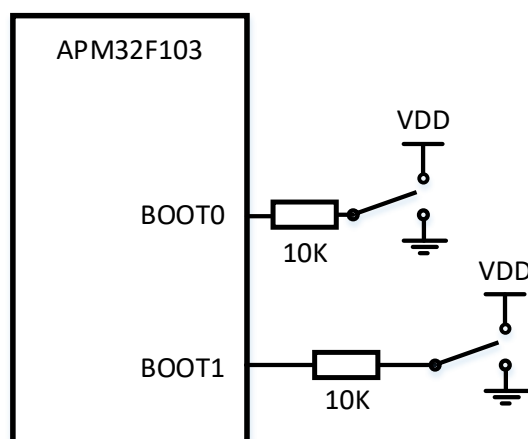
表格 7 启动模式配置及其访问方式

启动模式选择引脚		启动模式	访问方式
BOOT0	BOOT1		
0	X	主闪存存储器 (Flash)	主闪存存储器被映射到启动空间, 但仍然能够在它原有的地址访问它, 即闪存存储器的内容可以在两个地址区域访问。
1	0	系统存储器	系统存储器被映射到启动空间 (0x0000 0000) 但仍然能够在它原有的地址访问它。
1	1	内置 SRAM	只能在开始的地址区访问 SRAM。

- 用户可以通过设置 BOOT1 和 BOOT0 引脚的状态, 来选择在复位后的启动模式。
- BOOT 引脚应在待机模式下保持用户需要的启动配置, 当从待机模式退出时, 引脚的值会被锁存。
- 如果选择从内置 SRAM 启动, 那么在编写应用代码时, 必须使用 NVIC 的异常表和偏移寄存器, 重新将向量表映射至 SRAM 中。

推荐 BOOT 电路设计:

图 8 推荐 BOOT 电路设计



5 调试接口 (SWJ-DP)

产品支持串行调试接口(SW-DP)和 JTAG(JTAG-DP)调试接口两种方式。

表格 8 调试接口

SW-DP	SW-DP 接口为 AHB 模块提供 2 针(数据+时钟)接口。其中, SW-DP 接口的 2 个引脚和 JTAG 接口的 5 个引脚中的一些是复用的。
JTAG	JTAG 接口为 AHB 访问端口提供 5 针标准 JTAG 接口。

5.1 调试引脚功能配置

- 实现芯片的在线编程和调试。
- 利用 KEIL/IAR 等软件实现在线调试及下载编程。
- 灵活实现离线编程器的制作。

表格 9 引脚功能配置

SWJ- CFG[2:0]	配置为调试专用的引脚	SWJ 接口的 I/O 口分配				
		PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTDO	PB4/ JNTRST
其它	禁止	释放				
100	JTAG-DP 接口和 SW-DP 接口都禁止					
010	JTAG-DP 接口禁止, SW-DP 接口允许	专用	专用	释放		
001	所有的 SWJ 引脚 (JTAG-DP+SW-DP) 除了 JNTRST 引脚	专用	专用	专用	专用	释放
000	所有的 SWJ 引脚 (JTAG-DP+SW-DP) 复位状态	专用	专用	专用	专用	专用

5.2 复位期间和刚复位后的 IO 状态

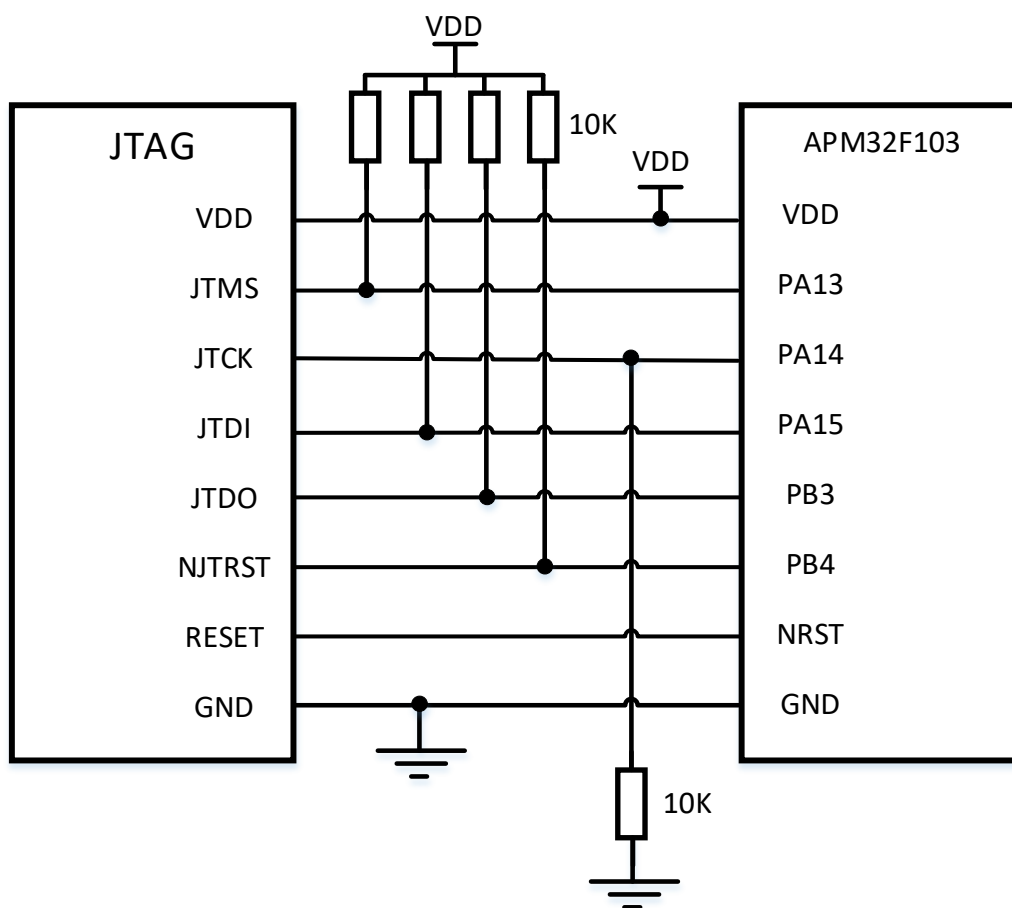
GPIO 在复位期间和刚复位后, 复用功能未开启, I/O 端口将会被配置为浮空输入模式, 此情况下输入模式禁用上拉/下拉电阻。复位后 JTAG 引脚被置于输入上拉或下拉模式, 具体配置如下:

- PA15: JTDI 置于上拉模式;
- PA14: JTCK 置于下拉模式;
- PA13JTMS 置于上拉模式;
- PB4: JNTRST 置于上拉模式;
- PB3: JTDO 为浮空模式。

5.3 推荐调试接口电路

推荐 JTAG 接口参考设计:

图 9 JTAG 接口电路

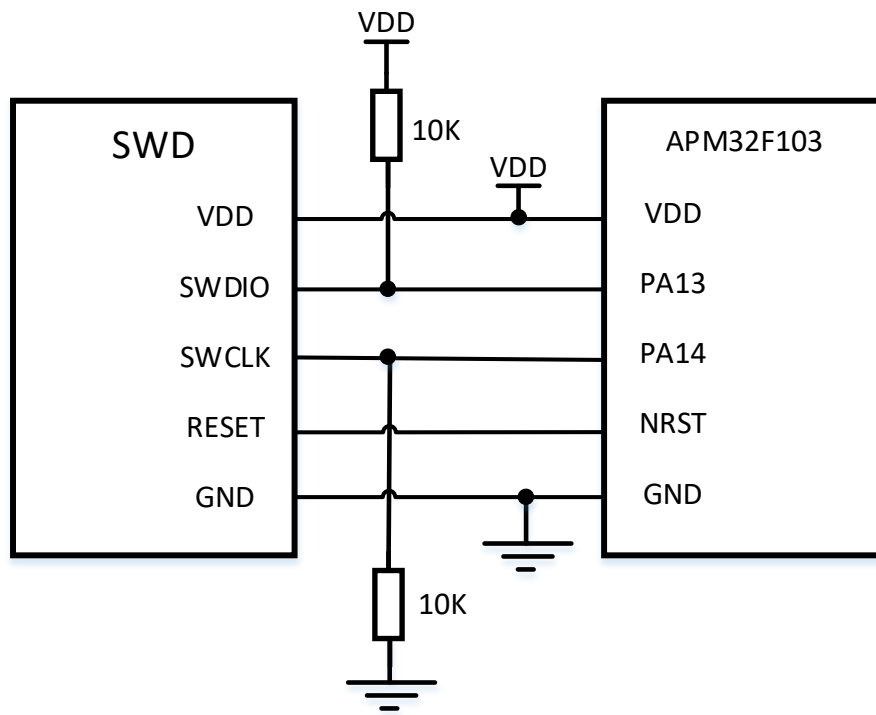


注意:

(1) JTAG 接口参考设计在 JTMS、JTDI、JTDO、NJTRST 管脚增加外置上拉电阻，JTCK 管脚增加下拉电阻，可增强下载调试的抗干扰能力。如果这些管脚复用为其它功能时，请评估上拉电阻和下拉电阻所产生的影响，可根据实际情况进行删减。

推荐 SWD 接口参考设计:

图 10 SWD 接口电路



注意:

(1) SWD 接口参考设计在 SWDIO, SWCLK 管脚增加外置上拉和下拉电阻, 可增强下载调试的抗干扰能力, 如果这两个管脚复用为其它功能时, 请评估上拉电阻和下拉电阻所产生的影响, 可根据实际情况进行删减。

6 设计建议

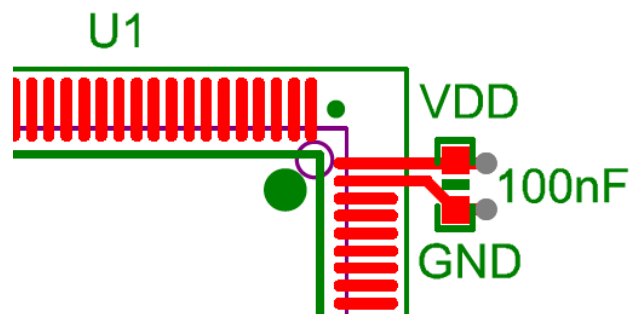
6.1 PCB 叠层

- 层数: 建议使用多叠层设计, 以保证有独立的 **GND** 和电源层, 这样能较好的保证信号的完整性以及增强屏蔽效果。但出于成本考虑, 用户可以在保证良好的接地以及供电前提下去减少叠层。
- 信号和地层: 信号层应该紧邻地层。这有助于减少电磁干扰和信号路径的环路面积, 同时可以作为信号的参考平面。
- 电源和地层: 电源层应与地层相隔开。

6.2 电源设计

- 稳定的电源输入: 确定好供电电源稳定, 过滤好电源噪声。
- 去耦电容: 在靠近芯片的每个 **VDD** 引脚放置一个或者多个 **100nF** 的去耦电容。

图 11 推荐电源引脚去耦电容 Layout 设计

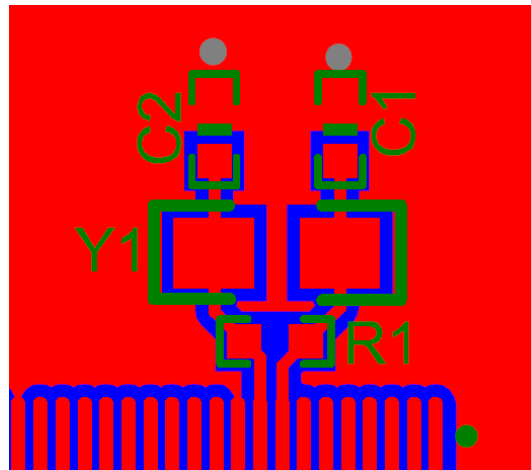


- 电源走线: 电源走线建议足够宽和短以减少寄生参数影响和压降。

6.3 时钟设计

- 晶振选择: 选择合适的晶振, 确保它符合 **MCU** 的工作频率和稳定性要求。
- 布线建议: 时钟信号布线应尽量短且远离其他大电流, 高速信号线等强干扰信号。并且建议使用包地处理, 增强屏蔽效果。
- 布局建议: 晶振电路要靠近芯片处摆放, 为了减少干扰, 整个晶振电路下方最好有完成的地平面。

图 12 推荐时钟引脚 Layout 设计



6.4 I/O 设计

- I/O 配置：正确配置 I/O 口的模式，如输入、输出、上下拉、开漏模式等。
- 保护：对于外部连接的 I/O 口，考虑增加电压保护（TVS 管）和串联电阻。

6.5 EMC 和 EMI

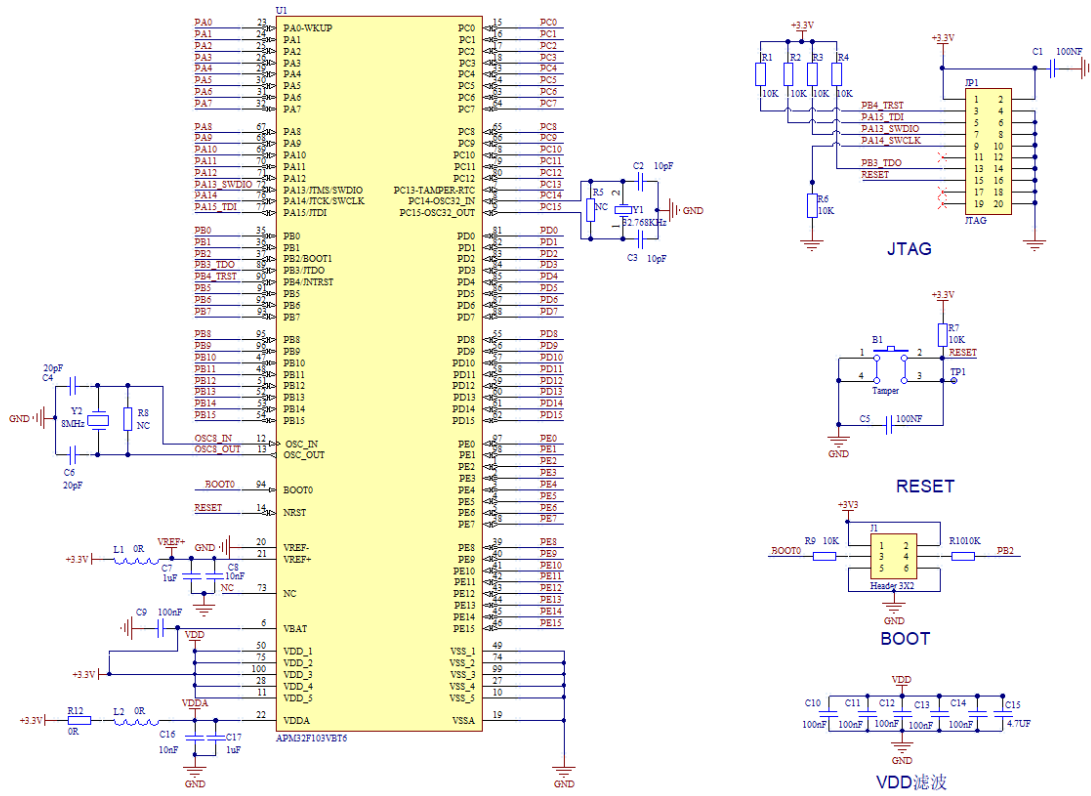
- 布局：考虑电磁兼容（EMC）和电磁干扰（EMI）的设计，布局要合理。如将 MCU 远离大功率和强干扰源，考虑如何减少环路面积等。
- 屏蔽：对敏感和高速电路使用屏蔽和合理的接地策略。

6.6 接地处理

- 单点接地：在低频电路或噪声要求不是太高的电路中，采用单点接地可以避免地环路的形成。在这种情况下，所有的接地点都应该连接到一个公共的接地点，这个接地点通常是电源的负极或电路板上的某个接地平面。
- 多点接地：在高频电路或者大电流电路中，通常使用多点接地。每个组件或功能模块的接地都直接连接到最近的接地平面，这样可以降低地线的阻抗，减少噪声和电磁干扰。
- 分离模拟与数字地：如果 **MCU** 同时处理模拟信号和数字信号，应该将模拟接地和数字接地分开处理。这可以通过物理上分离两个接地平面来实现，并在某一点将它们合并连接到主接地上，这样可以减少数字噪声对模拟信号的干扰。

6.7 参考原理图设计

图 13 参考原理图



7 版本历史

表格 10 文件修订历史

日期	版本	变更历史
2024.6	V1.0	新建

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“TM”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，除非在极海销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及 / 或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册相关信息而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失）。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2024 珠海极海半导体有限公司 - 保留所有权利