# 用户手册

## APM32E030x8

## 基于 Arm® Cortex®-M0+ 内核的 32 位微控制器

版本：**V 1.2**

© 珠海极海半导体有限公司

# 目录


**1 简介及文档描述规则 ..... 6**

1.1 简介 ..... 6

1.2 文档描述规则 ..... 6

**2 系统架构 ..... 9**

2.1 术语全称、缩写描述 ..... 9

2.2 系统架构框图 ..... 9

2.3 存储器映射 ..... 10

2.4 启动配置 ..... 10

**3 FLASH 存储器 ..... 12**

3.1 术语全称、缩写描述 ..... 12

3.2 主要特征 ..... 12

3.3 FLASH 存储器结构 ..... 12

3.4 FLASH 存储器功能说明 ..... 13

3.5 FMC 寄存器地址映射 ..... 17

3.6 FMC 寄存器功能描述 ..... 17

**4 系统配置控制器（SYSCFG） ..... 21**

4.1 术语全称、缩写描述 ..... 21

4.2 寄存器地址映射 ..... 21

4.3 寄存器功能描述 ..... 21

**5 复位与时钟管理（RCM） ..... 27**

5.1 术语全称、缩写描述 ..... 27

5.2 复位功能描述 ..... 27

5.3 时钟管理功能描述 ..... 29

5.4 寄存器地址映射 ..... 34

5.5 寄存器功能描述 ..... 35

**6 电源管理单元（PMU） ..... 51**

6.1 术语全称、缩写描述 ..... 51

6.2 简介 ..... 51

6.3 结构框图 ..... 51

6.4 功能描述 ..... 52

6.5 寄存器地址映射 ..... 55

6.6 寄存器功能描述 ..... 55
**7 嵌套向量中断控制器（NVIC） ..... 57**
7.1 术语全称、缩写描述 ..... 57
7.2 简介 ..... 57
7.3 主要特征 ..... 57
7.4 中断和异常向量表 ..... 57
**8 外部中断/事件控制器（EINT） ..... 59**
8.1 简介 ..... 59
8.2 功能描述 ..... 59
8.3 寄存器地址映射 ..... 61
8.4 寄存器功能描述 ..... 61
**9 直接存储器存取（DMA） ..... 64**
9.1 术语全称、缩写描述 ..... 64
9.2 简介 ..... 64
9.3 主要特征 ..... 64
9.4 功能描述 ..... 65
9.5 寄存器地址映射 ..... 69
9.6 寄存器功能描述 ..... 70
**10 调试 MCU（DBGMCU） ..... 74**
10.1 术语全称、缩写描述 ..... 74
10.2 简介 ..... 74
10.3 主要特征 ..... 74
10.4 功能描述 ..... 75
10.5 寄存器地址映射 ..... 75
10.6 寄存器功能描述 ..... 75
**11 通用输入/输出引脚（GPIO） ..... 79**
11.1 术语全称、缩写描述 ..... 79
11.2 主要特征 ..... 79
11.3 结构框图 ..... 80
11.4 功能描述 ..... 80
11.5 寄存器地址映射 ..... 85
11.6 寄存器功能描述 ..... 85
**12 定时器概述 ..... 89**

12.1 术语全称、缩写描述 ..... 89
12.2 定时器类别及主要差异 ..... 89
**13 高级定时器（TMR1） ..... 92**
13.1 简介 ..... 92
13.2 主要特征 ..... 92
13.3 结构框图 ..... 93
13.4 功能描述 ..... 93
13.5 寄存器地址映射 ..... 108
13.6 寄存器功能描述 ..... 109
**14 通用定时器（TMR3） ..... 128**
14.1 简介 ..... 128
14.2 主要特征 ..... 128
14.3 结构框图 ..... 129
14.4 功能描述 ..... 129
14.5 寄存器地址映射 ..... 141
14.6 寄存器功能描述 ..... 142
**15 通用定时器（TMR14） ..... 158**
15.1 简介 ..... 158
15.2 主要特征 ..... 158
15.3 结构框图 ..... 158
15.4 功能描述 ..... 159
15.5 寄存器地址映射 ..... 162
15.6 寄存器功能描述 ..... 163
**16 通用定时器（TMR15/16/17） ..... 170**
16.1 简介 ..... 170
16.2 主要特征 ..... 170
16.3 结构框图 ..... 171
16.4 功能描述 ..... 172
16.5 TMR15 寄存器地址映射 ..... 181
16.6 TMR15 寄存器功能描述 ..... 182
16.7 TMR16 和 TMR17 寄存器地址映射 ..... 195
16.8 TMR16 和 TMR17 寄存器功能描述 ..... 196
**17 基本定时器（TMR6） ..... 207**

17.1 简介 ..... 207
17.2 主要特征 ..... 207
17.3 结构框图 ..... 207
17.4 功能描述 ..... 207
17.5 寄存器地址映射 ..... 209
17.6 寄存器功能描述 ..... 209
**18 红外定时器（IRTMR） ..... 212**
18.1 简介 ..... 212
18.2 功能描述 ..... 212
**19 看门狗定时器（WDT） ..... 213**
19.1 简介 ..... 213
19.2 独立看门狗定时器（IWDT） ..... 213
19.3 窗口看门狗定时器（WWDT） ..... 215
19.4 IWDT 寄存器地址映射 ..... 217
19.5 IWDT 寄存器功能描述 ..... 217
19.6 WWDT 寄存器地址映射 ..... 219
19.7 WWDT 寄存器功能描述 ..... 219
**20 实时时钟（RTC） ..... 221**
20.1 术语全称、缩写描述 ..... 221
20.2 简介 ..... 221
20.3 主要特征 ..... 221
20.4 结构框图 ..... 221
20.5 功能描述 ..... 222
20.6 寄存器地址映射 ..... 226
20.7 寄存器功能描述 ..... 227
**21 通用同步异步收发器（USART） ..... 240**
21.1 术语全称、缩写描述 ..... 240
21.2 简介 ..... 240
21.3 主要特征 ..... 240
21.4 功能描述 ..... 241
21.5 寄存器地址映射 ..... 253
21.6 寄存器功能描述 ..... 253
**22 内部集成电路接口（I2C） ..... 264**

22.1 术语全称、缩写描述 ..... 264
22.2 简介 ..... 264
22.3 主要特征 ..... 264
22.4 结构框图 ..... 265
22.5 功能描述 ..... 266
22.6 寄存器地址映射 ..... 276
22.7 寄存器功能描述 ..... 276
**23 串行外设接口（SPI） ..... 287**
23.1 术语全称、缩写描述 ..... 287
23.2 简介 ..... 287
23.3 主要特征 ..... 287
23.4 SPI 功能描述 ..... 288
23.5 寄存器地址映射 ..... 299
23.6 寄存器功能描述 ..... 299
**24 模数转换器（ADC） ..... 305**
24.1 术语全称、缩写描述 ..... 305
24.2 简介 ..... 306
24.3 主要特征 ..... 306
24.4 功能描述 ..... 307
24.5 寄存器地址映射 ..... 312
24.6 寄存器功能描述 ..... 312
**25 循环冗余校验计算单元（CRC） ..... 319**
25.1 简介 ..... 319
25.2 功能描述 ..... 319
25.3 寄存器地址映射 ..... 319
25.4 寄存器功能描述 ..... 320
**26 芯片电子签名 ..... 321**
26.1 简介 ..... 321
26.2 功能描述 ..... 321
26.3 寄存器功能描述 ..... 321
**27 版本历史 ..... 323**

# 1 简介及文档描述规则

## 1.1 简介

本用户手册向应用程序开发人员提供关于如何使用 MCU（微控制器）系统架构、存储器和外设所涉及的全部信息。

关于 Arm® Cortex®-M0+内核的相关信息，请参考 Arm® Cortex®-M0+技术参考手册；有关 MCU 系列全部型号中，存储器映射、外设数目以及型号信息、尺寸和器件的电气特性等详细数据请参考对应的数据手册（datasheet）。

在此说明：珠海极海半导体有限公司，在以下正文中，简称“Geehy”。

## 1.2 文档描述规则

### 1.2.1 “寄存器功能描述”规则

（1） 控制类（CTRL）寄存器，未特别说明，都是“软件置 1 和清 0”。

（2） 控制类寄存器后面一般会有动词缩写以作区别，动词可以有：EN-Enable、CFG-Configure、D-Disable、SET-Setup、SEL-Select 等。

（3） 状态类寄存器缩写后面一般会有 FLG 以作区别。

（4） 数值、数据类寄存器，一般会包括 V、VALUE、D、DATA，这些词后面不加动词，比如：xxPSC，CNT，后面一般不添加动词。

### 1.2.2 术语全称、缩写描述

表格 1 R/W 方式缩写及描述

| R/W 方式 | 描述 | 缩写 |
|---|---|---|
| read/write | 软件能读写此位。 | R/W |
| read-only | 软件只能读此位。 | R |
| write-only | 软件只能写此位，读此位将返回复位值。 | W |
| read/clear | 软件可以读此位，也可以通过写 1 清除此位，写 0 对此位无影响。 | RC_W1 |
| read/clear | 软件可以读此位，也可以通过写 0 清除此位，写 1 对此位无影响。 | RC_W0 |
| read/clear by read | 软件可以读此位，读此位将自动地清除它为 0，写该位无效。 | RC_R |
| read/set | 软件可以读也可以设置此位，写 0 对此位无影响。 | R/S |
| read-only write trigger | 软件可以读此位，写 0 或 1 触发一个事件但对此位数值没有影响。 | RT_W |
| toggle | 软件只能通过写 1 来翻转此位，写 0 对此位无影响。 | T |

表格 2 常用寄存器功能描述术语全称、缩写

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 使能 | Enable | EN |
| 禁止 | Disable | D |
| 清除 | Clear | CLR |
| 选择 | Select | SEL |
| 配置 | Configure | CFG |
| 控制 | Contrl | CTRL |
| 控制器 | Controller | C |
| 复位 | Reset | RST |
| 停止 | Stop | STOP |
| 设置 | Set | SET |
| 装载 | Load | LD |
| 校准 | Calibration | CAL |
| 初始化 | Initialize | INIT |
| 错误 | Error | ERR |
| 状态 | Status | STS |
| 准备 | Ready | RDY |
| 软件 | Software | SW |
| 硬件 | Hardware | HW |
| 源 | Source | SRC |
| 系统 | System | SYS |
| 外设 | Peripheral | PER |
| 地址 | Address | ADDR |
| 方向 | Direction | DIR |
| 时钟 | Clock | CLK |
| 输入 | Input | I |
| 输出 | Output | O |
| 中断 | Interrupt | INT |
| 数据 | Data | DATA |
| 大小 | Size | SIZE |
| 除法器 | Divider | DIV |
| 预分频器 | Prescaler | PSC |
| 乘法器 | Multiplier | MUL |
| 周期 | Period | PRD |

表格 3 模块全称、简写

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 复位与时钟管理单元 | Reset and Clock Management Unit | RCM |
| 电源管理单元 | Power Management Unit | PMU |
| 嵌套向量中断控制器 | Nested Vector Interrupt Controller | NVIC |
| 外部中断/事件控制器 | External Interrupt /Event Controller | EINT |
| 直接存储器存取 | Direct Memory Access | DMA |
| 调试 MCU | Debug MCU | DBG MCU |
| 通用输入/输出引脚 | General-Purpose Input Output Pin | GPIO |
| 复用功能输入/输出引脚 | Alternate Function Input Output Pin | AFIO |
| 定时器 | Timer | TMR |
| 看门狗定时器 | Watchdog Timer | WDT |
| 独立看门狗 | Independent Watchdog Timer | IWDT |
| 窗口看门狗 | Windows Watchdog Timer | WWDT |
| 实时时钟 | Real-Time Clock | RTC |
| 通用同步异步收发器 | Universal Synchronous Asynchronous Receiver Transmitter | USART |
| 内部集成电路接口 | Inter-Integrated Circuit Interface | I2C |
| 串行外设接口 | Serial Peripheral Interface | SPI |
| 模拟数字转换器 | Analog-to-Digital Converter | ADC |
| 循环冗余校验计算单元 | Cyclic Redundancy Check Calculation Unit | CRC |

# 2 系统架构

## 2.1 术语全称、缩写描述

表格 4 术语全称、缩写描述

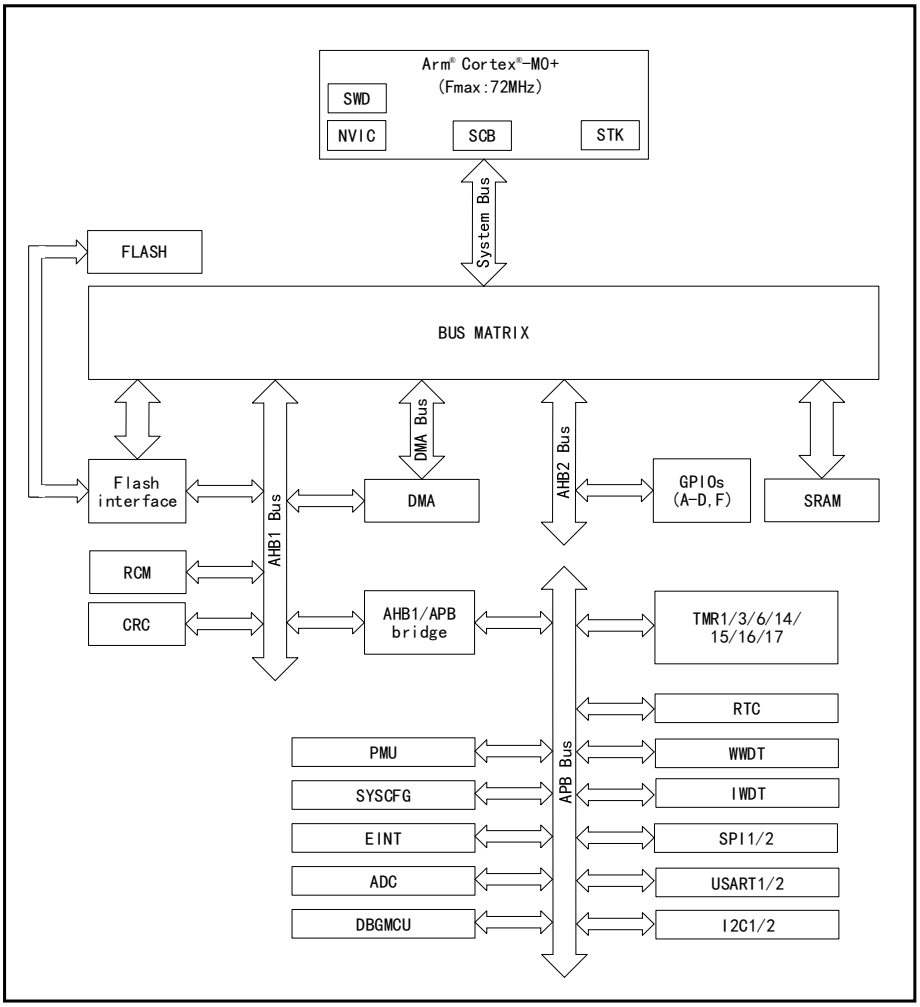
| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 高级高性能总线 | Advanced High-Performance Bus | AHB |
| 高级外围总线 | Advanced Peripheral Bus | APB |

## 2.2 系统架构框图

主系统主要由两个主模块和四个从模块构成。主模块分别是 Arm ® Cortex ® -M0+内核和通用 DMA。从模块分别是内部 SRAM、内部闪存存储器 FLASH、连接所有 GPIO 口的 AHB2 总线和在 AHB1 总线上的 AHB1/APB 桥，其中，AHB1/APB 桥连接所有外设设备。

这些都是通过一个多级的 AHB 总线构架相互连接的，如下图所示：

图 1 APM32E030x8 系统架构框图



表格 5 总线名称

| 名称 | 说明 |
|---|---|
| 系统总线 | 连接 Arm® Cortex®-M0+内核的系统总线（外设总线）与总线矩阵。 |
| DMA 总线 | 连接 DMA 的 AHB 主控接口与总线矩阵。 |
| 总线矩阵 | 协调内核和 DMA 的访问；由 CPU AHB、系统总线、DMA 总线和 FMC、SRAM、AHB2 和 AHB1/APB 桥组成。AHB 外设通过总线矩阵与系统总线相连，允许 DMA 访问。 |
| AHB/APB 桥 | 两个桥在 AHB 和 APB 总线间提供同步连接。当对 APB 寄存器进行非 32 位访问时，访问会被自动转换成 32 位。 |

## 2.3 存储器映射

存储器映射地址总共是 4GB 地址，分配的地址包括内核（包括内核外设）、片上 Flash（包括主存储区、系统存储区、选项字节）、片上 SRAM、总线外设（包括 AHB、APB 外设），各类地址具体信息请参考对应型号的数据手册。

### 2.3.1 嵌入式 SRAM

内置静态 SRAM。它可以以字节、半字（16 位）或全字（32 位）访问。SRAM 的起始地址是 0x2000 0000。

## 2.4 启动配置

APM32E 微控制器系列实现了一个特殊的机制，通过配置 BOOT0 引脚参数和 FMC_OBCS 中的 nBOOT1 位，可以用有三种不同的启动模式，即系统可以不仅仅从 Flash 存储器或系统存储器启动，还可以从内置 SRAM 启动。被选作启动区域的存储器是由选择的启动模式决定的。

### 2.4.1 启动模式配置

表格 6 启动模式配置及其访问方式

| 启动模式选择引脚 | | 启动模式 | 访问方式 |
|---|---|---|---|
| BOOT1 | BOOT0 | | |
| X | 0 | 主闪存存储器（Flash） | 主闪存存储器被映射到启动空间，但仍然能够在它原有的地址访问它，即闪存存储器的内容可以在两个地址区域访问。 |
| 0 | 1 | 系统存储器 | 系统存储器被映射到启动空间（0x0000 0000），但仍然能够在它原有的地址访问它。 |
| 1 | 1 | 内置 SRAM | 只能在开始的地址区访问 SRAM。 |

注意：

（1） 启动空间地址为 0x0000 0000；

（2） Flash 原有地址为 0x0800 0000；

（3） 系统存储器原有地址为 0x1FFF EC00；

（4） SRAM 的起始地址为 0x2000 0000；

（5） BOOT1 的值为 nBOOT1 选项位取反；

用户可以通过设置 BOOT1（配置 nBOOT1）和 BOOT0 引脚的状态，来选择在复位后的启动模式。BOOT 引脚应在待机模式下保持用户需要的启动配置，当从待机模式退出时，引脚的值会被锁存。

如果选择从内置 SRAM 启动，那么在编写应用代码时，必须使用 NVIC 的异常表和偏移寄存器，重新将向量表映射至 SRAM 中。

### 2.4.2 内嵌的启动程序

内嵌的启动程序由 Geehy 在生产线上写入并存放在系统存储区域。

# 3 Flash 存储器

本章主要介绍 Flash 的存储结构、读、擦、写、读/写保护、解锁/锁定特性，及涉及到的寄存器功能描述。

## 3.1 术语全称、缩写描述

表格 7 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 闪存存储器控制器 | Flash Memory Controller | FMC |

## 3.2 主要特征

（1） Flash 存储器结构

- 分为主存储区、信息块
- 主存储区容量最高为 64KB
- 信息块分为系统存储区、选项字节
- 系统存储区容量大小为 3KB，存放 BootLoader 程序、96 位唯一 UID、主存储区容量信息
- 选项字节区容量大小为 16Bytes

（2） 功能说明

- 读取 Flash
- 页/片擦 Flash
- 写 Flash
- 读/写保护 Flash
- 配置选项字节

## 3.3 Flash 存储器结构

表格 8 APM32E030x8 系列产品 Flash 存储结构

| 块 | 名称 | 地址范围 | 大小（字节） | 扇区 |
|---|---|---|---|---|
| 主存储块 | 页 0 | 0x0800 0000 - 0x0800 03FF | 1K | 扇区 0 |
| 主存储块 | 页 1 | 0x0800 0400 - 0x0800 07FF | 1K | |
| 主存储块 | 页 2 | 0x0800 0800 - 0x0800 0BFF | 1K | |
| 主存储块 | 页 3 | 0x0800 0C00 - 0x0800 0FFF | 1K | |
| 主存储块 | … | … | … | … |
| 主存储块 | 页 62 | 0x0800 F800 - 0x0800 FBFF | 1K | 扇区 15 |
| 主存储块 | 页 63 | 0x0800 FC00 - 0x0800 FFFF | 1K | |
| 信息块 | 系统存储区 | 0x1FFF EC00 - 0x1FFF F7FF | 3K | - |
| 信息块 | 选项字节 | 0x1FFF F800 - 0x1FFF F80F | 16 | - |

注：APM32E030x8 系列产品的主存储块包含页的数量和具体产品的 Flash 容量有关。

## 3.4 Flash 存储器功能说明

描述对主存储器、信息块（包括系统存储区、选项字节）的操作，包括读、写、擦、读/写保护。

读取 Flash 包括主存储块、信息块，擦、写、读/写保护分开介绍；系统存储区在出厂时已写入，用户无法修改，不介绍该模块的擦、写、读/写保护。

### 3.4.1 读取 Flash

Flash 存储器可直接寻址，读取 Flash 受以下配置影响：

**等待周期**

针对不同的系统时钟需配置不同的等待周期：

- 0 个等待周期：0<系统时钟≤24MHz
- 1 个等待周期：24MHz<系统时钟≤48MHz
- 2 个等待周期：48MHz<系统时钟≤72MHz

**预取缓存区**

可提高读取速度，每次复位预取缓存区被自动打开；带预取缓存的读接口，只有系统时钟和 AHB 时钟一致且系统时钟小于 24MHz 时才能配置，且系统时钟和 AHB 时钟一致时才能使用。

### 3.4.2 主存储块

#### 3.4.2.1 擦主存储块

FMC 支持页擦除和整片擦除（全擦除）两种方式将主存储区的内容初始化为高电平（数据表现为 0xFFFF）。用户在对 Flash 进行写入前，建议对写入地址页先进行擦除操作，若写入地址的数据不是 0xFFFF 则会触发一个编程错误。

**主存储器页擦除**

页擦除是根据程序选择的主存储区页进行独立擦除，不会对未选择擦除的页产生任何影响。

正确的页擦除（或闪存写入操作）结束后，FMC_STS 寄存器的 OCF 将会被置位，若开启了 OCIE 中断则将触发一个操作完成中断。用户需要注意的是选择擦除的页必须是有效的页（主存储区有效的地址和未被写保护的地址）。

**主存储器片擦除**

片擦除操作将会使 Flash 主存储区内所有内容全部被擦除，用户在使用时需要特别注意，以避免误操作导致重要数据丢失。

#### 3.4.2.2 写主存储块

FMC 支持对主存储区的 16 位（半字）数据写入，可选择通过 BootLoader、

Debug、程序在 SRAM 中运行、直接读取已擦除的页等方式判断是否擦除成功。

为保证写入正确，需要在写入前检查目的地址是否已经被擦除，若未被擦除，则写入数据无效并将 FMC_STS 寄存器的 PEF 位置“1”。若目标地址存在写保护，则写入数据无效并触发一个写保护错误（FMC_STS 的 WPEF 位置“1”）。

#### 3.4.2.3 读/写保护主存储块

闪存读/写保护用以防止非法读出/修改主存储区代码或数据，它由选项字节的读/写保护配置字节控制。对于 APM32E030x8 系列产品，读/写保护的基本单位是 4 页（即 4KBytes）。

**读保护**

读保护有三个级别，分别是：等级 0、等级 1、等级 2，具体情况如下：

表格 9 读保护级别区别

| 类别 | READPROT | 描述 |
|---|---|---|
| 等级 0 | 0xAA | 主存储区、选项字节可擦、写、读。 |
| 等级 1 | 除了 0xAA 和 0xCC 的其它值 | 用户模式：允许对主存储区、选项字节擦、写、读<br>Debug、SRAM 运行、系统存储区运行：禁止访问主存储区；选项字节可擦、写、读，但当等级修改为 0 时，会先执行主存储区片擦。 |
| 等级 2 | 0xCC | 无法 Debug、SRAM 运行、系统存储区运行，允许对主存储区进行擦、写、读，允许读取选项字节，允许写入读保护等级外的选项字节，不允许擦除选项字节。 |

**写保护**

可通过配置写保护选项字节 WRP0/1/2/3 的值来实现对主存储块对应的页进行写保护控制，写保护开启后，主存储区对应页的内容使用任何方式都不能被修改。

#### 3.4.2.4 解锁/锁定主存储块

复位后 FMC 的 FMC_CTRL2 会被硬件锁定，此时不能直接对 FMC_CTRL2 进行写入操作，必须先按照正确的顺序向 FMC_KEY 写入对应的值来解锁 FMC。
KEY 值如下:

- KEY1=0x45670123
- KEY2=0xCDEF89AB

错误的写入顺序或错误的值均会使程序进入硬件错误，而且此时 FMC 将被锁定，所有 FMC 操作均无效，直到下次复位才能解除。用户也可以通过向控制寄存器 2（FMC_CTRL2）的 LOCK 位写“1”来软件锁定 FMC。

用户在每次 Flash 编程操作中必须按照“Flash 解锁→用户编程→Flash 上锁”的步骤进行，以避免在 Flash 编程操作结束后，因 Flash 未上锁而带来的用户代码/数据被意外修改等风险。

### 3.4.3 选项字节

#### 3.4.3.1 擦选项字节

支持擦除功能，正确的选项字节擦除（或选项字节写入操作）结束后，FMC_STS 寄存器的 OCF 将会被置位，若开启了 OCIE 中断使能则将触发一个操作完成中断。

#### 3.4.3.2 写选项字节

选项字节的 8 个可配置字节均支持写入功能。

#### 3.4.3.3 写保护选项字节

默认状态下，选项字节始终是可以读且被写保护。要想对选项字节块进行写操作（编程/擦除）首先要在 FMC_OBKEY 中写入正确的键序列（与上锁时一样），随后允许对选项字节块的写操作，FMC_CTRL2 寄存器的 OBWEN 位标示允许写，清除这位将禁止写操作。

#### 3.4.3.4 解锁/锁定选项字节

系统复位后选项字节默认处于锁定状态，只有进行正确的解锁操作才能修改选项字节。选项字节解锁与闪存解锁不同点在 KEY 值写入的是 FMC_OBKEY 寄存器而不是 FMC_KEY 寄存器。选项字节不支持“软件上锁”，用户需要特别注意的是系统复位后不再加载修改选项字节的值，如果重新加载选项字节，必须进行上电复位或将寄存器 FMC_CTRL2 的 OBLOAD 位置“1”才能使之生效。

### 3.4.4 选项字节功能描述

选项字节为用户提供了一些可供选择的功能，它主要由 8 个可配置的字节和对应的补码组成。在每次上电复位后，选项字节区将被重加载到 FMC_OBCS 和 FMC_WRTPROT 寄存器（选项字节只有每次被重加载到 FMC 后中才会生效）。在重加载过程中，若出现某个可配置字节与它的反码不匹配问题，则将触发一个选项字节错误（FMC_OBCS 寄存器的 OBE 位置“1”），同时这个字节将会被置为“0xFF”。选项字节区 16 字节的信息见下表。

表格 10 选项字节

| 地址 | 选项字节 | 初始值 | R/W | 功能描述 |
|---|---|---|---|---|
| 0x1FFF F800 | READPROT | 0xA5 | R/W | 读保护配置位[7:0]：READPROT<br>0xAA：等级 0<br>0xCC：等级 2<br>其它：等级 1 |
| 0x1FFF F801 | nREADPROT | 0x5A | R | READPROT 补码 |
| 0x1FFF F802 | UOB | 0xFF | R/W | 用户选项字节：<br>位 0：WDTSEL<br>0：硬件看门狗<br>1：软件看门狗<br>位 1：nRSTSTOP<br>0：进入 Stop 模式时产生复位<br>1：进入 Stop 模式时不产生复位<br>位 2：nRSTSTB<br>0：进入 Standby 模式时产生复位<br>1：进入 Standby 模式时不产生复位<br>位 3：保留<br>位 4 ：nBOOT1<br>选择 BOOT 模式<br>位 5：VDDAMONI<br>0：$V_{DDA}$ 供电检测器禁止<br>1：$V_{DDA}$ 供电检测使能<br>位 6：SRAMPARITY<br>0：RAM 的奇偶校验检查禁止<br>1：RAM 的奇遇校验检查使能<br>位 7：保留 |
| 0x1FFF F803 | nUOB | 0x00 | R | UOB 补码 |
| 0x1FFF F804 | Data0 | 0xFF | R/W | 用户数据字节 0 |
| 0x1FFF F805 | nData0 | 0x00 | R | Data0 补码 |
| 0x1FFF F806 | Data1 | 0xFF | R/W | 用户数据字节 1 |
| 0x1FFF F807 | nData1 | 0x00 | R | Data1 补码 |
| 0x1FFF F808 | WRP0 | 0xFF | R/W | 写保护配置 0 |
| 0x1FFF F809 | nWRP0 | 0x00 | R | WRP0 补码 |
| 0x1FFF F80A | WRP1 | 0xFF | R/W | 写保护配置 1 |
| 0x1FFF F80B | nWRP1 | 0x00 | R | WRP1 补码 |
| 0x1FFF F80C | WRP2 | 0xFF | R/W | 写保护配置 2 |
| 0x1FFF F80D | nWRP2 | 0x00 | R | WRP2 补码 |
| 0x1FFF F80E | WRP3 | 0xFF | R/W | 写保护配置 3 |
| 0x1FFF F80F | nWRP3 | 0x00 | R | WRP3 补码 |

注意：当可配置字节和它的补码值为“0xFF”时，重加载过程中将不会再进行匹配验证

表格 11 主存储区写保护 WRPx 功能描述

| 产品容量 | 功能描述 |
| --- | --- |
| APM32E030x8 系列产品 | WRPx 中的每一个 bit 位控制主存储区 4KB（4 页）地址的写保护<br>0：开启写保护<br>1：未开启写保护<br>WRP0：第 0-31 页<br>WRP1：第 32-63 页 |

注意：Flash 读/写保护配置是互相独立的，解除写保护不会强制丢失主存储区的内容，而是原样保留。

## 3.5 FMC 寄存器地址映射

基地址：0x40022000

表格 12 FMC 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
| --- | --- | --- |
| FMC_CTRL1 | 控制寄存器 1 | 0x00 |
| FMC_KEY | 关键字寄存器 | 0x04 |
| FMC_OBKEY | 选项字节寄存器 | 0x08 |
| FMC_STS | 状态寄存器 | 0x0C |
| FMC_CTRL2 | 控制寄存器 2 | 0x10 |
| FMC_ADDR | 闪存地址寄存器 | 0x14 |
| FMC_OBCS | 选项字节控制/状态寄存器 | 0x1C |
| FMC_WRTPROT | 写保护寄存器 | 0x20 |

## 3.6 FMC 寄存器功能描述

### 3.6.1 控制寄存器 1（FMC_CTRL1）

偏移地址：0x00

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 2:0 | WS | R/W | 配置等待周期（Wait State Configure）<br>000：0 个等待周期，0<系统时钟≤24MHz<br>001：1 个等待周期，24MHz<系统时钟≤48MHz<br>010：2 个等待周期，48MHz<系统时钟≤72MHz<br>其它：保留<br>注意：等待周期从 0 个切换至 2 个时，必须要先配置为 1 个，再配置为 2 个。 |
| 3 | 保留 | | |
| 4 | PBEN | R/W | 使能预取缓存区（Prefetch Buffer Enable）<br>0：禁用<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 5 | PBSF | R | 预取缓存区状态标志（Prefetch Buffer Status Flag）<br>0：处于关闭状态<br>1：处于打开状态 |
| 31:6 | 保留 | | |

### 3.6.2 关键字寄存器（FMC_KEY）

偏移地址：0x04

复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | KEY | W | FMC 关键字（FMC Key）<br>写入这些位所表示的关键字可以解锁 FMC，这些位只能执行写操作，执行读操作时返回 0。 |

### 3.6.3 选项字节关键字寄存器（FMC_OBKEY）

偏移地址：0x08

复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | OBKEY | W | 选项字节关键字（Option Byte Key）<br>写入这些位所表示的关键字可以解除选项字节写操作的锁定，这些位只能执行写操作，执行读操作时返回 0。 |

### 3.6.4 状态寄存器（FMC_STS）

偏移地址：0x0C

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | BUSYF | R | 忙碌标志（Busy Flag）<br>该位表示正在进行闪存操作，这些位只能执行写操作，执行读操作时返回 0。 |
| 1 | 保留 | | |
| 2 | PEF | RC_W1 | 编程错误标志（Programming Error Flag）<br>地址被编辑前的值不是“0xFFFF”时，该位由硬件置位。<br>写 1 清零。<br>在开始编程操作之前，应该重置 FMC_CTRL2 寄存器中的 STA 位。 |
| 3 | 保留 | | |
| 4 | WPEF | RC_W1 | 写保护错误标志（Write Protection Error Flag）<br>当编程 FLASH 里写保护地址时，该位由硬件置位。 |
| 5 | OCF | RC_W1 | 操作完成标志（Operation Complete Flag）<br>当 FLASH 里的读/写操作完成时，该位由硬件置位。 |
| 31:6 | 保留 | | |

### 3.6.5 控制寄存器 2（FMC_CTRL2）

偏移地址：0x10

复位值：0x0000 0080

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | PG | R/W | 编程（Program）<br>该位置 1 进行 Flash 编程操作。 |
| 1 | PAGEERA | R/W | 页擦除（Page Erase）<br>该位置 1 进行页擦除。 |
| 2 | MASSERA | R/W | 整片擦除（Mass Erase）<br>该位置 1 进行整片擦除。 |
| 3 | 保留 | | |
| 4 | OBP | R/W | 编程选项字节（Option Byte Program）<br>该位置 1 进行选项字节编程操作。 |
| 5 | OBE | R/W | 擦除选项字节（Option Byte Erase）<br>该位置 1 进行选项字节擦除操作。 |
| 6 | STA | R/W | 开始进行擦除操作（Start Erase）<br>该位只能由软件置 1，在 STS_BUSYF 位清 0 时复位。 |
| 7 | LOCK | R/W | 锁定（Lock）<br>该位只能写 1，该位置 1 表示 FMC 和 CTRL2 寄存器被锁定。<br>该位在检测到解锁顺序后由硬件复位。 |
| 8 | 保留 | | |
| 9 | OBWEN | R/W | 使能选项字节写操作（Option Byte Write Enable）<br>当该位置 1 时，选项字节可以被编程。 |
| 10 | ERRIE | R/W | 使能错误中断（Error Interrupt Enable）<br>0：禁止中断<br>1：使能中断<br>当 STS_PEF=1 或 STS_WPEF=1 时，设置该位产生中断。 |
| 11 | 保留 | | |
| 12 | OCIE | R/W | 使能操作完成中断（Operation Complete Interrupt Enable）<br>0：操作完成中断禁用<br>1：操作完成中断使能<br>如果置位该位后，当 STS_OCF=1 时，可产生中断。 |
| 13 | OBLOAD | R/W | 强制选项字节加载（Force Option Byte Load）<br>该位置 1 时，强制选项字节重装载，产生系统复位。<br>0：闲置<br>1：强制加载 |
| 31:14 | 保留 | | |

### 3.6.6 地址寄存器（FMC_ADDR）

偏移地址：0x14

复位值：0x0000 0000

该寄存器由硬件修改为当前/最后使用的地址；页擦除时，需通过软件配置该寄存器。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | ADDR | W | Flash 地址（Flash Address）<br>在进行编程操作时，该位写入要编程的地址，在进行页擦除时，该位写入要擦除的页。 |

### 3.6.7 选项字节控制/状态寄存器（FMC_OBCS）

偏移地址：0x1C

复位值：0xXXXX XX0X

该寄存器的复位值与写入选项字节中的数值有关；OBEr 位的复位值与加载的选项字节数值和它的反码是否一致的结果有关。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | OBEr | R | 选项字节错误（Option Byte Error）<br>0：未出现选项字节错误<br>1：所加载的选项字节和它的补码不匹配，选项字节和它的补码强制写入 0xFF |
| 2:1 | READPROT | R | 读保护（Read Protect）<br>显示当前读保护等级状态。<br>00：等级 0<br>01：等级 1<br>1X：等级 2 |
| 7:3 | 保留 | | |
| 8 | WDTSEL | R | 选择看门狗（Watchdog Select）<br>0：硬件看门狗<br>1；软件看门狗 |
| 9 | RSTSTOP | R | 进入停机模式时产生复位（nReset in STOP Mode）<br>0：产生<br>1：不产生 |
| 10 | RSTSTDB | R | 进入待机模式时产生复位（nReset in StandBy Mode）<br>0：产生<br>1：不产生 |
| 11 | 保留 | | |
| 12 | nBOOT1 | R | 配置 nBOOT1 模式（nBoot1 Mode Configure） |
| 13 | VDDAMONI | R | $V_{DDA}$ 电压监控（$V_{DDA}$ Monitor） |
| 14 | SRAMPARITY | R | SRAM 奇遇校验（SRAM Parity Check） |
| 15 | 保留 | | |
| 23:16 | DATA0 | R | Data0 |
| 31:24 | DATA1 | R | Data1 |

### 3.6.8 写保护寄存器（FMC_WRTPROT）

偏移地址：0x20

复位值：0xXXXX XXXX（复位值取决于选项字节中编程值）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | WRTPROT | R | 写保护（Write Protect）<br>0：有效<br>1：无效 |

# 4 系统配置控制器（SYSCFG）

## 4.1 术语全称、缩写描述

表格 13 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 超快模式 | Fast Mode Plus | FM+ |
| 系统配置控制器 | Sysytem Configuration Controller | SYSCFG |

SYSCFG 主要用于管理地址映射和控制中断，具体是指：控制部分 IO 口上的 I2C 的超快模式；TMR16，TMR17，USART1 和 ADC 的 DMA 触发源的重映射；存储器到代码起始区的重映射；管理连接到 GPIO 的外部中断。

有关配置的详情请见 SYSCFG 寄存器配置。

## 4.2 寄存器地址映射

表格 14 SYSCFG 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| SYSCFG_CFG1 | 配置寄存器 1 | 0x00 |
| SYSCFG_EINTCFG1 | 外部中断寄存器 1 | 0x08 |
| SYSCFG_EINTCFG2 | 外部中断寄存器 2 | 0x0C |
| SYSCFG_EINTCFG3 | 外部中断寄存器 3 | 0x10 |
| SYSCFG_EINTCFG4 | 外部中断寄存器 4 | 0x14 |
| SYSCFG_CFG2 | 配置寄存器 2 | 0x18 |

## 4.3 寄存器功能描述

### 4.3.1 配置寄存器 1（SYSCFG_CFG1）

配置内存和 DMA 请求的重映射。

控制特定 I/O 引脚。

两个字节用来配置地址为 0x0000 0000 所映射的存储类型。

这些位全部都可以跳过硬件由软件选择物理映射，且可以通过软件进行控制和复位。

复位后，这些位通过 BOOT0/1 选择模式配置参数。

偏移地址：0x00

复位值：0x0000 000X（X 指存储器模式，由 BOOT 控制）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | MMSEL | R/W | 存储映射选择（Memory Mapping Select）<br>控制内存映射地址 0x0000 0000。重置后这些位的参数由实际 BOOT0/1 决定。<br>X0：主闪存映射地址：0x0000 0000<br>01：系统闪存映射地址：0x0000 0000<br>11：嵌入式 SRAM 映射地址：0x0000 0000 |
| 7:2 | 保留 | | |
| 8 | ADCDMARMP | R/W | ADC DMA 请求重映射（ADC DMA Request Remap）<br>控制 ADC DMA 的重映射请求。<br>0：无重映射：ADC—DMA_CH1<br>1；重映射：ADC—DMA_CH2 |
| 9 | USART1TXRMP | R/W | USART1_TX DMA 请求重映射（USART1_TX DMA Request Remap）<br>控制 USART1_TX DMA 的重映射请求。<br>0：无重映射：USART1_TX—DMA_CH2<br>1；重映射：USART1_TX—DMA_CH4 |
| 10 | USART1RXRMP | R/W | USART1_RX DMA 请求重映射（USART1_RX DMA Request Remap）<br>控制 USART1_RX DMA 的重映射请求。<br>0：无重映射：USART1_RX—DMA_CH3<br>1；重映射：USART1_RX—DMA_CH5 |
| 11 | TMR16DMARMP | R/W | TMR16 DMA 请求重映射（TMR16 DMA Request Remap）<br>控制 TMR16 DMA 的重映射请求。<br>0：无重映射：TMR16_CH1 和 TMR16_UP—DMA_CH3<br>1；重映射：TMR16_CH1 和 TMR16_UP—DMA_CH4 |
| 12 | TMR17DMARMP | R/W | ADC DMA 请求重映射（ADC DMA Request Remap）<br>控制 ADC DMA 的重映射请求。<br>0：无重映射：TMR17_CH1 和 TMR17_UP—DMA_CH1<br>1；重映射：TMR17_CH1 和 TMR17_UP—DMA_CH2 |
| 15:13 | 保留 | | |
| 16 | I2CPB6FMP | R/W | 激活 PB6 引脚超快模式（FM+）驱动能力（Fast Mode Plus Driving Capability Activate for PB6）<br>该位使能 PB6 接口开启 I2C 超快模式。<br>0：PB6 引脚被设置为标准模式<br>1：PB6 引脚被设置为 I2C 超快模式，且 I2C 速度控制被旁路（被忽略）。 |
| 17 | I2CPB7FMP | R/W | 激活 PB7 引脚超快模式（FM+）驱动能力（Fast Mode Plus Driving Capability Activate for PB7）<br>该位使能 PB7 接口开启 I2C 超快模式。<br>0：PB7 引脚被设置为标准模式<br>1：PB7 引脚被设置为 I2C 超快模式，且 I2C 速度控制被旁路（被忽略）。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 18 | I2CPB8FMP | R/W | 激活 PB8 引脚超快模式（FM+）驱动能力（Fast Mode Plus Driving Capability Activate for PB8）<br>该位使能 PB8 接口开启 I2C 超快模式。<br>0：PB8 引脚被设置为标准模式<br>1：PB8 引脚被设置为 I2C 超快模式，且 I2C 速度控制被旁路（被忽略）。 |
| 19 | I2CPB9FMP | R/W | 激活 PB9 引脚超快模式（FM+）驱动能力（Fast Mode Plus Driving Capability Activate for PB9）<br>该位使能 PB9 接口开启 I2C 超快模式。<br>0：PB9 引脚被设置为标准模式<br>1：PB9 引脚被设置为 I2C 超快模式，且 I2C 速度控制被旁路（被忽略）。 |
| 20 | I2C1FMP | R/W | 激活 I2C1 超快模式（FM+）驱动能力（Fast Mode Plus Driving Capability Activate for I2C1）<br>0：超快模式只受 I2CPxxFM+位控制<br>1：超快模式可以选择 I2C1 的所有引脚，由 GPIO_AFx 选择。 |
| 21 | 保留 | | |
| 23:22 | I2CFMP | R/W | 激活 I2C PA 引脚超快模式（FM+）驱动能力（Fast Mode Plus Driving Capability Activate for I2C PA9 and PA10）<br>使能 PA9 和 PA10 引脚的超快模式。<br>0：Pax 引脚处于待机模式<br>1：使能，且速度控制被旁路（忽视） |
| 31:24 | 保留 | | |

### 4.3.2 外部中断寄存器 1（SYSCFG_EINTCFG1）

这些位由软件控制进行改写来选择 EINTx(x=0…3)的外部中断源。EINTx[3:0]的值所代表选择的外部中断源如表格 15 所示。

表格 15 不同值所选择外部中断源

| EINTx[3:0] | 外部中断源 |
|---|---|
| x000 | PA[x] 引脚 |
| x001 | PB[x] 引脚 |
| x010 | PC[x] 引脚 |
| x011 | PD[x] 引脚 |
| x100 | 保留 |
| x101 | PF[x] 引脚 |
| 其他位 | 保留 |

偏移地址：0x08
复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | EINT0 | R/W | EINT0 配置位（EINT0 Configure）<br>这些位由软件控制进行改写来选择 EINT0 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 7:4 | EINT1 | R/W | EINT1 配置位（EINT1 Configure）<br>这些位由软件控制进行改写来选择 EINT1 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 11:8 | EINT2 | R/W | EINT2 配置位（EINT2 Configure）<br>这些位由软件控制进行改写来选择 EINT2 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 15:12 | EINT3 | R/W | EINT3 配置位（EINT3 Configure）<br>这些位由软件控制进行改写来选择 EINT3 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 31:16 | 保留 | | |

### 4.3.3 外部中断寄存器 2（SYSCFG_EINTCFG2）

这些位由软件控制进行改写来选择 EINTx(x=4…7)的外部中断源。EINTx[3:0]的值所代表选择的外部中断源如表格 15 所示。

偏移地址：0x0C
复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | EINT4 | R/W | EINT4 配置位（EINT4 Configure）<br>这些位由软件控制进行改写来选择 EINT4 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 7:4 | EINT5 | R/W | EINT5 配置位（EINT5 Configure）<br>这些位由软件控制进行改写来选择 EINT5 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 11:8 | EINT6 | R/W | EINT6 配置位（EINT6 Configure）<br>这些位由软件控制进行改写来选择 EINT6 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 15:12 | EINT7 | R/W | EINT7 配置位（EINT7 Configure）<br>这些位由软件控制进行改写来选择 EINT7 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 31:16 | 保留 | | |

### 4.3.4 外部中断寄存器 3（SYSCFG_EINTCFG3）

这些位由软件控制进行改写来选择 EINTx(x=8…11)的外部中断源。EINTx[3:0]的值所代表选择的外部中断源如表格 15 所示。

偏移地址：0x10
复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | EINT8 | R/W | EINT8 配置位（EINT8 Configure）<br>这些位由软件控制进行改写来选择 EINT8 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 7:4 | EINT9 | R/W | EINT9 配置位（EINT9 Configure）<br>这些位由软件控制进行改写来选择 EINT9 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 11:8 | EINT10 | R/W | EINT10 配置位（EINT10 Configure）<br>这些位由软件控制进行改写来选择 EINT10 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 15:12 | EINT11 | R/W | EINT11 配置位（EINT11 Configure）<br>这些位由软件控制进行改写来选择 EINT11 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 31:16 | 保留 | | |

### 4.3.5 外部中断寄存器 4（SYSCFG_EINTCFG4）

这些位由软件控制进行改写来选择 EINTx(x=12…15)的外部中断源。EINTx[3:0]的值所代表选择的外部中断源如表格 15 所示。

偏移地址：0x14
复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | EINT12 | R/W | EINT12 配置位（EINT12 Configure）<br>这些位由软件控制进行改写来选择 EINT12 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 7:4 | EINT13 | R/W | EINT13 配置位（EINT13 Configure）<br>这些位由软件控制进行改写来选择 EINT13 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 11:8 | EINT14 | R/W | EINT6 配置位（EINT14 Configure）<br>这些位由软件控制进行改写来选择 EINT14 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 15:12 | EINT15 | R/W | EINT15 配置位（EINT15 Configure）<br>这些位由软件控制进行改写来选择 EINT15 的外部中断源。<br>位的值所表示选择的外部中断源如表格 15 所示。 |
| 31:16 | 保留 | | |

### 4.3.6 配置寄存器 2（SYSCFG_CFG2）

偏移地址：0x18
复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | LOCK | R/W | 使能内核 LOCKUP（Core LOCKUP Enable）<br>该位由软件置 1，由系统复位清 0。<br>它可以使能和锁定 Arm® Cortex®-M0+ LOCKUP 的 Hardfault（硬件错误）输出与 TMR1/15/16/17 刹车输入之间的连接。 |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| | | | 0：Cortex®-M0+ LOCKUP 输出与 TMR1/15/16/17 的刹车输入断开<br>1：Cortex®-M0+ LOCKUP 输出与 TMR1/15/16/17 的刹车输入连接 |
| 1 | SRAMLOCK | R/W | 锁定 SRAM 校验（SRAM Parity Check Lock）<br>该位软件置 1，由系统复位清 0。<br>能够使能和锁定 SRAM 奇偶错误信息与 TMR1/15/16/17 刹车输入之间的连接。<br>0：SRAM 校验错误信号输出与 TMR1/15/16/17 的刹车输入断开<br>1：SRAM 校验错误信号输出与 TMR1/15/16/17 的刹车输入连接 |
| 7:2 | 保留 | | |
| 8 | SRAMEFLG | RC_W1 | SRAM 校验标志（SRAM Parity Error Flag）<br>当检测到一个 SRAM 奇遇校验错误时，该位由硬件置 1，软件写入“1”时清 0。<br>0：没有检测到 SRAM 奇遇校验位错误<br>1：SRAM 奇遇校验位错误 |
| 31:9 | 保留 | | |

# 5 复位与时钟管理（RCM）

## 5.1 术语全称、缩写描述

表格 16 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 复位与时钟管理 | Reset and Clock Management | RCM |
| 复位 | Reset | RST |
| 上电复位 | Power-On Reset | POR |
| 掉电复位 | Power-Down Reset | PDR |
| 高速外部时钟 | High Speed External Clock | HSECLK |
| 低速外部时钟 | Low Speed External Clock | LSECLK |
| 高速内部时钟 | High Speed Internal Clock | HSICLK |
| 低速内部时钟 | Low Speed Internal Clock | LSICLK |
| 锁相环 | Phase Locked Loop | PLL |
| 主要时钟输出 | Main Clock Output | MCO |
| 校准 | Calibrate | CAL |
| 调整 | Trim | TRIM |
| 唤醒 | Wakeup | WUP |
| 自动唤醒 | Automatic Wakeup | AWUP |
| 备份 | Backup | BAKP |
| 低功耗 | Low Power | LPWR |
| 时钟安全系统 | Clock Security System | CSS |
| 不可屏蔽中断 | Non Maskable Interrupt | NMI |

## 5.2 复位功能描述

支持的复位分为三类：系统复位、电源复位、RTC 区域复位三种复位形式。

### 5.2.1 系统复位

#### 5.2.1.1 “系统复位”复位源

复位源分为外部复位源、内部复位源。

外部复位源：

- NRST 引脚上的低电平。

内部复位源：

- 窗口看门狗终止计数（WWDT 复位）

- 独立看门狗终止计数（IWDT 复位）
- 软件复位（SW 复位）
- 低功耗管理复位
- 载入选项字节复位
- 电源复位

以上任一事件发生时，都能产生一个系统复位。另外，可以通过查看控制/状态寄存器 RCM_CSTS 中的复位标志位识别复位事件来源。

一般来说，系统复位时，会将除了 RCM_CSTS（控制/状态寄存器）的复位标志位以外的所有寄存器复位到复位值。

**软件复位**

将 Arm® Cortex®-M0+中断应用和复位控制寄存器中的 SYSRESETREQ 置“1”时，可实现软件复位。

**低功耗管理复位**

低功耗管理复位的产生有两种情况，一种是进入待机模式时，另一种是进入停止模式时。在这两种情况下，如果把用户选择字节中的 RSTSTDB 位（待机模式时）或 RSTSTOP 位（停止模式时）清零，系统将被复位而不是进入待机模式或停止模式。

有关用户选择字节的详细信息，请参考“Flash 存储器”。

**载入选项字节复位**

载入字节复位由被软件控制的在 FMC_CTRL2 寄存器中 OBLOAD 位触发。

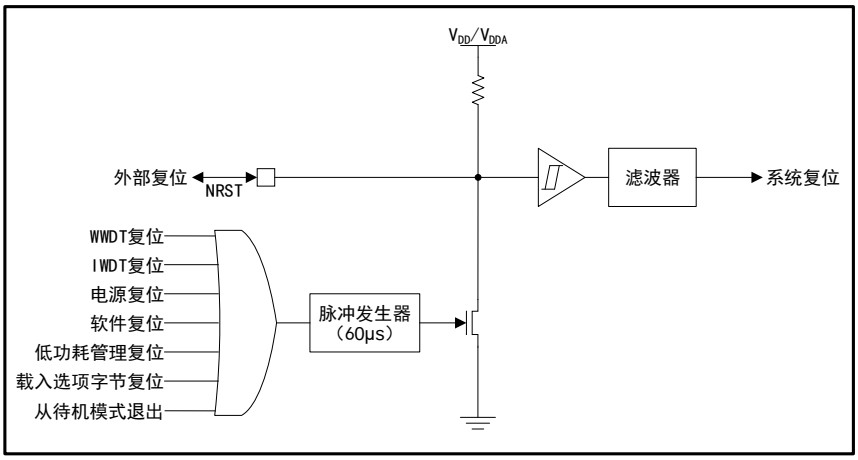
#### 5.2.1.2 “系统复位”复位电路

复位源均作用于 NRST 引脚，该引脚在复位过程中保持低电平。

内部复位源通过脉冲发生器在 NRST 引脚产生延时至少 60μs 的脉冲，引起 NRST 保持低电平产生复位；外部复位源则直接将 NRST 引脚电平拉低产生复位。

“系统复位”复位电路见下图。

图 2 “系统复位”复位电路




### 5.2.2 电源复位

**“电源复位”复位源**

“电源复位”复位源如下：

- 上电复位（POR 复位）
- 掉电复位（PDR 复位）
- 从待机模式唤醒

以上任一事件发生时，均产生电源复位。

电源复位将复位所有寄存器。

### 5.2.3 RTC 域复位

**“RTC 域复位”复位源**

“RTC 域复位”复位源如下：

- 置位 RCM_BDCTRL 中的 BDRST 位触发的软件复位
- 上电复位（POR 复位）

以上任一事件发生时，均产生 RTC 域复位。

RTC 区域复位只影响 LSECLK 振荡器、RTC 实时时钟和 RCM_BDCTRL 寄存器。

## 5.3 时钟管理功能描述

整个系统的时钟源有：HSECLK、LSECLK、HSICLK、HSICLK14、LSICLK、PLL。关于时钟源的特性，请参考数据手册的“电气特性”中的相关章节。

### 5.3.1 外部时钟源

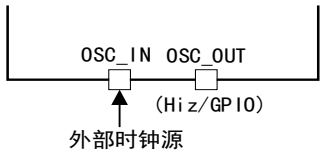
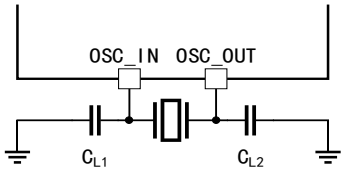
外部时钟信号包括 HSECLK（高速外部时钟信号）和 LSECLK（低速外部时钟信号）。

外部的时钟源有两种：

- 外部晶体/陶瓷谐振器
- 用户外部时钟

两种时钟源的硬件配置如下图所示。

图 3 HSECLK/LSECLK 的时钟源硬件配置

| 时钟源 | 硬件配置 |
| --- | --- |
| 外部时钟 |  |
| 晶体/陶瓷谐振器 |  |

为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。负载电容（$C_{L1}$、$C_{L2}$）的值必须根据所选择的振荡器来调整。

#### 5.3.1.1 HSECLK 高速外部时钟信号

HSECLK 时钟信号由 HSECLK 外部晶体/陶瓷谐振器和 HSECLK 外部时钟两种时钟源产生。

表格 17 产生 HSECLK 的时钟源

| 名称 | 说明 |
| --- | --- |
| 外部时钟源<br>（HSECLK 旁路） | 通过 OSC_IN 引脚给 MCU 提供时钟。<br>信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 40%~60%占空比的方波、正弦波或三角波，最高频率可达 32MHz。<br>硬件连接上，必须连到 OSC_IN 引脚，同时保证 OSC_OUT 引脚悬空；MCU 配置上，用户可通过设置在 RCM_CTRL1 中的 HSEBCFG 和 HSEEN 位来选择这一模式。 |
| 外部晶体/陶瓷谐振器<br>（HSECLK 晶体） | 通过谐振器给 MCU 提供时钟，谐振器包括晶体谐振器、陶瓷谐振器。<br>频率范围是 4~32MHz。<br>需要 OSC_IN、OSC_OUT 连接谐振器，可以通过设置时钟控制寄存器 RCM_CTRL1 中的 HSEEN 位，启动和关闭。<br>在时钟控制寄存器 RCM_CTRL1 中的 HSERDYFLG 位用来指示高速外部振荡器是否稳定。在启动后，直到这一位被硬件置“1”，时钟才被释放出来。如果在 RCM_INT（时钟中断寄存器）中允许产生中断，将会产生相应中断。 |

#### 5.3.1.2 LSECLK 低速外部时钟信号

LSECLK 时钟信号由 LSECLK 外部晶体/陶瓷谐振器和 LSECLK 外部时钟两种时钟源产生。

表格 18 产生 LSECLK 的时钟源

| 名称 | 说明 |
| --- | --- |
| 外部时钟源<br>（LSECLK 旁路） | 通过 OSC32_IN 引脚给 MCU 提供时钟。<br>信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 50%占空比的方波、正弦波或三角波，信号频率需为 32.768kHz。<br>硬件连接上，必须连到 OSC32_IN 引脚，同时保证 OSC32_OUT 引脚悬空；MCU 配置上，用户可通过设置在 RCM_BDCTRL 里的 LSEBCFG 和 LSEEN 位来选择这个模式。 |
| 外部晶体/陶瓷谐振器<br>（LSECLK 晶体） | 通过谐振器给 MCU 提供时钟，谐振器包括晶体谐振器、陶瓷谐振器。<br>频率是 32.768kHz。<br>需要 OSC32_IN、OSC32_OUT 连接谐振器，可以通过在 RCM_BDCTRL 里的 LSEEN 位启动和关闭。<br>在 RCM_BDCTRL 里的 LSERDYFLG 指示 LSECLK 晶体振荡是否稳定。在启动阶段，直到这个位被硬件置“1”后，LSECLK 时钟信号才被释放出来。如果在时钟中断寄存器里被允许，可产生相应中断。 |

### 5.3.2 内部时钟源

内部时钟包含 HSICLK（高速内部时钟信号）和 LSICLK（低速内部时钟信号）。

#### 5.3.2.1 HSICLK 高速内部时钟信号

HSICLK 时钟信号由内部 8MHz 的 RC 振荡器产生。

不同芯片的 RC 振荡器频率不同，且同一颗芯片随着温度、电压的变化也会存在差异；每个芯片的 HSICLK 时钟频率在出厂前已经被厂家校准到 1%（25℃、$V_{DD}$=$V_{DDA}$=3.3V），系统复位时，工厂校准值被装载到时钟控制寄存器 RCM_CTRL1 的 HSICAL 位中；另外，用户可以依据现场的应用环境（温度、电压），通过设置 RCM_CTRL1 中的 HSITRM 作进一步的频率调整。

HSIRDYFLG 位可以用来指示 HSICLK RC 振荡器是否稳定。在时钟启动过程中，直到 HSIRDYFLG 位被硬件置“1”，HSICLK RC 输出时钟才被释放。HSICLK RC 可由 RCM_CTRL1 中的 HSIEN 位来启动或关闭。

与 HSECLK 晶体振荡器相比，RC 振荡器能够在不需要任何外部器件的条件下提供系统时钟；它的启动时间比 HSECLK 晶体振荡器短；即使在校准之后，其时钟频率精度仍不如 HSECLK 晶体振荡器。

#### 5.3.2.2 LSICLK 低速内部时钟信号

**LSICLK 主要特征**

LSICLK 由 RC 振荡器产生，范围是 40kHz（30kHz 和 50kHz 之间）。随着温度、电压的变化，频率也会产生变化。可以在停机和待机模式下保持运行，为独立看门狗（IWDT）和实时时钟（RTC）提供时钟。

LSICLK 可以通过控制/状态寄存器 RCM_CSTS 的 LSIEN 位来启动或关闭。在 RCM_CSTS 里的 LSIRDYFLG 位指示低速内部振荡器是否稳定。在启动阶段，直到这个位被硬件设置为“1”后，时钟才被释放。如果在时钟中断寄存器 RCM_INT 里被允许，将产生 LSICLK 中断申请。

### 5.3.3 PLL 锁相环

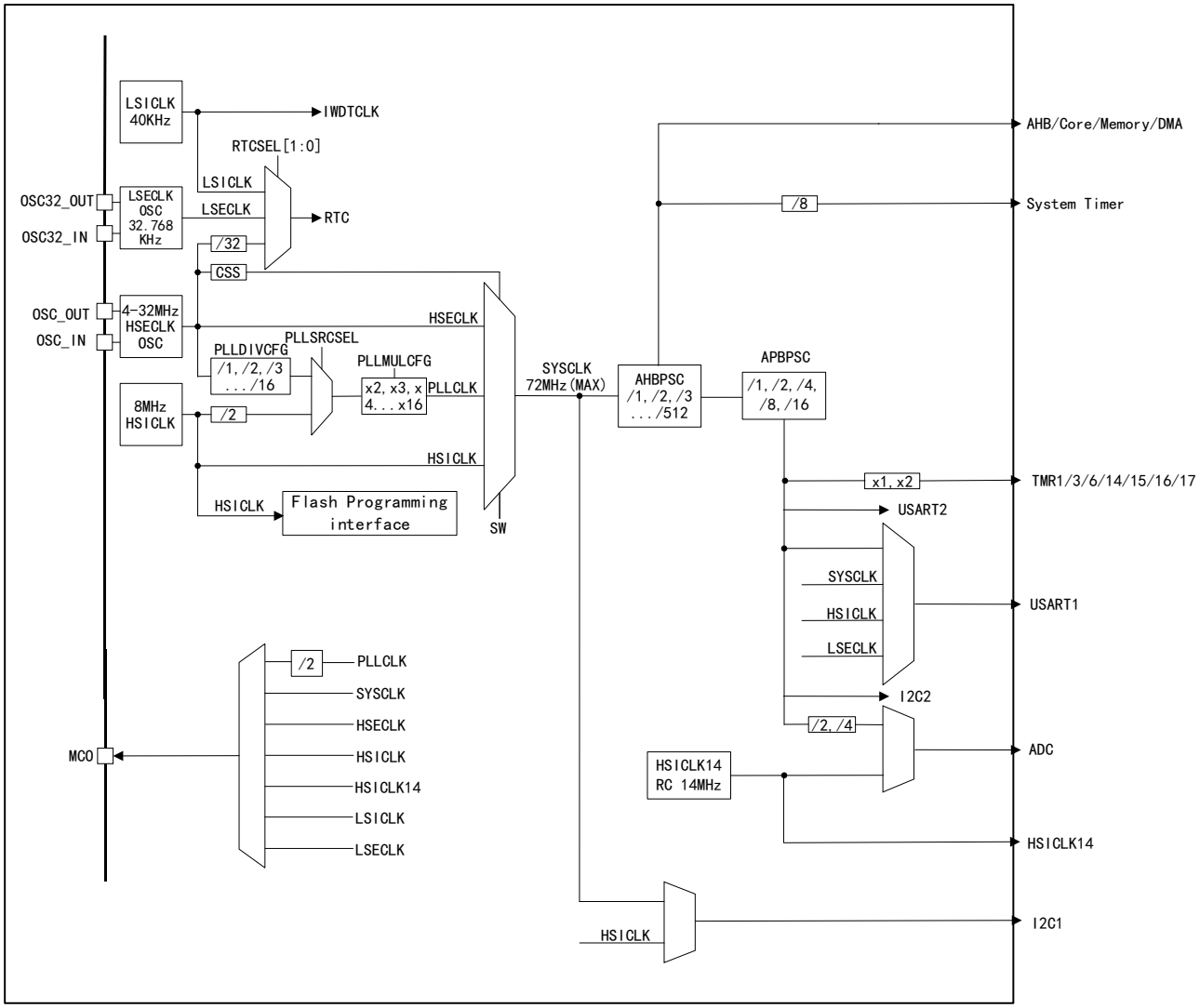
主锁相环 PLL 可以用来倍频 HSICLK 的输出时钟或者 HSECLK 晶体输出时钟。

如果要配置 PLL 参数，先将 PLLEN 位清“0”，等到 PLLRDYFLG 被清“0”（PLL 处于停用状态），然后改变参数，再将 PLLEN 置“1”来使能 PLL，等 PLLRDTFLG 被置“1”即可完成配置。时钟源和倍频因子应在被激活前完成选择，一旦 PLL 被激活，选择将不能改变。

当 PLL 准备就绪且 PLL 中断在 RCM_INT 里被允许时，PLL 可发出中断申请。

### 5.3.4 时钟树

图 4 APM32E030x8 时钟树




注意：

（1）HCLK 是指 AHB 时钟。

（2）PCLK 是指连接 APB 外设的时钟信号。

（3）FCLK 是 Arm® Cortex®-M0+的运行时钟。

（4）可通过多个预分频器配置 AHB、APB 的频率。

（5）当需要运行连接 AHB，APB 的外设时，都需要开启相应的使能端，使外设获得时钟信号。

（6）所有 TMRxCLK（定时器时钟）频率分配由硬件按以下 2 种情况自动设置：

- 如果相应的 APB 预分频系数是 1，定时器的时钟频率与所在 APB 总线频率一致。
- 否则，定时器的时钟频率被设为与其相连的 APB 总线频率的 2 倍。

（7）其中，TMRx（x=1,3,6,14,15,16,17）时钟信号通过 APB 分频后得到。

### 5.3.5 RTC 的时钟源选择

通过设置 RCM_BDCTRL 里的 RTCSRCSEL 位可选择 HSECLK/32、LSECLK 或 LSICLK 作为 RTCCLK 时钟源。只有 RTC 域复位时，时钟源的选择可以改变。只有当 PCLK 大于等于 RTCCLK 时，系统才能对 RTC 进行正常操作。

### 5.3.6 IWDT 的时钟源选择

当 IWDT（独立看门狗）启动时，LSICLK 振荡器将被强制打开，等到稳定后把时钟信号供给 IWDT。LSICLK 在被强制打开后，将一直处于打开状态，不能被关闭。

### 5.3.7 MCO 的时钟源选择

当相应的 GPIO 端口寄存器被配置为对应功能时，可通过配置 RCM_CFG1（时钟配置寄存器）中的 MCOSEL 选择时钟信号输出到 MCO 引脚。具体时钟信号可参考时钟树或 RCM_CFG1 寄存器的 MCOSEL 位说明。

### 5.3.8 SYSCLK 的时钟源选择

SYSCLK 时钟源可以是 HSECLK、PLLCLK HSICLK。

RCM_CFG1 的状态位可指示已准备好的时钟和已被选作的 SYSCLK 时钟源。

当进行系统复位后，HSICLK 振荡器被选作系统时钟，或通过 PLL 间接作为系统时钟时，该时钟源不能被停止。如果要切换 SYSCLK 时钟源，必须要等目标时钟源准备就绪（即目标时钟源稳定）。

### 5.3.9 CSS 时钟安全系统

为了防止由于外部晶振短路导致 MCU 无法正常运行的情况，MCU 可通过软件激活 CSS 时钟安全系统。安全系统被激活后，如果 HSECLK 振荡器直接或间接（作为 PLL 输入时钟且 PLL 作为系统时钟）被用作系统时钟，那么当 HSECLK 时钟发生故障时，外部 HSECLK 振荡器被关闭，系统时钟自动切换至 HSICLK，此时选择 HSECLK 为时钟输入且作为系统时钟输入源的 PLL 也会被关闭。

可通过软件激活 CSS，当 HSECLK 时钟出现故障时，产生 CSS 中断，并且 NMI 也自动产生。NMI 将被不断执行，直到 CSS 中断挂起位被清除。因此，在 NMI 的处理程序中必须通过设置 RCM_INT（时钟中断寄存器）里的 CSSCLR 位来清除 CSS 中断。

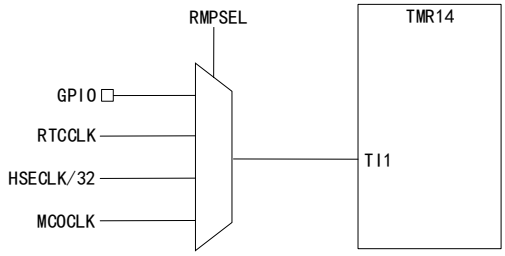
### 5.3.10 ADC 的时钟源选择

ADC 的时钟源通过 ADC_CFG2 控制，它能够选择 HSICLK14 或被 2/4 分频的 PCLK 作为时钟源。当 PCLK 作为 ADC 的时钟源时，HSICLK14 无法转接到 ADC 接口。

### 5.3.11 基于 TMR14 的内/外部时钟测量

通过 TMR14 通道 1 的输入捕获功能，可以间接测量主板上的所有时钟源发生器的频率，电路图如下所示：

图 5 TMR14 间接测量时钟频率电路图




TMR14 的输入捕获可以选择通过配置 TMR14 的 TMR14_OPT 寄存器的 RMPSEL 位，连接一个 GPIO 端口或一个 MCU 的内部时钟（RTCCLK、HSECLK/32、MCOCLK）。具体配置见该寄存器。

### 5.3.12 低功耗模式

APB 的外设时钟和 DMA 时钟可以用软件禁止。

睡眠模式：

- 停止 CPU 时钟
- 可软件停止 Flash 和 RAM 接口时钟
- 所有连接 APB 总线的外设时钟被禁止时，硬件停止 AHB1/APB 桥时钟

停止模式和待机模式：

- 禁止所有 1.2V 电源域
- 禁止 PLLCLK、HSICLK、HSICLK14 和 HSECLK

深度睡眠模式：

- 通过设置 DBGMCU_CFG 中的 STOP_CLK_STS 位和 STANDBY_CLK_STS 位，可以对系统进行调试
- 系统通过中断（停止模式）或复位（待机模式）唤醒时，选择 HSICLK 作为 SYSCLK
- 如果正在进行 Flash 编程，则在完成所有编程操作后才会进入深度睡眠模式
- 如果正在使用 APB 域，则在完成所有操作后才会进入深度睡眠模式

## 5.4 寄存器地址映射

表格 19 RCM 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| RCM_CTRL1 | 时钟控制寄存器 1 | 0x00 |
| RCM_CFG1 | 时钟配置寄存器 1 | 0x04 |

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| RCM_INT | 时钟中断寄存器 | 0x08 |
| RCM_APBRST2 | APB2 外设复位寄存器 | 0x0C |
| RCM_APBRST1 | APB1 外设复位寄存器 | 0x10 |
| RCM_AHBCLKEN | AHB 外设时钟使能寄存器 | 0x14 |
| RCM_APBCLKEN2 | APB2 外设时钟使能寄存器 | 0x18 |
| RCM_APBCLKEN1 | APB1 外设时钟使能寄存器 | 0x1C |
| RCM_BDCTRL | RTC 域控制寄存器 | 0x20 |
| RCM_CSTS | 控制/状态寄存器 | 0x24 |
| RCM_IORST | IO 引脚复位寄存器 | 0x28 |
| RCM_CFG2 | 时钟配置寄存器 2 | 0x2C |
| RMC_CFG3 | 时钟配置寄存器 3 | 0x30 |
| RMC_CTRL2 | 时钟控制寄存器 2 | 0x34 |

## 5.5 寄存器功能描述

### 5.5.1 时钟控制寄存器 1（RCM_CTRL1）

偏移地址：0x00

复位值：0x0000 XX83，X 代表未定义

访问：以字,半字和字节形式访问，无等待周期

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | HSIEN | R/W | 使能高速内部时钟（High Speed Internal Clock Enable）<br>由软件置 1 或清 0。<br>HSICLK 是 RC 振荡器，以下条件中的一个出现时，会硬件置 1：<br>上电启动、软件复位、从待机模式唤醒、停机模式唤醒、外部高速时钟源（作为系统时钟或通过 PLL 提供系统时钟）发生故障。当 HSICLK 作为系统时钟源或通过 PLL 提供系统时钟时，该位不能清 0。<br>0：关闭 HSICLK RC 振荡器<br>1：开启 HSICLK RC 振荡器 |
| 1 | HSIRDYFLG | R | 高速内部时钟就绪标志（High Speed Internal Clock Ready Flag）<br>0：HSICLK RC 振荡器未稳定<br>1：HSICLK RC 振荡器已稳定 |
| 2 | 保留 | | |
| 7:3 | HSITRM | R/W | 调整高速内部时钟（High Speed Internal Clock Trim）<br>产品在出厂时会校准到 8MHz±1%，但随着温度、电压的变化而可能发生变化，可通过 HSITRM 调整 HSICLK RC 振荡器的频率。<br>每写入 1Bit 值，HSICLK 的频率增加 40KHz 左右。 |
| 15:8 | HSICAL | R | 校准内部高速时钟（High Speed Internal Clock Calibrate）<br>产品在出厂时会校准到 8MHz±1%，在系统启动时，会将校准参数自动写入该寄存器。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 16 | HSEEN | R/W | 使能高速外部时钟（High Speed External Clock Enable）<br>进入待机或停机模式时，该位由硬件清 0，关闭 HSECLK；当 HSECLK 作为系统时钟源或通过 PLL 提供系统时钟时，该位不能清 0。<br>0：HSECLK 关闭<br>1：HSECLK 开启 |
| 17 | HSERDYFLG | R | 高速外部时钟就绪标志（High Speed External Clock Ready Flag）<br>HSECLK 稳定后有硬件置 1，软件清 0。<br>0：HSECLK 未稳定<br>1：HSECLK 已稳定 |
| 18 | HSEBCFG | R/W | 配置高速外部时钟旁路模式（High Speed External Clock Bypass Configure）<br>旁路模式指外部时钟作为 HSECLK 时钟源，否则谐振器作为 HSECLK 时钟源。<br>0：非旁路模式<br>1：旁路模式 |
| 19 | CSSEN | R/W | 使能时钟安全系统（Clock Security System Enable）<br>0：禁止<br>1：使能 |
| 23:20 | 保留 | | |
| 24 | PLLEN | R/W | 使能 PLL（PLLEnable）<br>当进入待机和停止模式时，该位由硬件清零；当 PLLCLK 已配置为（或者配置过程中）系统时钟的时钟源，该位不能清 0；其他情况可由软件置或清 0。<br>0：PLL 关闭<br>1：PLL 使能 |
| 25 | PLLRDYFLG | R | PLL 时钟就绪标志（PLL Clock Ready Flag）<br>PLL 锁定后由硬件置。<br>0：PLL 未锁定<br>1：PLL 锁定 |
| 31:26 | 保留 | | |

### 5.5.2 时钟配置寄存器 1（RCM_CFG1）

偏移地址：0x04

复位值：0x0000 0000

此寄存器所有位都由软件置位或清零。

访问：以字,半字和字节形式访问，0 到 2 个等待周期。

只有当访问发生在时钟切换时，才会插入 1 或 2 个等待周期。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | SCLKSEL | R/W | 选择系统时钟源（System Clock Source Select）<br>在从停止或待机模式中返回时或直接或间接作为系统时钟的 HSECLK 出现故障时，由硬件强制选择 HSICLK 作为系统时钟（如果时钟安全系统已经启动）<br>00：HSICLK 作为系统时钟<br>01：HSECLK 作为系统时钟<br>10：PLLCLK 作为系统时钟 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 11：保留 |
| 3:2 | SCLKSELSTS | R | 系统时钟源选择状态（System Clock Selection Status）<br>指示哪一个时钟源被作为系统时钟：由硬件置 1 或清 0。<br>00：HSICLK 作为系统时钟<br>01：HSECLK 作为系统时钟<br>10：PLLCLK 输出作为系统时钟<br>11：不可用 |
| 7:4 | AHBPSC | R/W | 配置 AHB 时钟预分频（AHB Clock Prescaler Factor Configure）<br>控制 AHB 时钟的预分频系数。<br>0xxx：SYSCLK 不分频<br>1000：SYSCLK 2 分频<br>1001：SYSCLK 4 分频<br>1010：SYSCLK 8 分频<br>1011：SYSCLK 16 分频<br>1100：SYSCLK 64 分频<br>1101：SYSCLK 128 分频<br>1110：SYSCLK 256 分频<br>1111：SYSCLK 512 分频<br>注意：当 AHB 时钟的预分频系数大于 1 时，必须开启预取缓冲器。 |
| 10:8 | APB1PSC | R/W | 配置 APB1 时钟预分频系数（APB1 Clock Prescaler Factor Configure）<br>来控制低速 APB1 时钟（PCLK1）的预分频系数。<br>配置后时钟频率不超过 72MHz。<br>0xx：HCLK 不分频<br>100：HCLK 2 分频<br>101：HCLK 4 分频<br>110：HCLK 8 分频<br>111：HCLK 16 分频 |
| 15:11 | 保留 | | |
| 16 | PLLSRCSEL | R/W | 选择 PLL 时钟源（PLL Clock Source Select）<br>只能在关闭 PLL 时才能修改此位。<br>0：HSICLK 振荡器时钟经 2 分频后作为 PLL 输入时钟<br>1：HSECLK 作为 PLL 输入时钟 |
| 17 | PLLHSEPSC | R/W | 配置作为 PLL 时钟源的 HSECLK 分频（HSECLK Prescaler Factor forPLL Clock Source）<br>参考 RCM_CFG2 的 bit0。 |
| 21:18 | PLLMULCFG | R/W | 配置 PLL 倍频系数（PLL Multiplication Factor Configure）<br>确定 PLL 倍频系数。只有在 PLL 关闭的情况下才可被写入。<br>0000：PLL 2 倍频输出<br>0001：PLL 3 倍频输出<br>0010：PLL 4 倍频输出<br>0011：PLL 5 倍频输出<br>0100：PLL 6 倍频输出<br>0101：PLL 7 倍频输出<br>0110：PLL 8 倍频输出<br>0111：PLL 9 倍频输出 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 1000：PLL 10 倍频输出<br>1001：PLL 11 倍频输出<br>1010：PLL 12 倍频输出<br>1011：PLL 13 倍频输出<br>1100：PLL 14 倍频输出<br>1101：PLL 15 倍频输出<br>1110：PLL 16 倍频输出<br>1111：PLL 16 倍频输出<br>注意：PLLCLK 的输出频率不能超过 72MHz。 |
| 23:22 | 保留 | | |
| 27:24 | MCOSEL | R/W | 选择主时钟输出（Main Clock Output Select）<br>由软件置位或清零。<br>0000：没有时钟输出<br>0001：HSICLK14 作为时钟输出<br>0010：LSICLK 作为时钟输出<br>0011：LSECLK 作为时钟输出<br>0100：SYSCLK 作为时钟输出<br>0101：HSICLK 作为时钟输出<br>0110：HSECLK 作为时钟输出<br>0111：PLL2 分频作为时钟输出<br>1xxx：保留 |
| 31:28 | 保留 | | |

### 5.5.3 时钟中断寄存器（RCM_INT）

偏移地址：0x08

复位值：0x0000 0000

访问：以字、半字和字节形式访问，无等待周期。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | LSIRDYFLG | R | LSICLK 就绪中断标志（LSICLK Ready Interrupt Flag）<br>在内部低速时钟就绪且 LSIRDYEN 位被置 1 时，由硬件置 1。<br>由软件通过将 LSIRDYCLR 位置 1 来清 0 此位。<br>0：无 LSICLK 就绪中断<br>1：发生 LSICLK 就绪中断 |
| 1 | LSERDYFLG | R | LSECLK 就绪中断标志（LSECLK Ready Interrupt Flag）<br>在外部低速时钟就绪且 LSERDYEN 位被置 1 时，由硬件置 1。<br>由软件通过将 LSERDYCLR 位置 1 来清 0 此位。<br>0：无 LSECLK 就绪中断<br>1：发生 LSECLK 就绪中断 |
| 2 | HSIRDYFLG | R | HSICLK 就绪中断标志（HSICLK Ready Interrupt Flag）<br>在内部高速时钟就绪且 HSIRDYEN 位被置 1 时，由硬件置 1。<br>由软件通过将 HSIRDYCLR 位置 1 来清 0 此位。<br>0：无 HSICLK 就绪中断<br>1：发生 HSICLK 就绪中断 |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 3 | HSERDYFLG | R | HSECLK 就绪中断标志（HSECLK Ready Interrupt Flag）<br>在外部低速时钟就绪且 HSERDYCLR 位被置 1 时，由硬件置 1。<br>由软件通过将 HSERDYCLR 位置 1 来清 0 此位。<br>0：无 HSECLK 就绪中断<br>1：发生 HSECLK 就绪中断 |
| 4 | PLLRDYFLG | R | PLL 就绪中断标志（PLL Ready Interrupt Flag）<br>在 PLL 就绪且 PLLRDYEN 位被置 1 时，由硬件置 1。<br>由软件通过将 PLLRDYCLR 位置 1 来清 0 此位。<br>0：无 PLL 上锁产生的时钟就绪中断<br>1：PLL 上锁导致时钟就绪中断 |
| 5 | HSI14RDYFLG | R | HSICLK14 就绪中断标志（HSICLK14 Ready Interrupt Flag）<br>在内部高速时钟就绪且 HSI14RDYEN 位被置 1 时，由硬件置 1。<br>软件置 1HSI14RDYCLR 清 0 该位。<br>0：无 HSI14CLK 就绪中断<br>1：发生 HSI14CLK 就绪中断 |
| 6 | 保留 | | |
| 7 | CSSFLG | R | 时钟安全系统中断标志（Clock Security System Interrupt Flag）<br>在外部 4~32MHz 振荡器时钟出现故障时，由硬件置 1。<br>由软件通过将 CSSCLR 位置 1 来清 0 此位。<br>0：无 HSECLK 失效产生的安全系统中断<br>1：HSECLK 失效导致了时钟安全系统中断 |
| 8 | LSIRDYEN | R/W | 使能 LSICLK 就绪中断（LSICLK Ready Interrupt Enable）<br>使能或关闭内部 40kHz RC 振荡器就绪中断。<br>0：禁止<br>1：使能 |
| 9 | LSERDYEN | R/W | 使能 LSECLK 就绪中断（LSECLK Ready Interrupt Enable）<br>使能外部 32kHz RC 振荡器就绪中断。<br>0：禁止<br>1：使能 |
| 10 | HSIRDYEN | R/W | 使能 HSICLK 就绪中断（HSICLK Ready Interrupt Enable）<br>使能内部 8MHz RC 振荡器就绪中断。<br>0：禁止<br>1：使能 |
| 11 | HSERDYEN | R/W | 使能 HSECLK 就绪中断（HSECLK Ready Interrupt Enable）<br>使能外部 4~32MHz 振荡器就绪中断。<br>0：禁止<br>1：使能 |
| 12 | PLLRDYEN | R/W | 使能 PLL 就绪中断（PLL Ready Interrupt Enable）<br>使能 PLL 就绪中断。<br>0：禁止<br>1：使能 |
| 13 | HSI14RDYEN | R/W | 使能 HSICLK14 就绪中断（HSICLK14 Ready Interrupt Enable）<br>使能内部 14MHz RC 振荡器就绪中断。<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:14 | 保留 | | |
| 16 | LSIRDYCLR | W | 清除 LSICLK 就绪中断（LSICLK Ready Interrupt Clear）<br>清除 LSICLK 就绪中断标志位 LSIRDYFLG。<br>0：无作用<br>1：清除 |
| 17 | LSERDYCLR | W | 清除 LSECLK 就绪中断（LSECLK Ready Interrupt Clear）<br>清除 LSECLK 就绪中断标志位 LSERDYFLG。<br>0：无作用<br>1：清除 |
| 18 | HSIRDYCLR | W | 清除 HSICLK 就绪中断（HSICLK Ready Interrupt Clear）<br>清除 HSICLK 就绪中断标志位 HSIRDYFLG。<br>0：无作用<br>1：清除 |
| 19 | HSERDYCLR | W | 清除 HSECLK 就绪中断（HSECLK Ready Interrupt Clear）<br>清除 HSECLK 就绪中断标志位 HSERDYFLG。<br>0：无作用<br>1：清除 |
| 20 | PLLRDYCLR | W | 清除 PLL 就绪中断（PLL Ready Interrupt Clear）<br>清除 PLL 就绪中断标志位 PLLRDYFLG。<br>0：无作用<br>1：清除 |
| 21 | HSI14RDYCLR | W | 清除 HSICLK14 就绪中断（HSICLK14 Ready Interrupt Clear）<br>清除 HSICLK14 就绪中断标志位 HSI14RDYFLG。<br>0：无作用<br>1：清除 |
| 22 | 保留 | | |
| 23 | CSSCLR | W | 清除时钟安全系统中断（Clock Security System Interrupt Clear）<br>清除安全系统中断标志位 CSSFLG。<br>0：无作用<br>1：清除 |
| 31:24 | 保留 | | |

### 5.5.4 APB 外设复位寄存器 2（RCM_APBRST2）

偏移地址：0x0C
复位值：0x0000 0000
访问：以字,半字和字节形式访问，无等待周期。
所有位都可以由软件置位或清 0。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | SYSCFGRST | R/W | 复位系统配置寄存器（SYSCFG Reset）<br>0：无作用<br>1：复位 |
| 8:1 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 9 | ADCRST | R/W | 复位 ADC（ADC Reset）<br>0：无作用<br>1：复位 |
| 10 | 保留 | | |
| 11 | TMR1RST | R/W | 复位 TMR1 定时器（TMR1 Timer Reset）<br>0：无作用<br>1：复位 |
| 12 | SPI1RST | R/W | 复位 SPI1（SPI1 Reset）<br>0：无作用<br>1：复位 |
| 13 | 保留 | | |
| 14 | USART1RST | R/W | 复位 USART1（USART1 Rreset）<br>0：无作用<br>1：复位 |
| 15 | 保留 | | |
| 16 | TMR15RST | R/W | 复位 TMR15 定时器（TMR15 Timer Reset）<br>0：无作用<br>1：复位 |
| 17 | TMR16RST | R/W | 复位 TMR16 定时器（TMR16 Timer Reset）<br>0：无作用<br>1：复位 |
| 18 | TMR17RST | R/W | 复位 TMR17 定时器（TMR17 Timer Reset）<br>0：无作用<br>1：复位 |
| 21:19 | 保留 | | |
| 22 | DBGRST | R/W | 复位 Debug（Debug Reset）<br>0：无作用<br>1：复位 |
| 31:23 | 保留 | | |

### 5.5.5 APB 外设复位寄存器 1（RCM_APBRST1）

偏移地址：0x10

复位值：0x0000 0000

访问：以字,半字和字节形式访问，无等待周期

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | 保留 | | |
| 1 | TMR3RST | R/W | 复位定时器 3（Timer 3 Reset）<br>0：无作用<br>1：复位 |
| 3:2 | 保留 | | |
| 4 | TMR6RST | R/W | 复位定时器 6（Timer 6 Reset）<br>0：无作用<br>1：复位 |
| 7:5 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 8 | TMR14RST | R/W | 复位定时器 14（Timer14 Reset）<br>0：无作用<br>1：复位 |
| 10:9 | 保留 | | |
| 11 | WWDTRST | R/W | 复位窗口看门狗（Window Watchdog Reset）<br>0：无作用<br>1：复位 |
| 13:12 | 保留 | | |
| 14 | SPI2RST | R/W | 复位 SPI2（SPI2 Reset）<br>0：无作用<br>1：复位 |
| 16:15 | 保留 | | |
| 17 | USART2RST | R/W | 复位 USART2（USART2 Reset）<br>0：无作用<br>1：复位 |
| 20:18 | 保留 | | |
| 21 | I2C1RST | R/W | 复位 I2C1（I2C1 Reset）<br>0：无作用<br>1：复位 |
| 22 | I2C2RST | R/W | 复位 I2C2（I2C2 Reset）<br>0：无作用<br>1：复位 |
| 27:23 | 保留 | | |
| 28 | PMURST | R/W | 复位电源接口（Power Interface Reset）<br>0：无作用<br>1：复位 |
| 31:29 | 保留 | | |

### 5.5.6 AHB 外设时钟使能寄存器（RCM_AHBCLKEN）

偏移地址：0x14
复位值：0x0000 0014

访问：以字,半字和字节形式访问，无等待周期
所有位都可以由软件置位或清 0。

注：当外设时钟没有启用时，软件不能读出外设寄存器的数值，返回的数值始终是 0x0。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | DMAEN | R/W | 使能 DMA 时钟（DMA Clock Enable）<br>0：关闭<br>1：开启 |
| 1 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2 | SRAMEN | R/W | 使能 SRAM 时钟（SRAM Interface Clock Enable）<br>使能睡眠模式时 SRAM 时钟。<br>0：关闭<br>1：开启 |
| 3 | 保留 | | |
| 4 | FMCEN | R/W | 使能闪存接口电路时钟（FMC Clock Enable）<br>使能睡眠模式时闪存接口电路时钟。<br>0：关闭<br>1：开启 |
| 5 | 保留 | | |
| 6 | CRCEN | R/W | 使能 CRC 时钟（CRC Clock Enable）<br>0：禁止<br>1：使能 |
| 16:7 | 保留 | | |
| 17 | PAEN | R/W | 使能 I/O PortA 时钟（I/O PortA Clock Enable）<br>0：禁止<br>1：使能 |
| 18 | PBEN | R/W | 使能 I/O PortB 时钟（I/O PortB Clock Enable）<br>0：禁止<br>1：使能 |
| 19 | PCEN | R/W | 使能 I/O PortC 时钟（I/O PortC Clock Enable）<br>0：禁止<br>1：使能 |
| 20 | PDEN | R/W | 使能 I/O PortD 时钟（I/O PortD Clock Enable）<br>0：禁止<br>1：使能 |
| 21 | 保留 | | |
| 22 | PFEN | R/W | 使能 I/O PortF 时钟（I/O PortF Clock Enable）<br>0：禁止<br>1：使能 |
| 31:23 | 保留 | | |

### 5.5.7 APB 外设时钟使能寄存器 2（RCM_APBCLKEN2）

偏移地址：0x18

复位值：0x0000 0000

访问：以字，半字和字节形式访问

通常无访问等待周期。但在 APB2 总线上的外设被访问时，将插入等待状态直到 APB2 的外设访问结束。

所有位都可以通过软件置位或清 0。

注：当外设时钟没有启用时，软件不能读出外设寄存器的数值，返回的数值始终是 0x0。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | SYSCFGEN | R/W | 使能 SYSCFG 时钟（SYSCFG Clock Enable）<br>0：禁止<br>1：使能 |
| 8:1 | 保留 | | |
| 9 | ADCEN | R/W | 使能 ADC 接口时钟（ADC Interface Clock Enable）<br>0：禁止<br>1：使能 |
| 10 | 保留 | | |
| 11 | TMR1EN | R/W | 使能 TMR1 定时器时钟（TMR1 Timer Clock Enable）<br>0：禁止<br>1：使能 |
| 12 | SPI1EN | R/W | 使能 SPI1 时钟（SPI 1 Clock Enable）<br>0：禁止<br>1：使能 |
| 13 | 保留 | | |
| 14 | USART1EN | R/W | 使能 USART1 时钟（USART1 Clock Enable）<br>0：禁止<br>1：使能 |
| 15 | 保留 | | |
| 16 | TMR15EN | R/W | 使能 TMR15 定时器时钟（TMR15 Timer Clock Enable）<br>0：禁止<br>1：使能 |
| 17 | TMR16EN | R/W | 使能 TMR16 定时器时钟（TMR16 Timer Clock Enable）<br>0：禁止<br>1：使能 |
| 18 | TMR17EN | R/W | 使能 TMR17 定时器时钟（TMR17 Timer Clock Enable）<br>0：禁止<br>1：使能 |
| 21:19 | 保留 | | |
| 22 | DBGEN | R/W | 使能 Debug 时钟（Debug Clock Enable）<br>0：禁止<br>1：使能 |
| 31:23 | 保留 | | |

### 5.5.8 APB 外设时钟使能寄存器 1（RCM_APBCLKEN1）

偏移地址：0x1C

复位值：0x0000 0000

访问：以字、半字和字节形式访问

通常无访问等待周期。但在 APB1 总线上的外设被访问时，将插入等待状态直到 APB1 外设访问结束。

所有位都可以通过软件置位或清 0。

注：当外设时钟没有启用时，软件不能读出外设寄存器的数值，返回的数值始终是 0x0。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | 保留 | | |
| 1 | TMR3EN | R/W | 使能定时器 3 时钟（Timer 3 Clock Enable）<br>0：禁止<br>1：使能 |
| 3:2 | 保留 | | |
| 4 | TMR6EN | R/W | 使能定时器 6 时钟（Timer 6 Clock Enable）<br>0：禁止<br>1：使能 |
| 7:5 | 保留 | | |
| 8 | TMR14EN | R/W | 使能定时器 14 时钟（Timer14 Clock Enable）<br>0：禁止<br>1：使能 |
| 10:9 | 保留 | | |
| 11 | WWDTEN | R/W | 使能窗口看门狗时钟（Window Watchdog Clock Enable）<br>0：禁止<br>1：使能 |
| 13:12 | 保留 | | |
| 14 | SPI2EN | R/W | 使能 SPI2 时钟（SPI 2 Clock Enable）<br>0：禁止<br>1：使能 |
| 16:15 | 保留 | | |
| 17 | USART2EN | R/W | 使能 USART2 时钟（USART 2 Clock Enable）<br>0：禁止<br>1：使能 |
| 20:18 | 保留 | | |
| 21 | I2C1EN | R/W | 使能 I2C1 时钟（I2C1 Clock Enable）<br>0：禁止<br>1：使能 |
| 22 | I2C2EN | R/W | 使能 I2C2 时钟（I2C2 Clock Enable）<br>0：禁止<br>1：使能 |
| 27:23 | 保留 | | |
| 28 | PMUEN | R/W | 使能电源接口时钟（Power Interface Clock Enable）<br>0：禁止<br>1：使能 |
| 31:29 | 保留 | | |

### 5.5.9 RTC 域控制寄存器（RCM_BDCTRL）

偏移地址：0x20

复位值：0x0000 0018，只能由 RTC 域复位有效复位

访问：以字、半字和字节形式访问，0 到 3 等待周期

当连续对该寄存器进行访问时，将插入等待状态。

注意：当 PMU_CTRL 中的 BPWEN 位被置 1 后，LSEEN、LSEBCFG、RTCSRCSEL 和 RTCCLKEN 才能进行改动。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | LSEEN | R/W | 使能 LSECLK（Low-Speed External Clock Enable）<br>0：禁止<br>1：使能 |
| 1 | LSERDYFLG | R | LSECLK 就绪标志（Low-Speed External Oscillator Ready Flag）<br>LSECLK 稳定时硬件置 1，不稳定时硬件清 0。LSEEN 被清零后，需要 6 个外部低速振荡器的周期才会清除此位。<br>0：未就绪<br>1：就绪 |
| 2 | LSEBCFG | R/W | 配置 LSECLK 为旁路模式（Low-Speed External Clock Bypass Mode Configure）<br>旁路模式指外部时钟作为 LSECLK 时钟源，否则谐振器作为 LSECLK 时钟源。<br>0：非旁路模式<br>1：旁路模式 |
| 4:3 | LSEDRVCFG | R/W | 配置 LSECLK 振荡器驱动能力（LSE Oscillator Drive Capability Configure）<br>有软件置位或清零，设置 LSECLK 振荡器的驱动能力（晶体模式不被旁路），复位 RTC 域时，该位被复原成缺省值。<br>00：弱<br>01：中低<br>10：中高<br>11：强 |
| 7:5 | 保留 | | |
| 9:8 | RTCSRCSEL | R/W | 选择 RTC 时钟源（RTC Clock Source Select）<br>先设置 BDRST 位复位 RTC 域，再选择 RTC 时钟源，无法直接配置该寄存器修改。<br>00：无时钟<br>01：LSECLK 振荡器作为 RTC 时钟<br>10：LSICLK 振荡器作为 RTC 时钟<br>11：HSECLK 振荡器在 32 分频后作为 RTC 时钟 |
| 14:10 | 保留 | | |
| 15 | RTCCLKEN | R/W | 使能 RTC 时钟（RTC Clock Enable）<br>0：禁止<br>1：使能 |
| 16 | BDRST | R/W | 复位备份域软件（Backup Domain Software Reset）<br>由软件置 1 或清 0<br>0：复位未激活<br>1：复位整个备份域 |
| 31:17 | 保留 | | |

### 5.5.10 控制/状态寄存器（RCM_CSTS）

偏移地址：0x24

复位值：0xXXX0 0000，除复位标志外由系统复位清除，复位标志只能由电源复位清除。

访问：以字、半字和字节形式访问，0 到 3 等待周期 。
当连续对该寄存器进行访问时，将插入等待状态。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | LSIEN | R/W | 使能内部低速振荡器（Low-Speed Internal Oscillator Enable）<br>由软件置 1 或清 0。<br>0：禁止<br>1：使能 |
| 1 | LSIRDYFLG | R | 内部低速振荡器就绪标志（Low-Speed Internal Oscillator Ready Flag）<br>LSICLK 稳定时硬件置 1，不稳定时硬件清 0。LSIEN 被清零后，需要 3 个内部 RC 振荡器的周期后才清除此位。<br>0：未就绪<br>1：就绪 |
| 22:2 | 保留 | | |
| 23 | PWRRSTFLG | R | 1.2V 区域复位标志（Reset Flag of The 1.2V Domain）<br>当 1.2V 电源域发生复位时硬件置 1，通过将 RSTFLGCLR 置位清除。<br>0：没有发生复位<br>1：复位发生 |
| 24 | RSTFLGCLR | RT_W | 清除复位标志（Reset Flag Clear）<br>由软件置 1 来清除复位标志，包括 RSTFLGCLR。<br>0：无作用<br>1：清除复位标志 |
| 25 | OBRSTFLG | R | 选项字节加载复位标志（Option Byte Loader Reset Flag）<br>当选项字节加载复位发生时硬件置位，否则通过将 RSTFLGCLR 置位清除。<br>0：没有发生复位<br>1：复位发生 |
| 26 | PINRSTFLG | R | 发生 NRST 引脚复位标志（NRST PIN Reset Occur Flag）<br>在 NRST 引脚复位发生时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。<br>0：无 NRST 引脚复位发生<br>1：发生 NRST 引脚复位 |
| 27 | PODRSTFLG | R | 发生上电/掉电复位标志（POR/PDR Reset Occur Flag）<br>由硬件置 1；由软件通过写 RSTFLGCLR 位清除。<br>0：无上电/掉电复位发生<br>1：发生上电/掉电复位 |
| 28 | SWRSTFLG | R | 发生软件复位标志（Software Reset Occur Flag）<br>由硬件置 1；由软件通过写 RSTFLGCLR 位清除。<br>0：没有发生<br>1：发生 |
| 29 | IWDTRSTFLG | R | 发生独立看门狗复位标志（Independent Watchdog Reset Occur Flag）<br>当独立看门狗复位发生在 $V_{DD}$ 区域时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。<br>0：没有发生<br>1：发生 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 30 | WWDTRSTFLG | R | 发生窗口看门狗复位标志（Window Watchdog Reset Occur Flag）<br>当窗口看门狗复位发生时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。<br>0：没有发生<br>1：发生 |
| 31 | LPWRRSTFLG | R | 发生低功耗复位标志（Low Power Reset Occur Flag）<br>当低功耗管理复位发生时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。<br>0：没有发生<br>1：发生 |

### 5.5.11 AHB 外设复位寄存器（RCM_AHBRST）

偏移地址：0x28

复位值：0x0000 0000

访问：以字,半字和字节形式访问，无等待周期

由软件置 1 或清零。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 16:0 | 保留 | | |
| 17 | PARST | R/W | 复位 I/O 端口 PA（I/O PortA Reset）<br>0：无效<br>1：复位 |
| 18 | PBRST | R/W | 复位 I/O 端口 PB（I/O PortB Reset）<br>0：无效<br>1：复位 |
| 19 | PCRST | R/W | 复位 I/O 端口 PC（I/O PortC Reset）<br>0：无效<br>1：复位 |
| 20 | PDRST | R/W | 复位 I/O 端口 PD（I/O PortD Reset）<br>0：无效<br>1：复位 |
| 21 | 保留 | | |
| 22 | PFRST | R/W | 复位 I/O 端口 PF（I/O PortF Reset）<br>0：无作用<br>1：复位 |
| 31:23 | 保留 | | |

### 5.5.12 时钟配置寄存器 2（RCM_CFG2）

偏移地址：0x2C

复位值：0x0000 0000

访问：以字,半字和字节形式访问，无等待周期

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | PLLPSC1 | R/W | 配置 PLLPSC1 的系数（PLLPSC1 Factor Configure）<br>0000：无分频系数<br>0001：系数为 2<br>0010：系数为 3<br>0011：系数为 4<br>……<br>1101：系数为 14<br>1110：系数为 15<br>1111：系数为 16 |
| 31:4 | 保留 | | |

### 5.5.13 时钟配置寄存器 3（RCM_CFG3）

偏移地址：0x30

复位值：0x0000 0000

访问：以字,半字和字节形式访问，无等待周期

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | USART1SEL | R/W | 选择 USART1 的时钟源（USART1 Clock Source Select）<br>由软件置位或清零。默认值为 00。<br>00：PCLK 作为 USART1CLK<br>01：SYSCLK 作为 USART1CLK<br>10：LSECLK 作为 USART1CLK<br>11：HSICLK 作为 USART1CLK |
| 3:2 | 保留 | | |
| 4 | I2C1SEL | R/W | 选择 I2C1 的时钟源（I2C1 Clock Source Select）<br>由软件置位或清零。默认值为 0。<br>0：HSICLK 作为 I2C1CLK<br>1：SYSCLK 作为 I2C1CLK |
| 31:5 | 保留 | | |

### 5.5.14 时钟控制寄存器 2（RCM_CTRL2）

偏移地址：0x34

复位值：0xXX00 XX80

访问：以字,半字和字节形式访问，无等待周期

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | HSI14EN | R/W | 使能 HSICLK14（HSICLK15 Enable）<br>由软件置 1 或清 0。<br>0：内部 14MHz 振荡器关闭<br>1：内部 14MHz 振荡器开启 |
| 1 | HSI14RDFLG | R | HSICLK14 准备标志（HSICLK14 Ready Flag）<br>由硬件置位，用于指示 HSICLK14 振荡器的状态。<br>0：未准备好<br>1：准备好 |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 2 | HSI14TO | R/W | ADC 启动 HSICLK14（ADC Interface Turn On HSICLK14）<br>ADC 模块使能时可以启动 HSICLK14 振荡器，由硬件置位或清零。<br>0：能够启动<br>1：不能启动 |
| 7:3 | HSI14TRM | R/W | HSICLK14 调整（HSICLK14 Trim）<br>产品在出厂时会校准到 14MHz±1%，但随着温度、电压的变化而变化，可通过 HSI14TRM 调整 HSICLK14 振荡器的频率。<br>每写入 1Bit 值，HSICLK 的频率增加 50KHz 左右。 |
| 15:8 | HSI14CAL | R | HSICLK14 校准（HSICLK14 Calibrate）<br>在出厂时会校准到 14MHz±1%，在系统启动时，会将校准参数自动写入该寄存器。 |
| 31:16 | 保留 | | |

# 6 电源管理单元（PMU）

## 6.1 术语全称、缩写描述

表格 20 术语全称、缩写描述

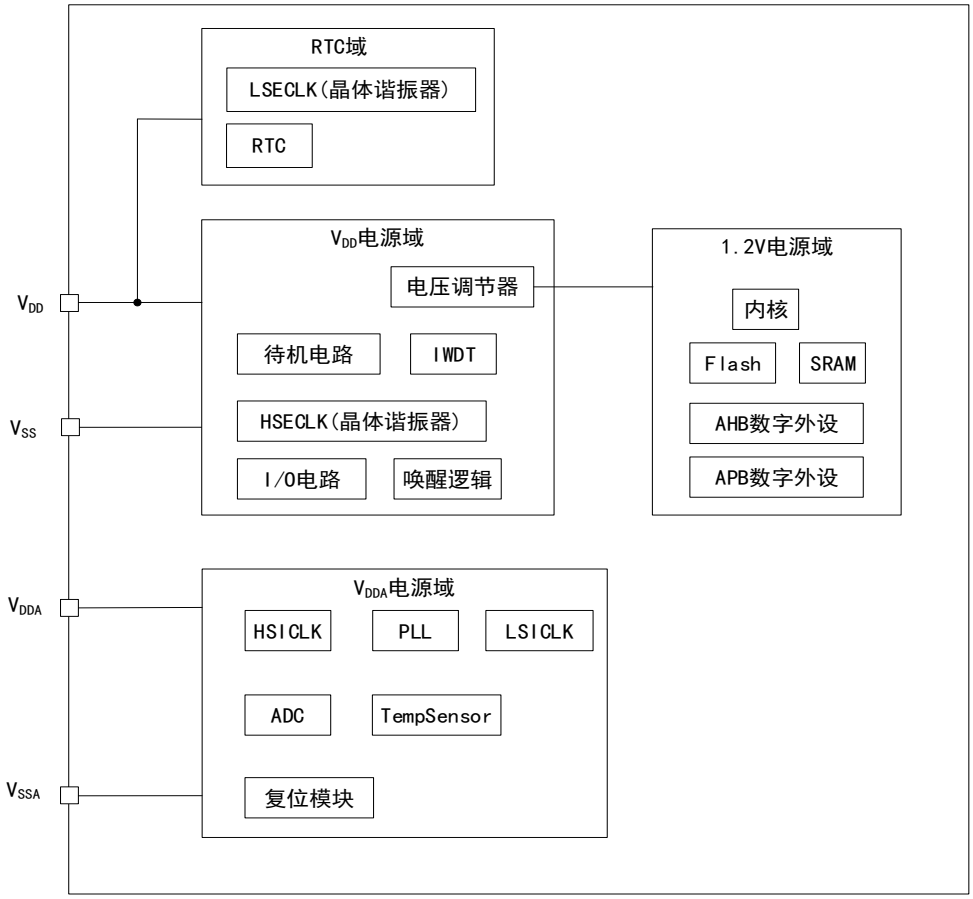
| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 电源管理单元 | Power Management Unit | PMU |
| 上电复位 | Power On Reset | POR |
| 掉电复位 | Power Down Reset | PDR |
| 电源电压检测器 | Power Voltage Detector | PVD |

## 6.2 简介

电源是一个系统稳定运行的基础，工作电压为 2.0～3.6V，可以通过内置的电压调节器提供 1.2V 的电源。

## 6.3 结构框图

图 6 电源控制结构框图



## 6.4 功能描述

### 6.4.1 电源域

产品的电源域有：$V_{DD}$ 电源域、$V_{DDA}$ 电源域、1.2V 电源域。

#### 6.4.1.1 $V_{DD}$ 电源域

通过 $V_{DD}$/$V_{SS}$ 引脚供电，给电压调节器、待机电路、IWDT、HSECLK、I/O（除了 PC13、PC14、PC15 引脚）、唤醒逻辑供电。

**电压调节器**

给 1.2V 电源域供电，有以下几种工作模式：

- 正常模式：此模式下 1.2V 供电区域全功率运行
- 停止模式：此模式下 1.2V 供电区域工作在低功耗状态，所有时钟关闭，外设停止工作
- 待机模式：此模式下 1.2V 供电区域停止供电，除了备用电路，寄存器和 SRAM 内容都会丢失

#### 6.4.1.2 $V_{DDA}$ 电源域

通过 $V_{DDA}$/$V_{SSA}$ 引脚供电，给 ADC、HSICLK、LSICLK、TempSensor、PLL、复位模块供电。

**独立 ADC 电源和参考电压**

独立的 ADC 电源可以提高转换精度，具体电源引脚如下：

- $V_{DDA}$：ADC 的电源引脚
- $V_{SSA}$：独立电源地引脚

#### 6.4.1.3 1.2V 电源域

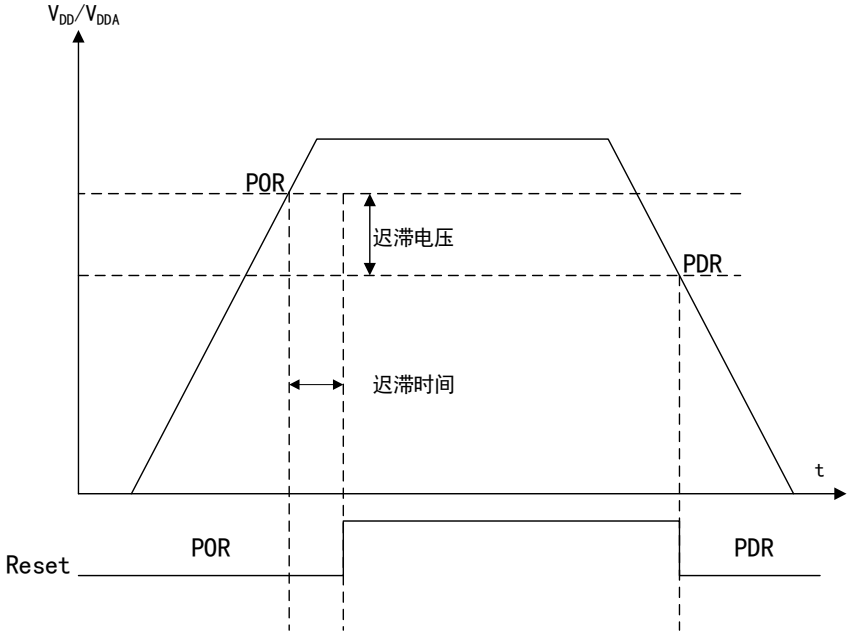
由电压调节器供电，给内核、Flash、SRAM、数字外设供电。

### 6.4.2 电源管理

#### 6.4.2.1 上电复位与掉电复位（POR 与 PDR）

当检测到 $V_{DD}$ 和 $V_{DDA}$ 均低于阈值电压 $V_{POR}$ 和 $V_{PDR}$ 时，芯片将会自动保持为复位状态，上电复位和掉电复位的波形图如下，POR、PDR、迟滞电压、迟滞时间请参考“数据手册”。

图 7 上电复位和掉电复位的波形图




### 6.4.3 功耗控制

#### 6.4.3.1 低功耗模式降低功耗

低功耗模式有三种：睡眠模式、停止模式和待机模式。通过关闭内核、时钟源、设置调压器来降低功耗。

每种低功耗模式的功耗、唤醒启动时间、唤醒方式、唤醒后数据的保存存在差异；功耗越低，唤醒时间越长，唤醒方式越少，唤醒后保存的数据越少，用户可以根据需求选择最合适的低功耗模式。下图是三种低功耗模式的差异。

表格 21 “睡眠模式、停止模式和待机模式”差异

| 模式 | 说明 | 进入方式 | 唤醒方式 | 电压调节器 | 对 1.2V 区域时钟的影响 | 对 $V_{DD}$ 区域时钟的影响 |
|---|---|---|---|---|---|---|
| 睡眠 | Arm® Cortex®-M0+内核停止，所有外设包括内核的外设仍在工作 | 调用 WFI 命令 | 任一中断 | 开 | 只关闭内核时钟，对其它时钟以及 ADC 的时钟没有影响 | 无 |
| | | 调用 WFE 命令 | 唤醒事件 | 开 | | 无 |
| 停止 | 所有的时钟都已停止 | PDDSCFG 和 LPDSCFG 位+SLEEPDEEP 位+WFI 或 WFE | 任一外部中断线（含 RTC 事件） | 开启或处于低功耗模式 | 关闭所有 1.2V 区域的时钟 | HSICLK 和 HSECLK 的振荡器关闭 |
| 待机 | 1.2V 电源关闭 | PDDSCFG 位+SLEEPDEEP 位+WFI 或 WFE | WKUP 引脚的上升沿、RTC 闹钟事件、NRST 引脚上的外部复位、IWDT 复位 | 关 | | |

**睡眠模式**

睡眠模式特点见下表：

表格 22 睡眠模式特点

| 特性 | 说明 |
| --- | --- |
| 进入 | 当内核寄存器 SLEEPDEEP=0 执行 WFI 或 WFE 指令：<br>当 SLEEPONEXIT 置 0，立即进入睡眠模式；当 SLEEPONEXIT 置 1，系统从中断程序返回后，立即进入睡眠模式。 |
| 唤醒 | 若执行 WFI 指令进入睡眠模式，则通过任意中断唤醒；若执行 WFE 指令进入睡眠模式，则通过事件唤醒。 |
| 睡眠时 | 内核停止工作，所有外设仍在运行，且保存睡眠前内核寄存器、内存的数据。 |
| 唤醒延时 | 无 |
| 唤醒后 | 若通过中断唤醒，先进入中断，然后退出中断，之后才执行 WFI 指令后的程序，若通过事件唤醒，直接执行 WFE 指令后的程序。 |

### 停止模式

停止模式特点见下表：

表格 23 停止模式特点

| 特性 | 说明 |
| --- | --- |
| 进入 | 内核寄存器的 SLEEPDEEP 位置 1，寄存器 PMU_CTRL 中的 PDDSCFG 位置 0，然后执行 WFI 或 WFE 指令时立即进入停止模式；<br>寄存器 PMU_CTRL 的 LPDSCFG 位置 0 时调压器工作在正常模式，寄存器 PMU_CTRL 的 LPDSCFG 位置 1 时调节器工作在低功耗模式。 |
| 唤醒 | 若执行 WFI 指令进入睡眠模式，则通过任意中断唤醒；若执行 WFE 指令进入睡眠模式，则通过事件唤醒。 |
| 停止时 | 内核停止工作，外设也停止工作，保存停止前内核寄存器、内存的数据。 |
| 唤醒延时 | HSICLK 振荡器唤醒时间+电压调节器从低功耗唤醒的时间。 |
| 唤醒后 | 若通过中断唤醒，先进入中断，然后退出中断，之后才执行 WFI 指令后的程序，若通过事件唤醒，直接执行 WFE 指令后的程序。 |

### 待机模式

待机模式特点见下表：

表格 24 待机模式

| 特性 | 说明 |
| --- | --- |
| 进入 | 内核寄存器的 SLEEPDEEP 位置 1，寄存器 PMU_CTRL 中的 PDDSCFG 位置 1，WUEFLG 位置 0，然后执行 WFI 或 WFE 指令时立即进入待机模式。 |
| 唤醒 | 通过 WKUP 引脚的上升沿，RTC 闹钟、唤醒、入侵事件或 NRST 引脚外部复位及 IWDT 复位唤醒。 |
| 待机时 | 内核停止工作，外设也停止工作，内核寄存器、内存的数据会丢失。 |
| 唤醒延时 | 芯片复位的时间。 |
| 唤醒后 | 程序从头开始执行。 |

#### 6.4.3.2 运行模式降低功耗

在运行模式，可通过降低系统时钟频率、关闭或者降低 APB/AHB 总线上的外设时钟频率降低运行模式功耗。

## 6.5 寄存器地址映射

表格 25 PMU 寄存器地址映射表

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| PMU_CTRL | 电源控制寄存器 | 0x00 |
| PMU_CSTS | 电源控制/状态寄存器 | 0x04 |

## 6.6 寄存器功能描述

### 6.6.1 电源控制寄存器（PMU_CTRL）

偏移地址：0x00

复位值：0x0000 0000（从待机模式唤醒时清除）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | LPDSCFG | R/W | 低功耗深度睡眠配置（Low Power Deep Sleep Configure）<br>配置在停机模式下调压器的工作状态。<br>0：开启<br>1：低功耗模式 |
| 1 | PDDSCFG | R/W | 配置掉电深度睡眠（Power Down Deep Sleep Configure）<br>在 CPU 进入深度睡眠下，在待机、停机模式下配置调压器的状态。<br>0：进入停机模式，此时调压器由 LPDSCFG 位控制<br>1：进入待机模式 |
| 2 | WUFLGCLR | RC_W1 | 清除唤醒标志（Wakeup Flag Clear）<br>0：无效<br>1：通过写 1 在 2 个系统时钟周期后清除唤醒标志 |
| 3 | SBFLGCLR | RC_W1 | 清除待机标志（Standby Flag Clear）<br>0：无效<br>1：写 1 清除待机标志 |
| 7:4 | 保留 | | |
| 8 | BPWEN | R/W | 使能写 RTC 区域（RTC Domain Write Access Enable）<br>RTC 区域指 RTC、RTC 寄存器，复位后禁止写访问，写 1 允许写访问。<br>0：禁止写<br>1：使能写 |
| 31:9 | 保留 | | |

### 6.6.2 电源控制/状态寄存器（PMU_CSTS）

偏移地址：0x04

复位值：0x0000 000X（从待机模式唤醒时不被清除）

与标准的 APB 读相比，读此寄存器需要额外的 APB 周期

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 0 | WUEFLG | R | 唤醒事件产生标志（Wakeup Event Flag）<br>该位由硬件设置，标志是否在 WKUP 引脚上发生唤醒事件或者 RTC 闹钟唤醒事件<br>0：未发生<br>1：已发生<br>注：使能 WKUP 引脚，当 WKUP 引脚已经是高电平时，会检测到事件。 |
| 1 | SBFLG | R | 待机标志（Standby Flag）<br>该位由硬件置 1，只能由 POR/PDR（上电/掉电复位）或设置电源控制寄存器（PMU_CTRL）的 SBFLGCLR 位清除。<br>0：未进入过待机模式<br>1：已进入过待机模式 |
| 7:2 | 保留 | | |
| 9:8 | WKUPCFGx | R/W | WKUPx 引脚配置（WKUPx Pin Configure）<br>WKUPx 作为普通 I/O 时，WKUPx 引脚上的事件不能唤醒处在待机模式下的 CPU；不当作普通 I/O 时，才能唤醒 CPU。<br>0：配置普通 I/O<br>1：可唤醒 MCU<br>注：在系统复位时清除这一位 |
| 31:10 | 保留 | | |

# 7 嵌套向量中断控制器（NVIC）

## 7.1 术语全称、缩写描述

表格 26 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 不可屏蔽中断 | Non Maskable Interrupt | NMI |

## 7.2 简介

产品中的 Cortex-M0+内核集成了嵌套向量中断控制器（Nested Vectored Interrupt Controller（NVIC）），它和内核紧密耦合，能高效、低延迟处理异常和中断、电源管理控制。更多关于 NVIC 的说明请参考《Cortex-M0+ 技术参考手册》。

## 7.3 主要特征

（1） 32 个可屏蔽中断通道（不包括 16 个 Arm® Cortex®-M0+中断线）

（2） 4 个可编程的优先级（使用 2 位的中断优先级）

（3） 低延时的异常和中断处理

（4） 电源管理控制

（5） 系统控制寄存器的实现

## 7.4 中断和异常向量表

表格 27 APM32E030x8 中断和异常向量表

| 异常类型 | 向量编号 | 优先级 | 向量地址 | 描述 |
|---|---|---|---|---|
| - | - | - | 0x0000_0000 | 保留 |
| RST | - | -3 | 0x0000_0004 | 复位 |
| NMI | - | -2 | 0x0000_0008 | 不可屏蔽中断 |
| HardFault | - | -1 | 0x0000_000C | 各种硬件故障 |
| SVCall | - | 可设置 | 0x0000_002C | SWI 指令实现系统服务调用 |
| PendSV | - | 可设置 | 0x0000_0038 | 可挂起系统服务请求 |
| SysTick | - | 可设置 | 0x0000_003C | 系统嘀嗒定时器 |
| WWDT | 0 | 可设置 | 0x0000_0040 | 窗口看门狗中断 |
| - | 1 | 可设置 | 0x0000_0044 | 保留 |
| RTC | 2 | 可设置 | 0x0000_0048 | RTC 中断 |

| 异常类型 | 向量编号 | 优先级 | 向量地址 | 描述 |
|---|---|---|---|---|
| FLASH | 3 | 可设置 | 0x0000_004C | FLASH 中断 |
| RCM | 4 | 可设置 | 0x0000_0050 | RCM 中断 |
| EINT0_1 | 5 | 可设置 | 0x0000_0054 | EINT 线[1:0]中断 |
| EINT2_3 | 6 | 可设置 | 0x0000_0058 | EINT 线[3:2]中断 |
| EINT4_15 | 7 | 可设置 | 0x0000_005C | EINT 线[15:4]中断 |
| - | 8 | 可设置 | 0x0000_0060 | 保留 |
| DMA_CH1 | 9 | 可设置 | 0x0000_0064 | DMA 通道 1 中断 |
| DMA_CH2_3 | 10 | 可设置 | 0x0000_0068 | DMA 通道 2 和 3 中断 |
| DMA_CH4_5 | 11 | 可设置 | 0x0000_006C | DMA 通道 4 和 5 中断 |
| ADC | 12 | 可设置 | 0x0000_0070 | ADC 中断 |
| TMR1_BRK_UP_TRG_COM | 13 | 可设置 | 0x0000_0074 | TMR1 的 BRK、UP、TRG 和 COM 中断 |
| TMR1_CC | 14 | 可设置 | 0x0000_0078 | TMR1 捕获比较中断 |
| - | 15 | 可设置 | 0x0000_007C | 保留 |
| TMR3 | 16 | 可设置 | 0x0000_0080 | TMR3 中断 |
| TMR6 | 17 | 可设置 | 0x0000_0084 | TMR6 中断 |
| - | 18 | 可设置 | 0x0000_0088 | 保留 |
| TMR14 | 19 | 可设置 | 0x0000_008C | TMR14 中断 |
| TMR15 | 20 | 可设置 | 0x0000_0090 | TMR15 中断 |
| TMR16 | 21 | 可设置 | 0x0000_0094 | TMR16 中断 |
| TMR17 | 22 | 可设置 | 0x0000_0098 | TMR17 中断 |
| I2C1 | 23 | 可设置 | 0x0000_009C | I2C1 中断 |
| I2C2 | 24 | 可设置 | 0x0000_00A0 | I2C2 中断 |
| SPI1 | 25 | 可设置 | 0x0000_00A4 | SPI1 中断 |
| SPI2 | 26 | 可设置 | 0x0000_00A8 | SPI2 中断 |
| USART1 | 27 | 可设置 | 0x0000_00AC | USART1 中断 |
| USART2 | 28 | 可设置 | 0x0000_00B0 | USART2 中断 |
| - | 29 | 可设置 | 0x0000_00B4 | 保留 |
| - | 30 | 可设置 | 0x0000_00B8 | 保留 |
| - | 31 | 可设置 | 0x0000_00BC | 保留 |

# 8 外部中断/事件控制器（EINT）

## 8.1 简介

中断/事件分为内部中断/事件、外部中断/事件。在该手册中，外中断指从 I/O 引脚输入信号引起的中断/事件，在中断向量表中指 EINTx；其它中断指内部中断/事件。

事件可分为硬件事件、软件事件。硬件事件是通过外部/内核硬件信号产生事件，软件事件是通过指令产生事件。

中断需经过中断处理函数实现需要处理的工作；事件不需要经过中断处理函数，硬件触发可触发预先设置的工作。例如，外部事件为产生 GPIO 输出脉冲，内部事件为一个 TMR 的更新事件触发另一个 TMR 工作。

## 8.2 功能描述

### 8.2.1 “外部中断与事件”类别及差异点

“外部中断与事件”按照触发源、配置及执行过程，可分为：外部硬件中断、外部硬件事件、外部软件事件、外部软件中断，差异点见下表：

表格 28 “外部中断与事件”分类及差异点

| 名称 | 触发源 | 配置及执行过程 |
|---|---|---|
| 外部硬件中断 | 外部信号 | （1）设置触发方式，允许中断请求，使能对应外设中断线（在 NVIC 中使能）；<br>（2）当外部中断线上产生了和配置一致的边沿时，产生中断请求，对应的挂起位被置 1，在中断挂起寄存器对应位写 1，将清除该中断请求。 |
| 外部硬件事件 | 外部信号 | （1）设置触发方式，使能事件线；<br>（2）当外部事件线上产生了和配置一致的边沿时，产生 1 个事件请求脉冲，对应的挂起位不被置 1。 |
| 外部软件事件 | 软件中断寄存器/发送事件(SEV)指令 | （1）使能事件线；<br>（2）对应事件线的软件中断事件寄存器写 1，产生 1 个事件请求脉冲，对应的挂起位不被置 1。 |
| 外部软件中断 | 软件中断寄存器 | （1）允许中断请求，使能对应外设中断线（在 NVIC 中使能）；<br>（2）对应中断线的软件中断事件寄存器写 1，产生中断请求，对应的挂起位被置 1，在中断挂起寄存器对应位写 1，将清除该中断请求。 |

### 8.2.2 内核唤醒

使用 WFI、WFE 指令都可以使内核停止工作。使用 WFI 指令，任一中断可唤醒内核；使用 WFE 指令，需通过事件唤醒。

使用中断唤醒，会触发中断处理函数，正常的中断配置即可唤醒内核。使用事件

唤醒内核不触发中断处理函数，会减少唤醒时间，配置方法是：

（1） 触发内部中断（内部硬件事件）但不触发中断处理函数唤醒

- 使能外设中的一个内部中断，但不使能 NVIC 中对应的中断，避免触发中断处理函数
- 在内核的系统控制器中使能 SEVONPEND 位，执行 WFE 指令使内核进入睡眠
- 产生中断唤醒内核，当内核从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）

（2） 通过 EINT 线事件（外部硬件事件）唤醒

- 配置 EINT 线为事件模式
- 执行 WFE 指令使内核进入睡眠
- 产生中断唤醒内核，CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位

### 8.2.3 外部中断与事件线映射

表格 29 外部中断与事件线映射

| 外部中断与事件通道名称 | 外部中断与事件线编号 |
|---|---|
| PA0/PB0/PC0/PF0 | EINT 0 |
| PA1/PB1/PC1/PF1 | EINT 1 |
| PA2/PB2/PC2/PD2 | EINT 2 |
| PA3/PB3/PC3 | EINT 3 |
| PA4/PB4/PC4/PF4 | EINT 4 |
| … | … |
| PA7/PB7/PC7/PF7 | EINT 7 |
| PA8/PB8/PC8 | EINT 8 |
| … | … |
| PA15/PB15/PC15 | EINT 15 |
| 保留 | EINT 16 |
| RTC 闹钟事件 | EINT 17 |
| 保留 | EINT 18 |
| RTC 时钟侵入或时间戳事件 | EINT 19 |
| 保留 | EINT20 |
| 保留 | EINT 21~31 |

注：空缺 GPIO 通道，因为无相应的 GPIO 引脚，其相应的寄存器位保留。

## 8.3 寄存器地址映射

表格 30 EINT 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| EINT_IMASK | 中断屏蔽寄存器 | 0x00 |
| EINT_EMASK | 事件屏蔽寄存器 | 0x04 |
| EINT_RTEN | 使能上升沿触发寄存器 | 0x08 |
| EINT_FTEN | 使能下降沿触发寄存器 | 0x0C |
| EINT_SWINTE | 软件中断事件寄存器 | 0x10 |
| EINT_IPEND | 中断挂起寄存器 | 0x14 |

## 8.4 寄存器功能描述

### 8.4.1 中断屏蔽寄存器（EINT_IMASK）

偏移地址：0x00

复位值：0x0F94 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | IMASKx | R/W | 屏蔽线 x 上的中断请求（Interrupt Request Mask on Line x）<br>0：屏蔽<br>1：开放 |

### 8.4.2 事件屏蔽寄存器（EINT_EMASK）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | EMASKx | R/W | 屏蔽线 x 上的事件请求（Event Request Mask on Line x）<br>0：屏蔽<br>1：开放 |

### 8.4.3 使能上升沿触发选择寄存器（EINT_RTEN）

偏移地址：0x08

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | RTENx | R/W | 使能线 x 上的上升沿触发事件和中断（Rising Trigger Event and Interrupt Enable of Line x）<br>0：禁止<br>1：使能 |
| 16 | 保留 | | |
| 17 | RTEN17 | R/W | 使能线 17 上的上升沿触发事件和中断（Rising Trigger Event and Interrupt Enable of Line 17）<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 18 | 保留 | | |
| 19 | RTENx | R/W | 使能线 x 上的上升沿触发事件和中断（Rising Trigger Event and Interrupt Enable of Line x）<br>0：禁止<br>1：使能 |
| 31:20 | 保留 | | |

注意：由于外部唤醒线是边沿触发，所以这些线上不能有毛刺信号；在写 EINT_RTEN 寄存器时，若上升沿信号在外部中断线上则不能被识别，置位挂起位也不会置位；在同一中断线上，上升沿触发和下降沿触发可以同时被设置。

### 8.4.4 使能下降沿触发选择寄存器（EINT_FTEN）

偏移地址：0x0C

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | FTENx | R/W | 使能线 x 上的下降沿触发事件（Falling Trigger Event Enable of Line x）<br>0：禁止（中断和事件）<br>1：使能（中断和事件） |
| 16 | 保留 | | |
| 17 | FTEN17 | R/W | 使能线 17 上的下降沿触发事件（Falling Trigger Event Enable of Line 17）<br>0：禁止（中断和事件）<br>1：使能（中断和事件） |
| 18 | 保留 | | |
| 19 | FTENx | R/W | 使能线 x 上的下降沿触发事件（Falling Trigger Event Enable of Line x）<br>0：禁止（中断和事件）<br>1：使能（中断和事件） |
| 31:20 | 保留 | | |

注意：由于外部唤醒线是边沿触发，所以这些线上不能有毛刺信号；在写 EINT_FTEN 寄存器时，若上升沿信号在外部中断线上则不能被识别，置位挂起位也不会置位；在同一中断线上，上升沿触发和下降沿触发可以同时被设置。

### 8.4.5 软件中断事件寄存器（EINT_SWINTE）

偏移地址：0x10

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | SWINTEx | R/W | 线 x 上的软件中断（Software Interrupt Event on Line x）<br>软件置 1，对 EINT_IPEND 的对应位写入 1 清 0。<br>当该位为 0 时，写 1 将置位 EINT_IPEND 的挂起位。若置位 EINT_IMASK（EINT_EMASK）开放中断（事件）请求，则此时将产生一个中断（事件）。<br>0：无作用<br>1：软件产生中断（事件） |
| 16 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 17 | SWINTE17 | R/W | 线 17 上的软件中断（Software Interrupt Event on Line 17）<br>软件置 1，对 EINT_IPEND 的对应位写入 1 清 0。<br>当该位为 0 时，写 1 将置位 EINT_IPEND 的挂起位。若置位 EINT_IMASK（EINT_EMASK）开放中断（事件）请求，则此时将产生一个中断（事件）。<br>0：无作用<br>1：软件产生中断（事件） |
| 18 | 保留 | | |
| 19 | SWINTEx | R/W | 线 x 上的软件中断（Software Interrupt Event on Line x）<br>软件置 1，对 EINT_IPEND 的对应位写入 1 清 0。<br>当该位为 0 时，写 1 将置位 EINT_IPEND 的挂起位。若置位 EINT_IMASK（EINT_EMASK）开放中断（事件）请求，则此时将产生一个中断（事件）。<br>0：无作用<br>1：软件产生中断（事件） |
| 31:20 | 保留 | | |

### 8.4.6 中断挂起寄存器（EINT_IPEND）

偏移地址：0x14

复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | IPENDx | RC_W1 | 发生线 x 上的中断挂起标志（Interrupt Pending Occur of Line x Flag）<br>当在外部中断线上发生了 EINT_RTEN/EINT_FTEN 对应的边沿触发请求时，由硬件置 1；可通过向该位写入 1 清 0。 |
| 16 | 保留 | | |
| 17 | IPEND17 | RC_W1 | 发生线 17 上的中断挂起标志（Interrupt Pending Occur of Line17 Flag）<br>当在外部中断线上发生了 EINT_RTEN/EINT_FTEN 对应的边沿触发请求时，由硬件置 1；可通过向该位写入 1 清 0。 |
| 18 | 保留 | | |
| 19 | IPENDx | RC_W1 | 发生线 x 上的中断挂起标志（Interrupt Pending Occur of Line x Flag）<br>当在外部中断线上发生了 EINT_RTEN/EINT_FTEN 对应的边沿触发请求时，由硬件置 1；可通过向该位写入 1 清 0。 |
| 31:20 | 保留 | | |

# 9 直接存储器存取（DMA）

## 9.1 术语全称、缩写描述

表格 31 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 全局 | Global | G |
| 传输 | Transfer | T |
| 半 | Half | H |
| 完成 | Complete | C |
| 错误 | Error | E |
| 通道 | Channel | CH |
| 循环 | Circular | CIR |
| 外设 | Peripheral | PER |
| 增量 | Increment | I |
| 存储器 | Memory | M |
| 优先级 | Priority | PRI |
| 数量 | Number | N |
| 地址 | Address | ADDR |

## 9.2 简介

DMA（Direct Memory Access：直接存储器存取）在无须 CPU 干预的情况下，可实现外设与存储器或存储器与存储器之间数据的高速传输，从而节省 CPU 资源来做其他操作。

DMA 有一个控制器和 5 个通道。每个通道可管理多个 DMA 请求，但每个通道同一时刻只能响应 1 个 DMA 请求。每个通道可设置优先级，仲裁器可根据通道的优先级协调各个 DMA 通道对应的 DMA 请求的优先级。

## 9.3 主要特征

（1） DMA 有 5 个通道

（2） 数据传输有三种：外设到存储器、存储器到外设、存储器到存储器

（3） 每个通道都有连接专门的硬件 DMA 请求

（4） 多个请求同时发生时支持软件优先级和硬件优先级

（5） 每个通道都有 3 个事件标志和独立中断

（6） 支持循环传输模式

（7） 数据传输数目可编程，最大到 65535

## 9.4 功能描述

### 9.4.1 DMA 请求

若外设或存储器需要使用 DMA 传输数据，就必须先发送 DMA 请求，等待 DMA 同意之后才开始数据传输。

DMA 一共有 5 个通道，每个通道都连接着不同的外设，每个通道都有 3 个事件标志（DMA 半传输、DMA 传输完成和 DMA 传输出错），3 个事件标志的逻辑或成为一个单独的中断请求，且都支持软件触发。

多个外设请求同一个通道时，需要配置对应寄存器，开启或关闭每个外设的请求，以保证一个通道仅能开启一个外设请求。

表格 32 DMA 请求映射表

| 外设 | 通道 1 | 通道 2 | 通道 3 | 通道 4 | 通道 5 |
|---|---|---|---|---|---|
| TMR1 | - | TMR1_CH1 | TMR1_CH2 | TMR1_CH4<br>TMR1_TRIG<br>TMR1_COM | TMR1_CH3<br>TMR1_UP |
| TMR3 | - | TMR3_CH3 | TMR3_CH4<br>TMR3_UP | TMR3_CH1<br>TMR3_TRIG | - |
| TMR6 | - | - | TMR6_UP | - | - |
| TMR15 | - | - | - | - | TMR15_CH1<br>TMR15_UP<br>TMR15_TRIG<br>TMR15_COM |
| TMR16 | - | - | TMR16_CH1(1)<br>TMR16_UP(1) | TMR16_CH1(2)<br>TMR16_UP(2) | - |
| TMR17 | TMR17_CH1(1)<br>TMR17_UP(1) | TMR17_CH1(2)<br>TMR17_UP(2) | - | - | - |
| ADC | ADC(1) | ADC(2) | - | - | - |
| SPI | - | SPI1_RX | SPI1_TX | SPI2_RX | SPI2_TX |
| USART | - | USART1_TX(1) | USART1_RX(1) | USART1_TX(2)<br>USART2_TX | USART1_RX(2)<br>USART2_RX |
| I2C | - | I2C1_TX | I2C1_RX | I2C2_TX | I2C2_RX |

注意：(1)只有在 SYSCFG_CFGR1 寄存器相应的重映象位清 0 时该 DMA 请求映象到这个 DMA 通道。

(2)只有在 SYSCFG_CFGR1 寄存器相应的重映象位置 1 时该 DMA 请求映象到这个 DMA 通道。

### 9.4.2 DMA 通道

#### 9.4.2.1 传输数据可编程

DMA 传输的数据支持可编程，最大可达到 65535，通过配置 DMA_CHCFGx 寄存器的 PERSIZE 位和 MSIZE 位可设置外设和存储器的传输数据位宽。

#### 9.4.2.2 传输宽度、对齐方式可编程

可编程数据传输宽度的 DMA 传输操作：

图 8 源为 8bits 目标为 8bits 的传输宽度

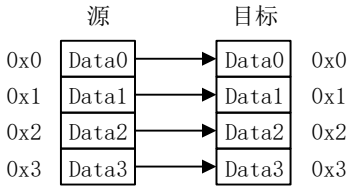



图 9 源为 8bits 目标为 16bits 的传输宽度

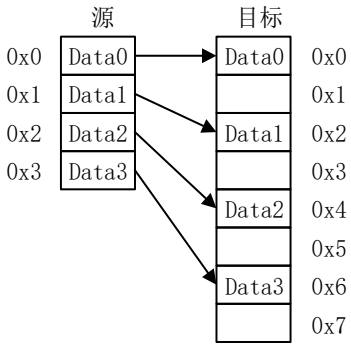



图 10 源为 8bits 目标为 32bits 的传输宽度

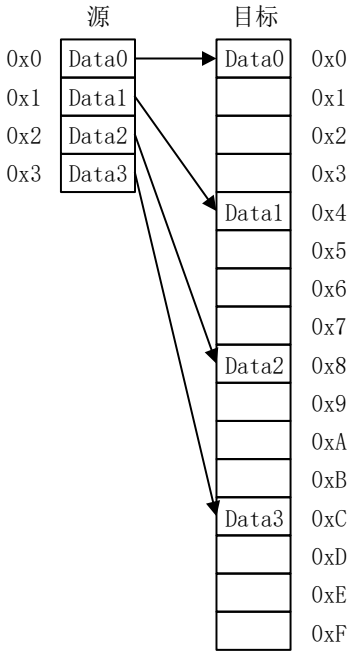


图 11 源为 32bits 目标为 8bits 的传输宽度

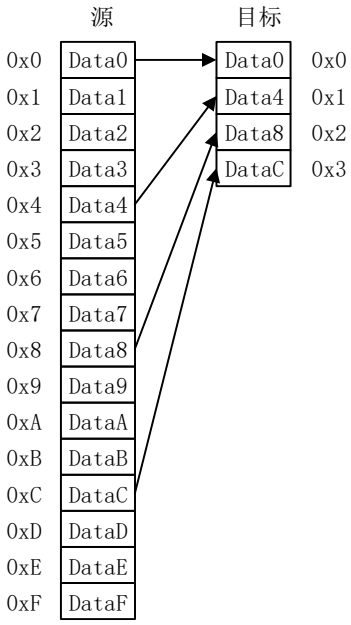



图 12 源为 16bits 目标为 16bits 的传输宽度

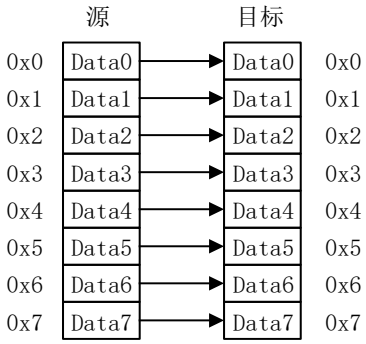



图 13 源为 16bits 目标为 32bits 的传输宽度

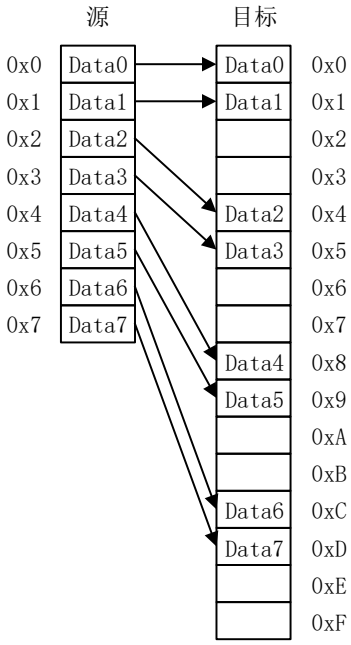
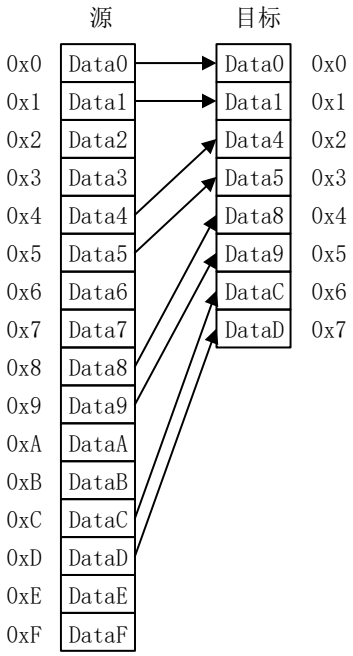


图 14 源为 32bits 目标为 16bits 的传输宽度




#### 9.4.2.3 地址设置

传输地址支持两种模式：固定模式、指针增量模式。

**传输地址指针增量模式**

外设和存储器的指针自动增量通过配置寄存器 DMA_CHCFGx 的 PERIMODE 位和 MIMODE 位完成。下一个要传输的地址就是将前一个地址加上增量，增量值取决于所选的数据宽度。

#### 9.4.2.4 传输模式

有两种通道配置模式：非循环模式、循环模式。

**非循环模式**

数据传输结束后不再进行 DMA 操作，将重新开始新的 DMA 传输，在 DMA 通道不工作时寄存器 DMA_CHNDATAx 重新写入传输数值。

**循环模式**

数据传输结束后，寄存器 DMA_CHNDATAx 的内容被自动重新加载为之前配置的数值，外设地址寄存器 DMA_CHPADDRx 和存储器地址寄存器 DMA_CHMADDRx 也被重新加载为初始基地址。

配置方法如下：

- 配置寄存器 DMA_CHCFGx 的 CIRMODE 位置 1 开启循环模式；
- 此模式用来处理连续的外设请求，当数据传输的数目变成 0，将会自动恢复成初始值，持续进行 DMA 操作，直到 CIRMODE 位清 0 退出循环模式。

#### 9.4.2.5 DMA 请求优先级设置

**仲裁器**

发生多个 DMA 通道请求时，需要用到仲裁器来管理先后响应的顺序。管理分两个阶段：第一阶段软件阶段分为最高、高、中等和低四个优先级；第二阶段硬件阶段，在软件优先级相同的情况下，通道编号越低优先级越高。

#### 9.4.2.6 传输方向

支持三种方向：存储器到存储器、存储器到外设、外设到存储器。

如果对存储器是执行的是写操作（目标地址），存储器包括内部 SRAM 支持的外部 RAM（例如外部 SRAM）；如果对存储器执行的是读操作（源地址），地址包括内部 FLASH、内部 SRAM。

“存储器到存储器”的配置举例如下：

- 配置寄存器 DMA_CHCFGx 的 M2MMODE 位启动存储器到存储器模式；
- 此模式下的 DMA 操作是在没有外设请求下进行的，配置寄存器 DMA_CHCFGx 的 CHEN 位置 1 通道开启后开始传输数据，直到传输数量寄存器 DMA_CHNDATAx 变为 0，传输结束。

### 9.4.3 中断

每一个 DMA 通道都有三种类型的中断事件，分别是：传输过半（HT）、传输完成（TC）、传输错误（TE）。

（1） 传输过半的中断事件标志位为 HTFLG，中断使能控制位为 HTINTEN
（2） 传输完成的中断事件标志位为 TCFLG，中断使能控制位为 TCINTEN
（3） 传输错误的中断事件标志位为 TERRFLG，中断使能控制位为 TERRINTEN

## 9.5 寄存器地址映射

表格 33 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| DMA_INTSTS | DMA 中断状态寄存器 | 0x00 |
| DMA_INTFCLR | DMA 中断标志复位寄存器 | 0x04 |
| DMA_CHCFGx | DMA 通道 x 配置寄存器 | 0x08+20 x |
| DMA_CHNDATAx | DMA 通道 x 传输数量寄存器 | 0x0C+20 x |
| DMA_CHPADDRx | DMA 通道 x 外设地址寄存器 | 0x10+20 x |
| DMA_CHMADDRx | DMA 通道 x 存储器地址寄存器 | 0x14+20 x |

## 9.6 寄存器功能描述

### 9.6.1 DMA 中断状态寄存器（DMA_INTSTS）

偏移地址：0x00

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 16,<br>12,8,4,0 | GINTFLGx | R | 通道 x 发生全局中断标志（x=1…5）（Channel x Global Interrupt Occur Flag）<br>表示在通道上是否产生 TC、HT 或 TE 中断；这些位由硬件置 1，在 DMA_INTFCLR 的对应位上写 1 清 0。<br>0：没有产生<br>1：产生 |
| 17,<br>13,9,5,1 | TCFLGx | R | 通道 x 的全部传输完成标志（x=1..5）（Channel x All Transfer Complete Flag）<br>表示在通道上是否产生传输完成中断(TC)；这些位由硬件置 1，在 DMA_INTFCLR 的对应位上写 1 清 0。<br>0：未完成<br>1：已完成 |
| 18,14,10,6,2 | HTFLGx | R | 通道 x 的一半传输完成标志（x=1..5）（Channel x Half Transfer Complete Flag）<br>表示在通道上是否产生半传输中断(HT)；这些位由硬件置 1，在 DMA_INTFCLR 的对应位上写 1 清 0。<br>0：没有产生<br>1：产生 |
| 19,<br>15,11,7,3 | TERRFLGx | R | 通道 x 发生传输错误标志（x=1..5）（Channel x Transfer Error Occur Flag）<br>表示在通道上是否产生传输错误中断(TE)；这些位由硬件置 1，在 DMA_INTFCLR 的对应位上写 1 清 0。<br>0：没有产生<br>1：产生 |
| 31:20 | 保留 | | |

### 9.6.2 DMA 中断标志清除寄存器（DMA_INTFCLR）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 16,12,<br>8,4,0 | GINTCLRx | R/W | 清除通道 x 发生全局中断标志（x=1..5）（Channel x Global Interrupt Occur Flag Clear）<br>清除中断状态寄存器中对应的 GINTFLG、TCFLG、HTFLG 和 TERRFLG 标志。<br>0：无效<br>1：清除 GINTFLG 标志 |
| 17,13,<br>9,5,1 | TCCLRx | R/W | 清除通道 x 全部传输完成标志（x=1…5）（Channel x Transfer Complete Clear）<br>清除中断状态寄存器中对应的 TCFLG 标志。<br>0：无效<br>1：清除 TCFLG 标志 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 18,14,<br>10,6,2 | HTCLRx | R/W | 清除通道 x 一半传输完成标志（x=1..5）（Channel x Half Transfer Complete Clear）<br>清除中断状态寄存器中对应的 HTFLG 标志。<br>0：无效<br>1：清除 HTFLG 标志 |
| 19,15,<br>11,7,3 | TERRCLRx | R/W | 清除通道 x 发生传输错误标志（x=1..5）（Channel x Transfer Error Occur Clear）<br>清除中断状态寄存器中对应的 TERRFLG 标志。<br>0：无效<br>1：清除 TERRFLG 标志 |
| 31:20 | 保留 | | |

### 9.6.3 DMA 通道 x 配置寄存器（DMA_CHCFGx）（x=1…5）

偏移地址：0x08+20 x（通道编号–1）

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CHEN | R/W | 使能 DMA 通道（DMA Channel Enable）<br>0：禁止<br>1：使能 |
| 1 | TCINTEN | R/W | 使能全部传输完成中断（All Transfer Complete Interrupt Enable）<br>0：禁止<br>1：使能 |
| 2 | HTINTEN | R/W | 使能一般半传输完成中断（Half Transfer Complete Interrupt Enable）<br>0：禁止<br>1：使能 |
| 3 | TERRINTEN | R/W | 使能传输错误发生中断（Transfer Error Occur Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4 | DIRCFG | R/W | 配置数据传输方向（Data Transfer Direction Configure）<br>0：从外设读至存储器<br>1：从存储器读至外设 |
| 5 | CIRMODE | R/W | 使能循环模式（Circular Mode Enable）<br>0：禁止<br>1：使能 |
| 6 | PERIMODE | R/W | 使能外设地址增量模式（Peripheral Address Increment Mode Enable）<br>0：禁止<br>1：使能 |
| 7 | MIMODE | R/W | 使能存储器地址增量模式（Memory Address Increment Mode Enable）<br>0：禁止<br>1：使能 |
| 9:8 | PERSIZE | R/W | 配置外设数据宽度（Peripheral Data Size Configure）<br>00：8 位 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 01：16 位<br>10：32 位<br>11：保留 |
| 11:10 | MSIZE | R/W | 配置存储器数据宽度（Memory Data Size Configure）<br>00：8 位<br>01：16 位<br>10：32 位<br>11：保留 |
| 13:12 | CHPL | R/W | 配置通道优先级（Channel Priority Level Configure）<br>00：低<br>01：中<br>10：高<br>11：最高 |
| 14 | M2MMODE | R/W | 使能存储器到存储器模式（Memory to Memory Mode Enable）<br>0：禁止<br>1：使能 |
| 31:15 | 保留 | | |

### 9.6.4 DMA 通道 x 传输数量寄存器（DMA_CHNDATAx）（x=1…5）

偏移地址：0x0C+20 x（通道编号–1）

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | NDATAT | R/W | 设置数据传输数量（Number of Data to Transfer Setup）<br>该寄存器指示要被传输的字节数目，数据传输数量范围为 0 至 65535。<br>此寄存器只能在通道不工作时写入；一旦通道被启用该寄存器变为只读，指示剩余的要被传输的字节数目。<br>寄存器在每次 DMA 传输后递减；数据传输完成，寄存器变为 0 或者当该通道配置为自动重新加载模式时被自动重新加载为之前配置的数值；若该寄存器为 0，无论通道是否开启，都不会发生任何数据传输。 |
| 31:16 | 保留 | | |

### 9.6.5 DMA 通道 x 外设地址寄存器（DMA_CHPADDRx）（x=1…5）

偏移地址：0x10+20 x（通道编号–1）

复位值：0x0000 0000

当开启通道（DMA_CHCFGx 的 CHEN=1）时不能写该寄存器。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | PERADDR | R/W | 设置外设基地址（Peripheral Basic Address Setup）<br>当 PERSIZE=’01’（16 位），不使用 PERADDR[0]位，进行传输时会自动与 16 位地址对齐。<br>当 PERSIZE=’10’（32 位），不使用 PERADDR[1:0]位，进行传输时会自动与 32 位地址对齐。 |

### 9.6.6 DMA 通道 x 存储器地址寄存器（DMA_CHMADDRx）（x=1…5）

偏移地址：0x14+20 x（通道编号–1）

复位值：0x0000 0000

当开启通道（DMA_CHCFGx 的 CHEN=1）时不能写该寄存器。

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 31:0 | MEMADDR | R/W | 设置存储器基地址（Memory Basic Address Setup）<br>当 MEMSIZE=’01’（16 位），不使用 MEMADDR[0]位，进行传输时会自动与 16 位地址对齐。<br>当 MEMSIZE=’10’（32 位），不使用 MEMADDR[1:0]位，进行传输时会自动与 32 位地址对齐。 |

# 10 调试 MCU（DBGMCU）

## 10.1 术语全称、缩写描述

表格 34 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 帧时钟 | Frame Clock | FCLK |
| 数据触发 | Data Watchpoint Trigger | DWT |
| 断点单元 | Break Point Unit | BPU |

## 10.2 简介

APM32E030 微控制器系列使用 Arm® Cortex®-M0+内核，Arm® Cortex®-M0+内核内含硬件调试模块，支持复杂的调试操作。在调试时该模块可以使运行的内核在断点时停下来，达到查询内核内部状态和系统外部状态的效果，并且在查询完成后恢复内核与外设的运行，继续执行程序。

支持的调试接口：串行接口

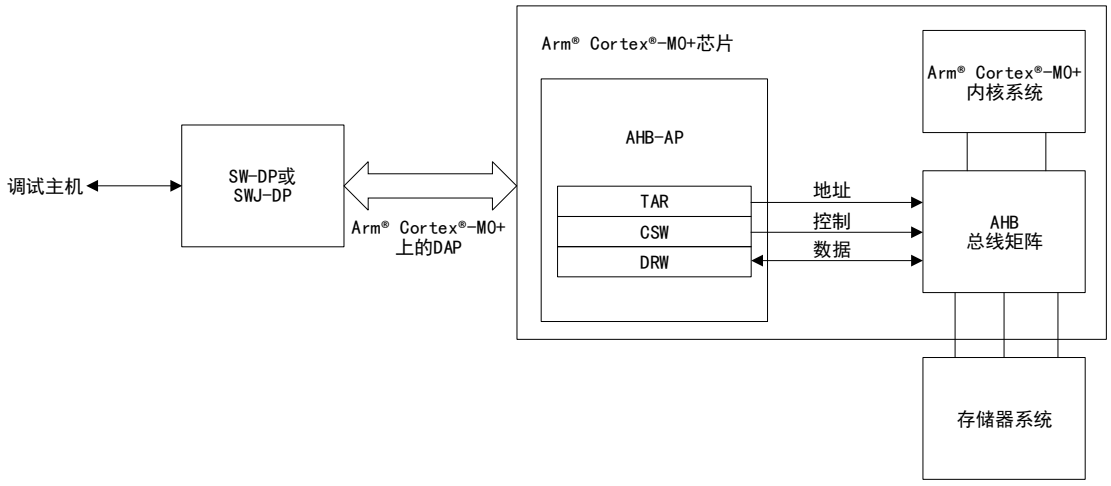
注意：Arm® Cortex®-M0+内核内含的硬件调试模块是 Arm CoreSight 开发工具集的子集。更多 Arm® Cortex®-M0+内核的调试功能信息，请参考 Cortex®-M0+（r1p1 版）技术参考手册（TRM）和 CoreSight 开发工具集（r1p0 版） TRM。

## 10.3 主要特征

（1） 灵活的调试引脚分配

（2） MCU 调试盒(支持低电源模式，控制外设时钟等)

图 15 APM32E0xx 级别和 Arm® Cortex®-M0+级别的调试框图



## 10.4 功能描述

（1） 实现芯片的在线编程和调试

（2） 利用 KEIL/IAR 等软件实现在线调试及下载编程

（3） 灵活实现离线编程器的制作

## 10.5 寄存器地址映射

表格 35 DBGMCU 寄存器地址映射

| 寄存器名 | 描述 | 地址 |
|---|---|---|
| DBGMCU_IDCODE | 调试 MCU 设备 ID 寄存器 | 0x4001 5800 |
| DBGMCU_CFG | 调试 MCU 配置寄存器 | 0x4001 5804 |
| DBGMCU_APB1F | 调试 MCU APB1 冻结寄存器 | 0x4001 5808 |
| DBGMCU_APB2F | 调试 MCU APB2 冻结寄存器 | 0x4001 580C |

## 10.6 寄存器功能描述

### 10.6.1 调试 MCU 设备 ID 寄存器（DBGMCU_IDCODE）

地址：0x4001 5800
只支持 32 位访问
复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 11:0 | EQR | R | 设备识别（Equipment Recognition）<br>对于 APM32E030 微控制器系列：0x440；<br>调试器/编程工具通过 EQR [11:0]来识别芯片。 |
| 15:12 | 保留 | | |
| 31:16 | WVR | R | 晶圆版本识别（Wafer Version Recognition）<br>对于 APM32E030 微控制器系列：<br>产品版本 A：0x0010 |

### 10.6.2 调试 MCU 配置寄存器（DBGMCU_CFG）

此寄存器可以在调试状态下配置 MCU，支持低功耗模式。它是由 POR 异步重置（而不是系统重置），它可以由调试器在系统重置下编写。如果调试主机不支持这些特性，用户软件可以写入这些寄存器。
只支持 32 位访问

地址：0x4001 5804
复位值：0x0000 0000（不受系统复位影响）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | 保留 | | |
| 1 | STOP_CLK_STS | R/W | 配置调试停机模式（Debug Stop Mode Configure）<br>0：FCLK 和 HCLK 都关闭的停止模式下，所有的时钟都被时钟控制器禁止。退出停止模式时，时钟配置和复位之后的配置一样（由 8MHz 的内部 RC 振荡器 HSICLK 提供时钟），所以软件需要重新配置时钟控制启动 PLL、晶振等。<br>1：FCLK 和 HCLK 都开启的停止模式下， FCLK 和 HCLK 由内部 RC 振荡器提供。内部 RC 振荡器在停止模式下保持或活跃，退出停止模式时，软件必须重新配置时钟控制启用 PLL、晶振等。 |
| 2 | STANDBY_CLK_STS | R/W | 配置调试待机模式（Debug Standby Mode）<br>0：FCLK 和 HCLK 都关闭时，数字部分未通电，从软件层面看，处理一些表示了微控制刚从待机状态退出时，其他退出调试模式和复位是相同的。<br>1：FCLK 和 HCLK 都开启时，数字部分通电，内部 RC 振荡器提供 FCLK 和 HCLK 时钟，此外，微控制器通过系统复位来退出待机模式和复位是一样的。 |
| 31:3 | 保留 | | |

### 10.6.3 调试 MCUAPB1 冻结寄存器（DBGMCU_APB1F）

此寄存器用于在调试状态下配置 MCU。

涉及一些 APB 外设：

- 冻结定时器计数器
- 冻结 I2C SMBus 超时
- 冻结支持系统窗口监管机构和独立的看门狗计数器

此寄存器由 POR 异步重置（而不是系统重置），它可以由调试器在系统重置下编写。

地址：0x4001 5808

只支持 32 位访问

复位值：0x0000 0000（不受系统复位影响）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | 保留 | | |
| 1 | TMR3_STS | R/W | 内核停止时，配置 TMR3 的工作状态（Configure Timer3 Work Status When Core is in Halted）<br>内核停止时，TMR3 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 3:2 | 保留 | | |
| 4 | TMR6_STS | R/W | 内核停止时，配置 TMR6 的工作状态（Configure Timer6 Work Status When Core is in Halted）<br>内核停止时，TMR6 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:5 | 保留 | | |
| 8 | TMR14_STS | R/W | 内核停止时，配置 TMR14 的工作状态（Configure Timer14 Work Status When Core is in Halted）<br>内核停止时，TMR14 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 9 | 保留 | | |
| 10 | RTC_STS | R/W | 内核停止时，配置 RTC 的工作状态（Configure RTC Work Status When Core is in Halted）<br>内核停止时，RTC 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 11 | WWDT_STS | R/W | 内核停止时，配置窗口看门狗的工作状态（Configure Window Watchdog Work Status When Core is in Halted）<br>内核停止时，WWDT 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 12 | IWDT_STS | R/W | 内核停止时，配置独立看门狗的工作状态（Configure Independent Watchdog Work Status When Core is in Halted）<br>内核停止时，IWDT 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 20:13 | 保留 | | |
| 21 | I2C1_SMBUS_TIMEOUT_STS | R/W | 内核停止时，配置 I2C1_SMBUS_TIMEOUT 的工作状态（Configure I2C1_SMBUS_TIMEOUT Work Status When Core is in Halted）<br>0：正常工作<br>1：冻结 SMBUS 的超时模式 |
| 31:22 | 保留 | | |

### 10.6.4 调试 MCUAPB2 冻结寄存器（DBGMCU_APB2F）

此寄存器用于在调试状态下配置 MCU。

涉及一些 APB 外设：

- 冻结定时器计数器

此寄存器由 POR 异步重置（而不是系统重置），它可以由调试器在系统重置下编写。

只支持 32 位访问

地址：0x4001 580C

复位值：0x0000 0000（不受系统复位影响）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 10:0 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 11 | TMR1_STS | R/W | 内核停止时，配置 TMR1 的工作状态（Configure Timer1 Work Status When Core is in Halted）<br>内核停止时，TMR1 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 15:12 | 保留 | | |
| 16 | TMR15_STS | R/W | 内核停止时，配置 TMR15 的工作状态（Configure Timer15 Work Status When Core is in Halted）<br>内核停止时，TMR15 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 17 | TMR16_STS | R/W | 内核停止时，配置 TMR16 的工作状态（Configure Timer16 Work Status When Core is in Halted）<br>内核停止时，TMR16 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 18 | TMR17_STS | R/W | 内核停止时，配置 TMR17 的工作状态（Configure Timer17 Work Status When Core is in Halted）<br>内核停止时，TMR17 计数器是否继续工作：<br>0：继续工作<br>1：停止工作 |
| 31:19 | 保留 | | |

# 11 通用输入/输出引脚（GPIO）

## 11.1 术语全称、缩写描述

表格 36 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| P 通道金属氧化物半导体 | P-channel Metal Oxide Semiconductor | P-MOS |
| N 通道金属氧化物半导体 | N-channel Metal Oxide Semiconductor | N-MOS |

## 11.2 主要特征

GPIO 端口可以通过 32 位的配置寄存器（GPIOx_MODE/GPIOx_OMODE/GPIOx_OSSEL/GPIOx_PUPD）和两个 32 位的数据寄存器 GPIOx_IDATA/GPIOx_ODATA）配置以下功能：

（1） 输入模式
- 浮空输入
- 上拉输入
- 下拉输入

（2） 输出模式
- 推挽输出
- 开漏输出
- 可配置最大输出速率

（3） 复用模式
- 推挽复用功能
- 开漏复用功能

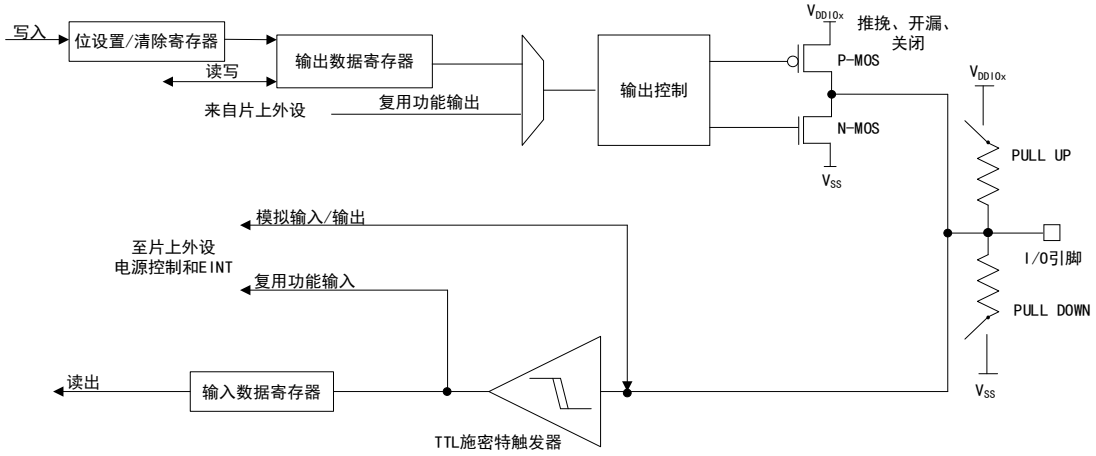
（4） 模拟模式

（5） GPIO 都可以作为外部中断/唤醒线

（6） 支持锁定 I/O 配置功能

## 11.3 结构框图

图 16 GPIO 结构框图




## 11.4 功能描述

GPIO 的每个引脚都可以通过软件配置上拉、下拉、浮空和模拟输入，或者推挽/开漏输出输入模式以及复用功能。所有的 GPIO 接口都具有外部中断能力。

### 11.4.1 复位期间和刚复位后的 IO 状态

GPIO 在复位期间和刚复位后，复用功能未开启，I/O 端口将会被配置为浮空输入模式。复位后调试引脚被置于输入上拉或下拉模式，具体配置如下：

- PA13：SWDIO 置于上拉模式
- PA14：SWCLK 置于下拉模式

### 11.4.2 输入模式

在输入模式中可以设置为上拉、下拉、浮空和模拟输入。

当 GPIO 配置为输入模式时，所有的 GPIO 引脚内部都有一个内部弱上拉和弱下拉电阻，它们可以被激活也可以被断开。

#### 上拉、下拉、浮空模式

在（上拉、下拉、浮空）输入模式中

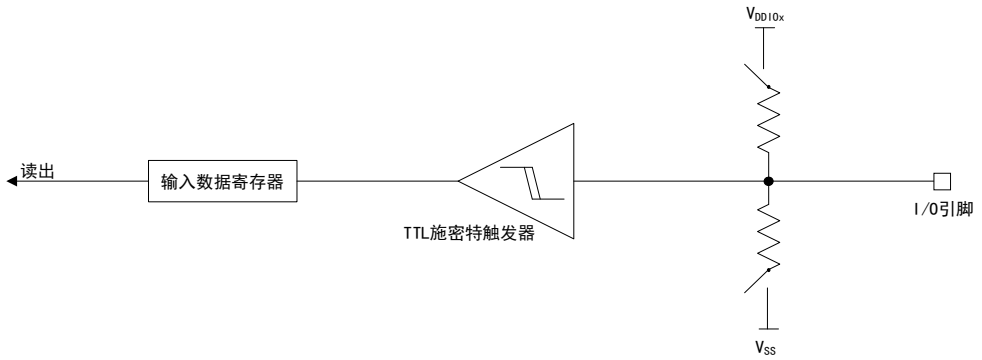
- 施密特触发器打开
- 禁止输出缓冲器
- 通过配置上拉/下拉寄存器 GPIOx_PUPD 选择是否使用上拉或下拉电阻
- 输入数据寄存器 GPIOx_IDATA 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据
- 通过输入数据寄存器 GPIOx_IDATA 读取 I/O 状态

浮空输入模式的初始电平状态不确定，且易受外界干扰；连接设备时，由外部的

输入电平决定（阻抗非常高的除外）。

上拉/下拉输入模式的初始电平状态，如果是上拉则为高电平，如果为下拉则为低电平；连接设备时，由外部的输入电平及负载阻抗决定。

图 17 输入模式 I/O 结构




### 11.4.3 输出模式

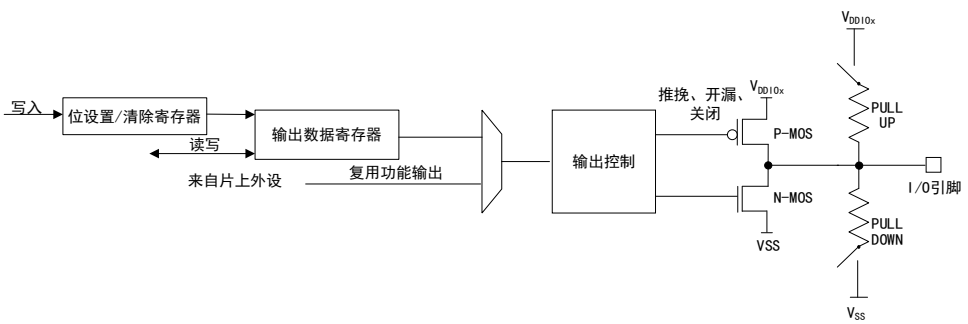
在输出模式中可以设置为推挽输出和开漏输出。

当 GPIO 配置为输出引脚时，可以配置端口的输出速度和选择输出驱动模式（推挽/开漏）。

在输出模式中

- 施密特触发器打开
- 激活输出缓冲器
- 通过配置上拉/下拉寄存器 GPIOx_PUPD 选择是否使用上拉或下拉电阻
- 推挽模式：
  - 双 MOS 管以轮流方式工作，输出数据寄存器可控制 I/O 输出高低电平
  - 通过输出数据寄存器 GPIOx_ODATA 读取最后写入的值
- 开漏模式：
  - 只有 N-MOS 管工作，输出数据寄存器可控制 I/O 输出高阻态或低电平
  - 输入数据寄存器 GPIOx_IDATA 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据
  - 通过输入数据寄存器 GPIOx_IDATA 读取 I/O 的实际状态

图 18 输出模式 I/O 结构



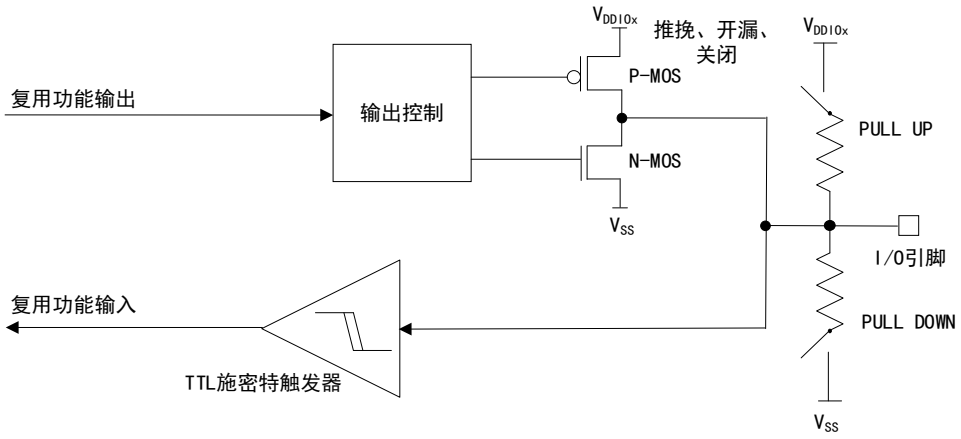
### 11.4.4 复用模式

在复用模式中可以设置为推挽复用和开漏复用

在推挽/开漏复用模式中

- 打开输出缓冲器
- 由外设驱动输出缓冲器
- 激活施密特触发输入
- 通过配置上拉/下拉寄存器 GPIOx_PUPD 选择是否使用上拉或下拉电阻
- I/O 引脚上的数据在每个 AHB 时钟周期采样并存入端口输入状态寄存器
- 通过输入数据寄存器 GPIOx_IDATA 读取 I/O 的实际状态

图 19 复用模式 I/O 结构

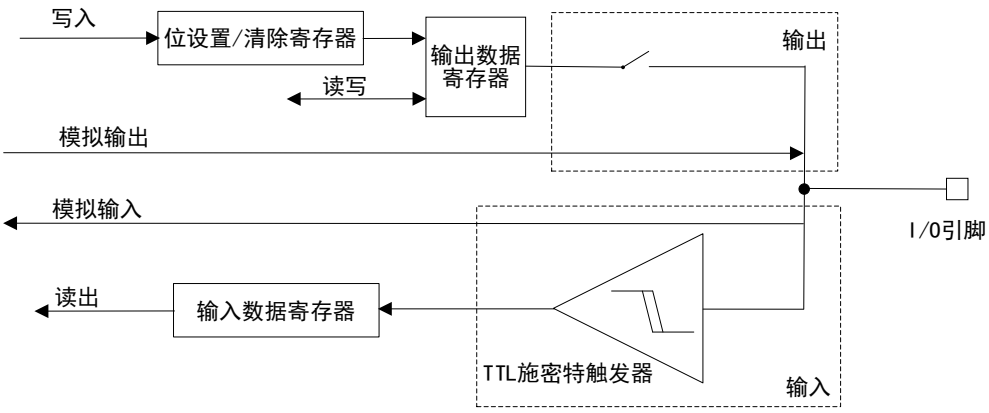



### 11.4.5 模拟模式

在模拟功能模式中：

- 禁止输出缓冲器
- 禁止施密特触发器输入，施密特触发器的输出值强制置为 0
- 禁止使用弱上拉和下拉电阻
- 读取输入数据寄存器的值为 0

图 20 模拟功能 I/O 结构



### 11.4.6 外部中断/唤醒线

所有的 GPIO 端口都有外部中断功能，如果要使用外部中断线，端口必须要配置成输入模式。

### 11.4.7 I/O 数据位处理

GPIO 端口置位/复位寄存器（GPIOx_BSC）允许对输出数据寄存器（GPIOx_ODATA）的每一个位进行置位/复位操作。置位/复位寄存器的有效数据宽度是 GPIOx_ODATA 有效数据宽度的两倍。

GPIOx_BSC 中的任意位写 0 不会影响 GPIOx_ODATA 寄存器的值。结果 GPIOx_BSC 的 BS 和 BC 位同时置 1，则 BS 位优先。GPIOx_BSC 寄存器可以改变 GPIOx_ODATA 寄存器的相应位；GPIOx_BSC 的 BS 置位相对对应的 GPIOx_ODATA 的位置 1，GPIOx_BSC 的 BC 置位相对应的 GPIOx_ODATA 的位清零。

GPIOx_ODATA 在用 GPIOx_BSC 寄存器置位或复位访问机制时，不需要通过软件关闭中断访问 GPIOx_ODATA。

### 11.4.8 复用功能与重映射

#### 多路复用器

多路复用器用来将器件 I/O 口线连接内嵌的外设模块，并且在同一时刻上只能一对一。

每个 I/O 引脚配有一个多路复用器，多路复用器的复用功能输入最多达 16 个，但是在 APM32E030 中实际上最多用到 7 个（AF0~AF6），由 GPIOx_ALFL 和 GPIOx_ALFH 寄存器配置。当 I/O 引脚复位后，所有引脚口都连接到 AF0。

#### 重映射

每个外设都可能有多点复用功能，但由于一个引脚只能选择一个复用功能输入，所以可以将外设的复用功能映射到其他 I/O 引脚上，即把复用功能信号重新分配一个引脚地址。

具体引脚的复用功能和重映射地址表，请参考对应的数据手册“端口复用列表”。

#### I/O 复用配置

当 I/O 口要连接到外设复用功能时，需要做以下调试：

- 复位后，引脚配置为复用功能
- I/O 口配置为输入、输出或模拟输入
- I/O 口连接到定义的 AFx
- 配置引脚上拉/下拉和输出速度
- GPIOx_MODE 中配置 I/O 为复用功能

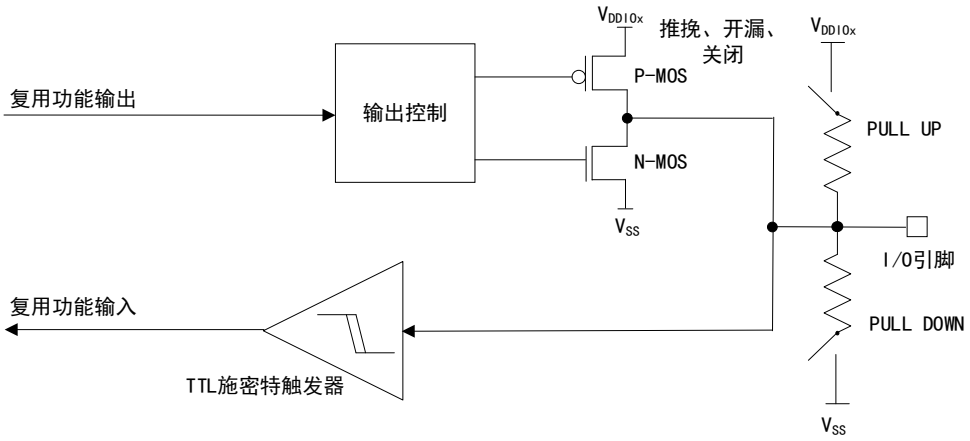
当 I/O 端口被配置为复用功能时，其输入输出模式：

- 打开输出缓冲器
- 由外设驱动输出缓冲器

- 激活施密特触发输入
- 通过配置上拉/下拉寄存器 GPIOx_PUPD 选择是否使用上拉/下拉电阻
- I/O 引脚上的数据在每个 AHB 时钟周期采样并存入端口输入状态寄存器
- 通过输入数据寄存器 GPIOx_IDATA 读取 I/O 的实际状态

复用模式 I/O 结构如下图所示：

图 21 复用模式下的 I/O 结构




### 11.4.9 GPIO 锁定功能

GPIO 的锁定机制可以保护 I/O 端口的配置。通过对 GPIOx_LOCK 寄存器进行写序列（特定的）来冻结端口 A 和端口 B 的控制寄存器。如果要写 GPIOx_LOCK 寄存器，要发出一个特定和写/读序列。通过配置锁定寄存器（GPIOx_LOCK）可以锁定 I/O 的配置，当一个端口位执行了锁定程序，到下一次复位之前，将不能再修改端口位的配置。

### 11.4.10 HSECLK 或 LSECLK 引脚用作 GPIO

通过配置 RCM_CTRL1 和 RCM_BDCTRL 寄存器中的 HSEEN/LSEEN 设置 HSECLK/LSECLK RC 振荡器是否开启。

HSECLK/LSECLK RC 振荡器开启时，振荡器控制相关引脚，同时其相关引脚与 GPIO 配置无关；HSECLK/LSECLK RC 振荡器关闭时，相关振荡器可以用作普通 GPIO 接口。

### 11.4.11 GPIO 在 RTC 供电域下使用

当核心电源域断电时，失去 PC13/14/15 GPIO 功能，此时如果 GPIO 的配置没有被 RTC 配置，PC13/14/15 引脚被设置为模拟输入模式。

关于 RTC 控制 I/O 引脚的详细信息，参见 RTC 控制的 I/O 引脚。

## 11.5 寄存器地址映射

表格 37 GPIO 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| GPIOx_MODE | 端口模式寄存器 | 0x00 |
| GPIOx_OMODE | 端口输出模式寄存器 | 0x04 |
| GPIOx_OSSEL | 端口输出速度寄存器 | 0x08 |
| GPIOx_PUPD | 端口上拉/下拉寄存器 | 0x0C |
| GPIOx_IDATA | 端口位输入数据寄存器 | 0x10 |
| GPIOx_ODATA | 端口位输出数据寄存器 | 0x14 |
| GPIOx_BSC | 端口置位/复位寄存器 | 0x18 |
| GPIOx_LOCK | 端口锁定寄存器 | 0x1C |
| GPIOx_ALFL | 端口复用功能低 8 位寄存器 | 0x20 |
| GPIOx_ALFH | 端口复用功能高 8 位寄存器 | 0x24 |

## 11.6 寄存器功能描述

必须以字（32 位）的方式操作这些外设寄存器。

### 11.6.1 端口模式寄存器（GPIOx_MODE）（x=A...D,F）

偏移地址：0x00

复位值：0x2800 0000 端口 A

0x0000 0000 其他端口

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | MODEy[1:0] | R/W | 配置端口 x 模式（y=0…15）（PortxPin y mode Configure）<br>00：输入模式（复位后的状态）<br>01：通用输出模式<br>10：复用功能模式<br>11：模拟模式 |

### 11.6.2 端口输出模式寄存器（GPIOx_OMODE）（x=A...D,F）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | OMODEy | R/W | 配置端口 x 引脚 y 输出模式（y=0…15）（PortxPin y mode Configure）<br>0：推挽输出（复位状态）<br>1：开漏输出 |
| 31:16 | 保留 | | |

### 11.6.3 端口输出速度寄存器（GPIOx_OSSEL）（x=A...D,F）

偏移地址：0x08

复位值：0x0000 0000 端口 A

0x0000 0000 其他端口

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | OSSELy[1:0] | R/W | 选择端口 x 引脚 y 输出数据（y=0…15）（PortxPin y Output Speed Select）<br>x0：低速<br>01：中速<br>11：高速<br>由软件写配置 I/O 口的速度 |

### 11.6.4 GPIO 口上拉/下拉寄存器（GPIOx_PUPD）（x=A…D,F）

偏移地址：0x0C

复位值：0x2400 0000 端口 A

0x0000 0000 其他端口

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | PUPDy[1:0] | R/W | 配置端口 x 引脚 y 上拉/下拉（y=0…15）（PortxPin y Pull-up/Pull-down Configure）<br>这些位通过软件写操作来配置端口的上拉/下拉<br>00：禁止上拉/下拉（浮空）<br>01：上拉<br>10：下拉<br>11：复位 |

### 11.6.5 GPIO 端口输入数据寄存器（GPIOx_IDATA）（x=A…D,F）

偏移地址：0x10

复位值：0x0000 XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | IDATAy | R | 端口 x 引脚 y 输入数据（y=0…15）（PortxPin y Input Data）<br>这些位只能进行读操作，用来存储相应的 I/O 端口输入值。 |
| 31:16 | 保留 | | |

### 11.6.6 GPIO 端口输出数据寄存器（GPIOx_ODATA）（x=A…D,F）

偏移地址：0x14

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | ODATAy | R/W | 端口 x 引脚 y 输出数据（y=0…15）（PortxPin y Output Data）<br>可以通过软件进行读写操作<br>对于 y 位设置，可以通过写入 GPIOx_BSC 寄存器来单独设置 ODATAy 位。 |
| 31:16 | 保留 | | |

### 11.6.7 GPIO 端口置位/复位寄存器（GPIOx_BSC）（x=A…D,F）

偏移地址：0x18

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | BSy | W | 端口 x 引脚 y 的设置位（y=0…15）（PortxPin y Set Bit）<br>这些位只能进行写操作，读这些位时返回 0x0000 的数据。<br>这些位用来影响对应的 ODATAy 位<br>0：无影响<br>1：设置对应的 ODATAy 位 |
| 31:16 | BCy | W | 端口 x 引脚 y 的复位位（y=0…15）（PortxPin y Reset Bit）<br>这些位只能进行写操作，读这些位时返回 0x0000 的数据。<br>这些位用来影响对应的 ODATAy 位<br>0：无影响<br>1：设置对应的 ODATAy 位<br>若 BSy 位和 BCy 位同时设置，BSy 有优先权 |

### 11.6.8 GPIO 端口锁定寄存器（GPIOx_LOCK）（x=A,B）

该寄存器保护 GPIO 的配置在程序运行期间误修改；若再次修改 GPIO 配置，需系统复位后才能修改。配置 GPIO 锁定功能时，需对该寄存器执行指定的序列才能启动 GPIO 锁定功能。

偏移地址：0x1C

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | LOCKy | R/W | 配置端口 x 引脚 y 的锁定位（y=0…15）（PortxLock bity Configure）<br>0：不锁定端口 x 引脚 y 的配置<br>1：锁定端口 x 引脚 y 的配置<br>这些位可以进行读写操作，但是只能在 LOCKKEY=0 时写入。 |
| 16 | LOCKKEY | R/W | 锁定键（LOCK Key）<br>该位决定端口配置锁键位是否被激活<br>0：不激活<br>1：激活，GPIOx_LOCK 寄存器锁定直到下一次复位产生。<br>锁定键写序列：<br>写 LOCK[16]=1+LOCK[15:0]<br>写 LOCK[16]=0+LOCK[15:0]<br>写 LOCK[16]=1+LOCK[15:0]<br>读 LOCK<br>读 LOCK[16]=1（此读操作可以选择，要确认是否激活锁定键）<br>注意：<br>（1） 在操作锁键的写入序列期间，LOCKy 的值不能改变。<br>（2） 操作锁键写入序列中的任何错误将中止锁键。<br>（3） 在端口任意位上的第一个锁序列之后，LOCKKEY 位上的任何读访问都返回“1”，直到下一个 MCU 重置或外围设备重置。 |
| 31:17 | 保留 | | |

### 11.6.9 GPIO 复用功能低 8 位寄存器（GPIOx_ALFL）（x=A…D,F）

偏移地址：0x20

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | ALFSELy | R/W | 选择端口 x 引脚 y 的复用功能（y=0…7）（PortxPin y Alermate Function Select）<br>这些位可以通过软件进行读操作，用来配置端口的复用功能。<br>ALFSELy 选择：<br>0000：AF0<br>0001：AF1<br>0010：AF2<br>0011：AF3<br>0100：AF4<br>0101：AF5<br>0110：AF6<br>0111：AF7<br>1xxx：保留 |

### 11.6.10 GPIO 复用功能高 8 位寄存器（GPIOx_ALFH）（x=A…D,F）

偏移地址：0x24

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | ALFSELy | R/W | 选择端口 x 引脚 y 的复用功能（y=8…15）（PortxPin y Alermate Function Select）<br>这些位可以通过软件进行读操作，用来配置端口的复用功能。<br>ALFSELy 选择：<br>0000：AF0<br>0001：AF1<br>0010：AF2<br>0011：AF3<br>0100：AF4<br>0101：AF5<br>0110：AF6<br>0111：AF7<br>1xxx：保留 |

### 11.6.11 GPIO 端口复位寄存器（GPIOx_BR）（x=A…D,F）

偏移地址：0x28

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | BRy | W | 配置端口 x 引脚 y 复位（y=0…15）（PortxPin y Reset Configure）<br>这些位只能进行写操作，读这些位时返回值为 0x0000。<br>这些位用来影响对应 ODATA<br>0：无影响<br>1：对应的 ODATA 位清 0 |
| 31:16 | 保留 | | |

# 12 定时器概述

## 12.1 术语全称、缩写描述

表格 38 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 定时器 | Timer | TMR |
| 更新 | Update | U |
| 请求 | Request | R |
| 事件 | Event | EV |
| 捕获 | Capture | C |
| 比较 | Compare | C |
| 长度 | Length | LEN |

## 12.2 定时器类别及主要差异

在本次系列产品中，一共可分为三类定时器：高级定时器、通用定时器和基本定时器（看门狗定时器、系统滴答定时器在其它章节中描述）。

高级定时器包含了通用定时器和基本定时器的功能，高级定时器是有四个捕获/比较通道，支持定时功能、输入捕获和输出比较功能、刹车以及互补输出功能，是一个 16 位可以向上/下计数的定时器。

通用定时器的功能比高级定时器简单，主要差异点在通道总数、互补输出通道组数、刹车功能。

而基本定时器是一个只能实现定时功能、没有外部接口的定时器。

产品包含的定时器主要差异见下表：

表格 39 产品包含的定时器主要差异

| 项目 | 具体内容/类别 | 高级定时器 | 通用定时器 | | | | 基本定时器 |
|---|---|---|---|---|---|---|---|
| 名称 | — | TMR1 | TMR3 | TMR14 | TMR15 | TMR16/17 | TMR6 |
| 时基单元 | 计数器 | 16 位 | 16 位 | 16 位 | 16 位 | 16 位 | 16 位 |
| | 预分频器 | 16 位 | 16 位 | 16 位 | 16 位 | 16 位 | 16 位 |
| | 计数模式 | 向上<br>向下<br>中央对齐 | 向上<br>向下<br>中央对齐 | 向上 | 向上 | 向上 | 向上 |
| 通道 | 输入通道 | 4 | 4 | 1 | 2 | 1 | 0 |
| | 捕获比较通道 | 4 | 4 | 1 | 2 | 1 | 0 |
| | 输出通道 | 7 | 4 | 1 | 2 | 1 | 0 |

| 项目 | 具体内容/类别 | 高级定时器 | 通用定时器 | | | | 基本定时器 |
|---|---|---|---|---|---|---|---|
| | 互补输出通道 | 3 组 | 0 | 0 | 1 | 1 | 0 |
| 功能 | 产生 DMA 请求 | 可以 | 可以 | 可以 | 可以 | 可以 | 可以 |
| | PWM 模式 | 有 | 有 | 有 | 有 | 无 | 无 |
| | 单脉冲模式 | 有 | 有 | 无 | 有 | 有 | 无 |
| | 强制输出模式 | 有 | 有 | 有 | 有 | 有 | 无 |
| | 死区插入 | 有 | 无 | 无 | 有 | 有 | 无 |

**定时器术语**

表格 40 引脚定义术语

| 名称 | 描述 |
|---|---|
| TMRx_ETR | 定时器 x 外部触发信号 |
| TMRx_CH1、TMRx_CH2、TMRx_CH3、TMRx_CH4 | 定时器 x 通道 1/2/3/4 |
| TMRx_ChyN | 定时器 x 互补输出通道 y |
| TMRx_BKIN | 定时器 x 刹车信号 |

表格 41 内部信号定义术语

| 名称 | 描述 |
|---|---|
| ETR | TMRx_ETR 外部触发信号 |
| ETRF | 外部触发滤波 |
| ETRP | 外部触发分频 |
| - | |
| ITR，ITR0，ITR1 | 内部触发 |
| TRGI | 时钟/触发器/从模式控制器的触发输入 |
| TIF_ED | 定时器输入滤波边缘检测 |
| - | |
| CK_PSC | 分频时钟 |
| CK_CNT | 计数器时钟 |
| PSC | 预分频器 |
| CNT | 计数器 |
| AUTORLD | 自动装载寄存器 |
| - | |
| TIx，TI1 | 定时器输入 |
| TIxF，TI1F， | 定时器输入滤波 |

| 名称 | 描述 |
| --- | --- |
| TI1_ED | 定时器输入边缘检测 |
| TIxFPx，TI1FP1 | 定时器输入滤波极性 |
| ICx，IC1 | 输入捕获 |
| ICxPS，IC1PS | 输入捕获预分频 |
| TRC | 触发捕获 |
| BRK | 刹车信号 |
| - | |
| OCx，OC1 | 定时器输出比较通道 |
| OCxREF，OC1REF | 输出比较参考信号 |
| - | |
| TGI | 触发中断 |
| BI | 刹车中断 |
| CCxI，CC1I | 捕获/比较中断 |
| UEV | 更新事件 |
| UIFLG | 更新中断标志 |

# 13 高级定时器（TMR1）

## 13.1 简介

高级定时器 TMR1 以时基单元为核心，拥有输入捕获、输出比较和刹车输入等功能，含有一个 16 位的自动重装载计数器。高级定时器相比较其它定时器增加了互补输出、重复计数以及可编程的死区插入等功能，更加适合用于电机的控制。

## 13.2 主要特征

（1） 时基单元
- 计数器：16 位计数器，可以向上计数，向下计数，中央对齐计数
- 预分频器：16 位可编程预分频器
- 重复计数器：16 位的重复计数器
- 自动重装载功能

（2） 时钟源选择
- 内部时钟
- 外部输入
- 外部触发
- 内部触发

（3） 输入捕获功能
- 计数功能
- PWM 输入模式（脉冲宽度、频率、占空比测量）
- 编码器接口模式

（4） 输出比较功能
- PWM 输出模式
- 强制输出模式
- 单脉冲模式
- 互补输出和死区插入

（5） 定时功能

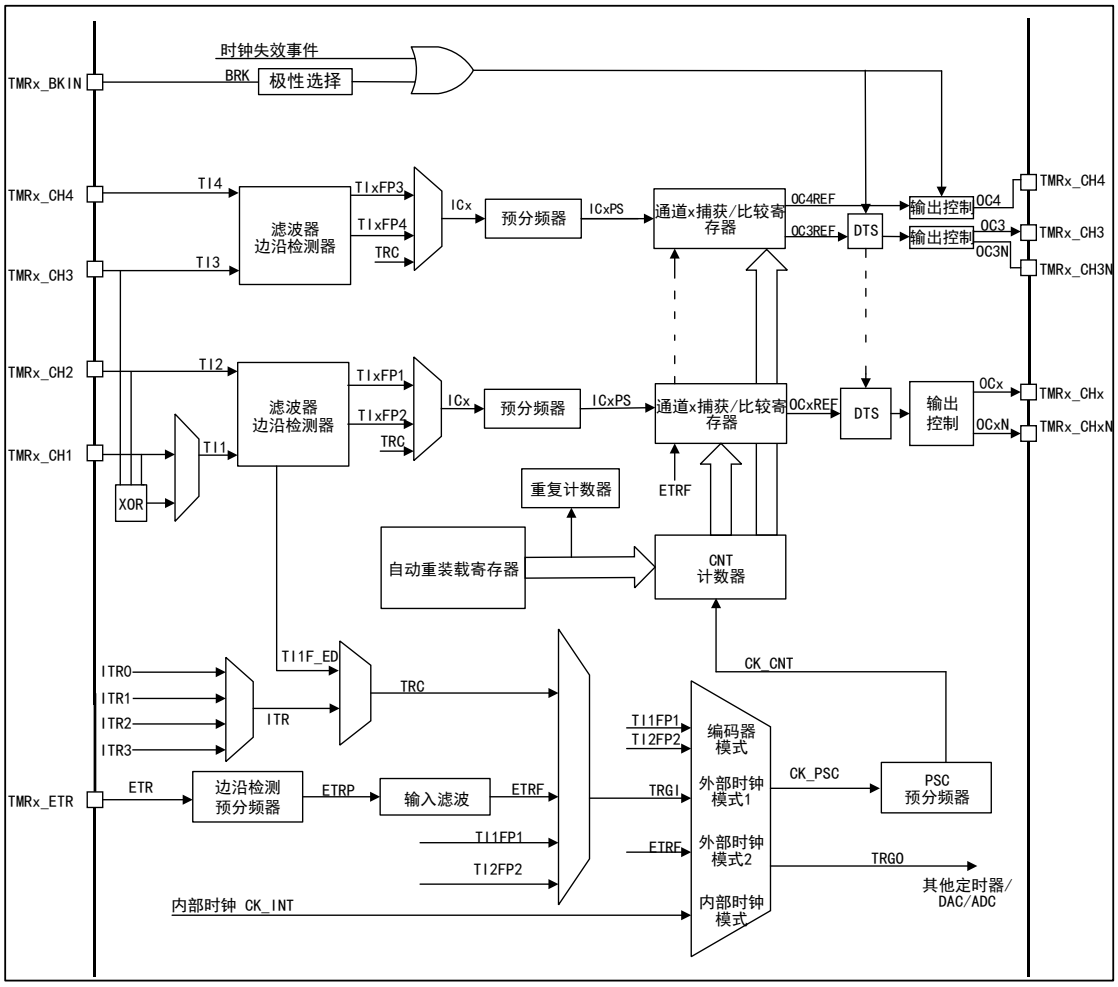
（6） 刹车功能

（7） 定时器的主/从模式控制器
- 定时器之间可以同步和级联
- 支持多种从模式、同步信号

（8） 中断输出和 DMA 请求事件
- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

## 13.3 结构框图

图 22 高级定时器结构框图




## 13.4 功能描述

### 13.4.1 时钟源选择

高级定时器一共有四种时钟源

#### 内部时钟

是来自 RCM 的 TMR1_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

#### 外部时钟模式 1

来自定时器自身的输入通道 TI1/2/3/4，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 TI1F_ED 信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

#### 外部时钟模式 2

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

#### 内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

### 13.4.2 时基单元

高级定时器里的时基单元包含四个寄存器

- 计数器寄存器（CNT）16 位
- 自动重装载寄存器（AUTORLD）16 位
- 预分频器（PSC）16 位
- 重复计数寄存器（REPCNT）8 位

#### 计数器 CNT

高级定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

#### 向上计数模式

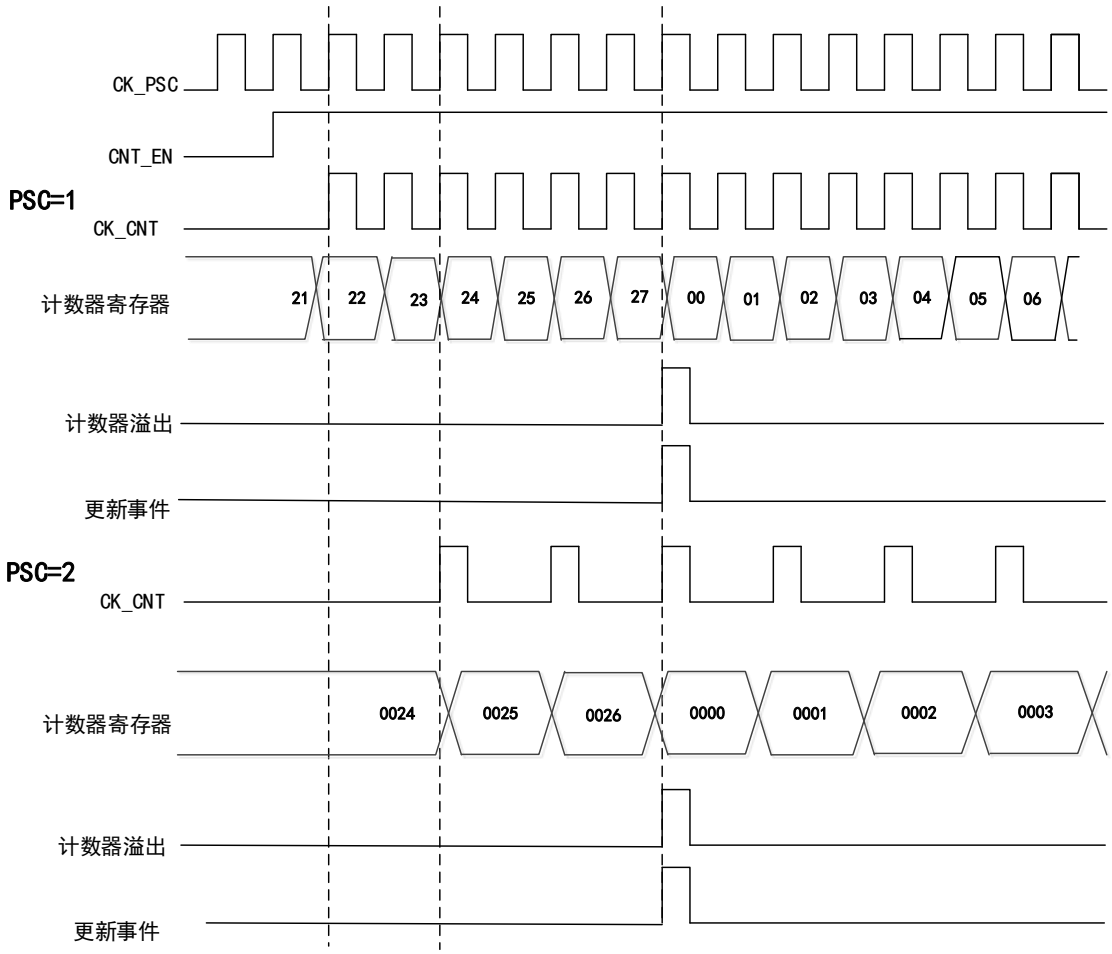
通过配置控制寄存器（TMR1_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMR1_CNT）值与自动重装载（TMR1_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMR1_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时重复计数的影子寄存器、自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 TMR1_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图

图 23 向上计数模式下，分频因子为 1 或 2 的时序图



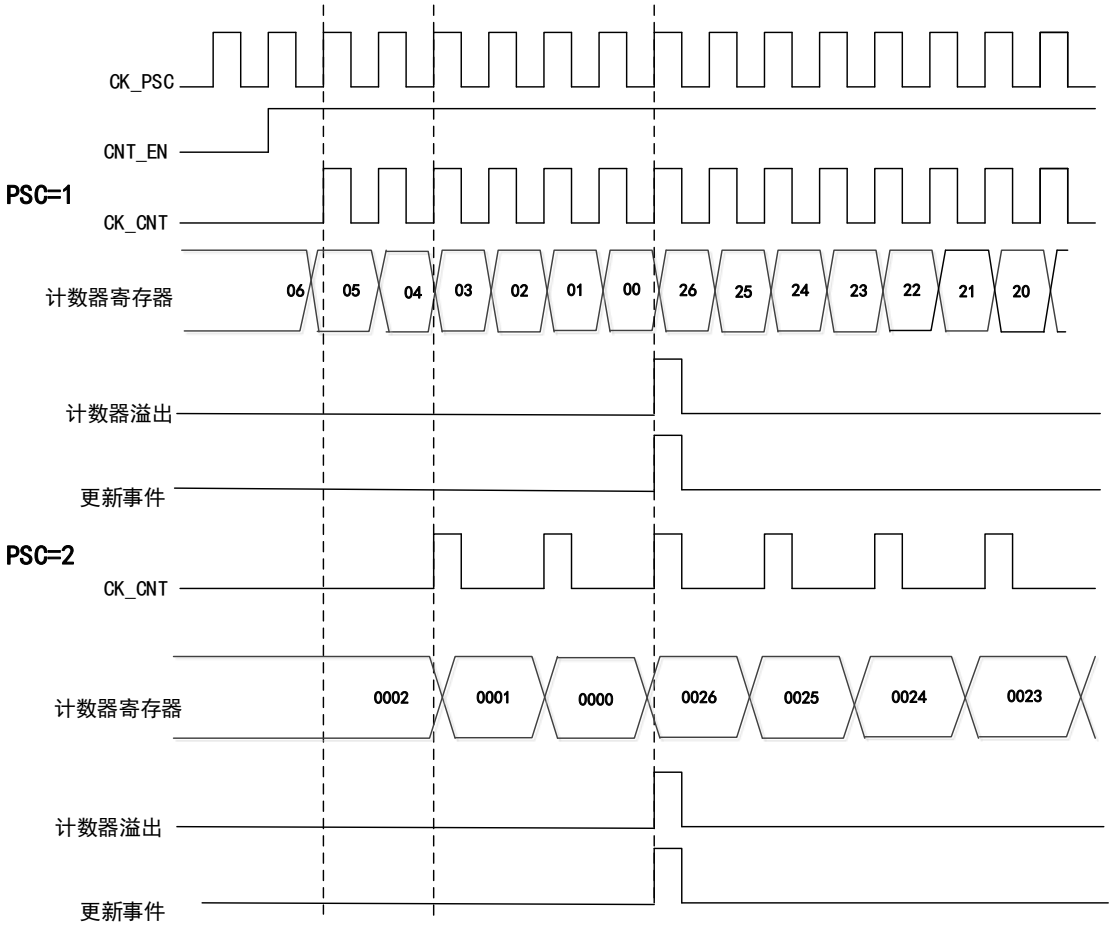

### 向下计数模式

通过配置控制寄存器（TMR1_CTRL1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重装载的值（TMR1_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（TMR1_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重装载的值（TMR1_AUTORLD）是提前写入的。

计数器溢出时，会产生更新事件，此时，重复计数的影子寄存器、自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 TMR1_CTRL1 寄存器中的 UD 位，禁止更新事件。

图 24 向下计数模式下，分频因子为 1 或 2 的时序图

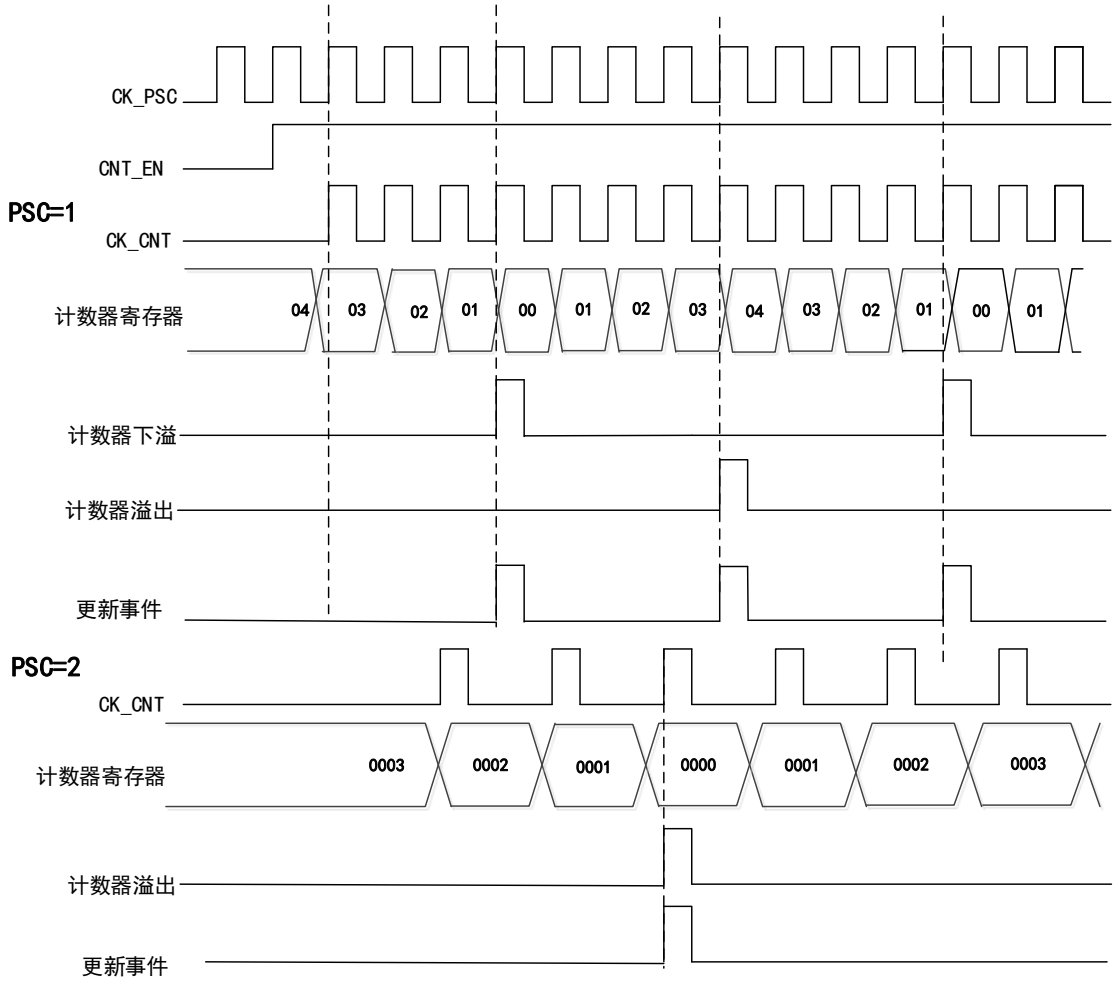



### 中央对齐模式

通过配置控制寄存器（TMR1_CTRL1）中的 CNTDIR 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重装载的值（TMR1_AUTORLD），然后从自动重装载的值（TMR1_AUTORLD）再向下计数到 0，以此往复；在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件；在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

图 25 中央对齐模式下，分频因子为 1 或 2 的时序图




### 重复计数器 REPCNT

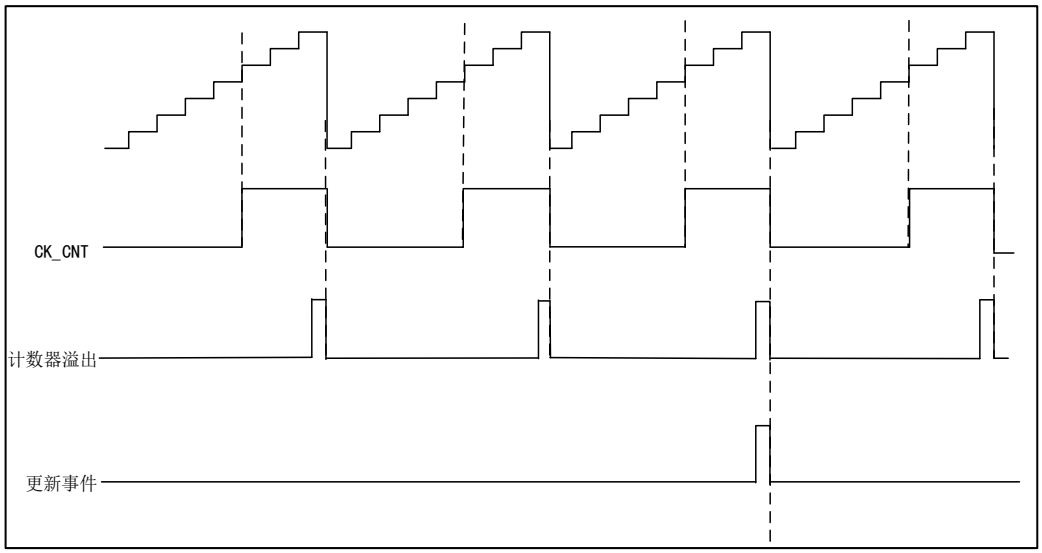
高级定时器 TMR1 里，因为重复计数器的存在，高级定时器发生上/下溢事件时，只有当重复计数器的值为 0 时才会产生更新事件。

例如，如果高级定时器需要在发生上/下溢事件时就产生更新事件，应将重复计数器的值置 0。

如果在向上计数模式时，使用了重复计数器功能，每当计数器向上计数到 AUTORLD 时，发生上溢事件，此时重复计数器的值会减 1，直到重复计数器的值为 0 时会产生更新事件。

即在发生 N+1 个（N 为重复计数器的值）上/下溢事件时产生更新事件。

图 26 向上计数模式下，设置 REPCNT=2 的时序图




**预分频器 PSC**

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMR1_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

### 13.4.3 输入捕获

**输入捕获通道**

高级定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1/2/3/4 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

**输入捕获应用**

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMR1_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMR1_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕

获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

### 13.4.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM1 和 PWM2 模式，由 TMR1_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

#### 输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMR1_CCMx 寄存器中的 OCxMOD 位和输出极性 TMR1_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMR1_STS 寄存器中的 CCxIFLG=1 时，如果 TMR1_DIEN 寄存器中的 CCxIEN=1 产生中断；TMR1_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

### 13.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM1 模式下的时序图。

图 27 PWM1 向上计数模式的时序图

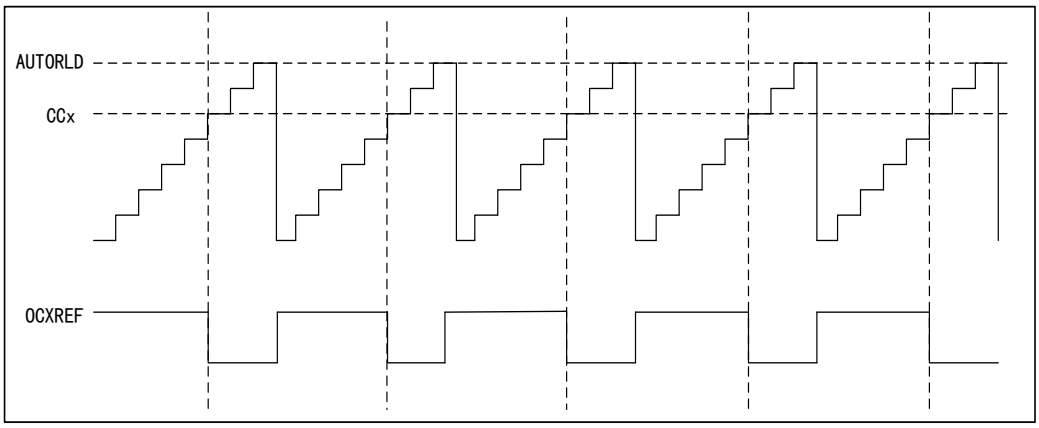


图 28 PWM1 向下计数模式的时序图

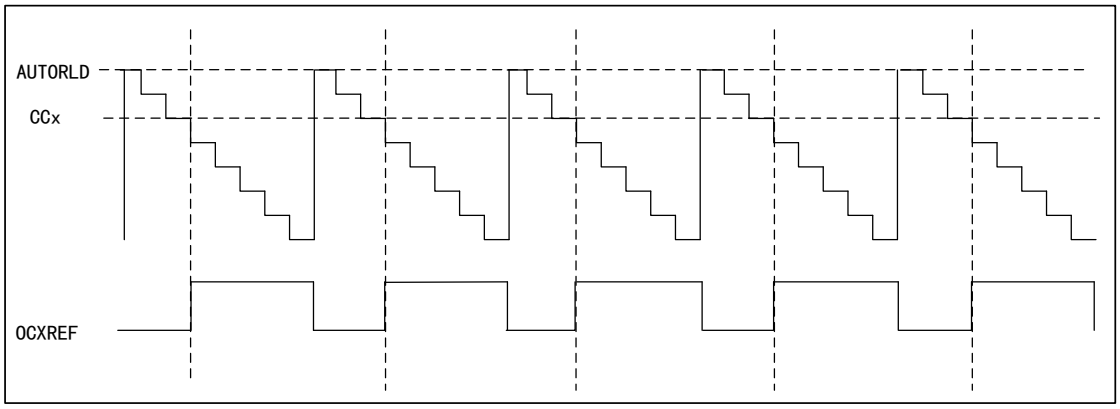
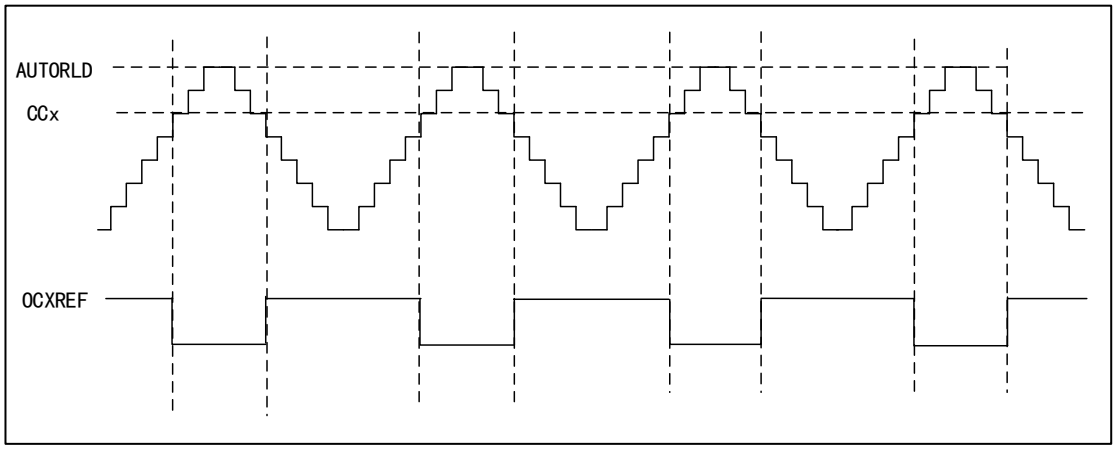



图 29 PWM1 中央对齐模式的时序图




PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM2 模式下的时序图。

图 30 PWM2 向上计数模式的时序图

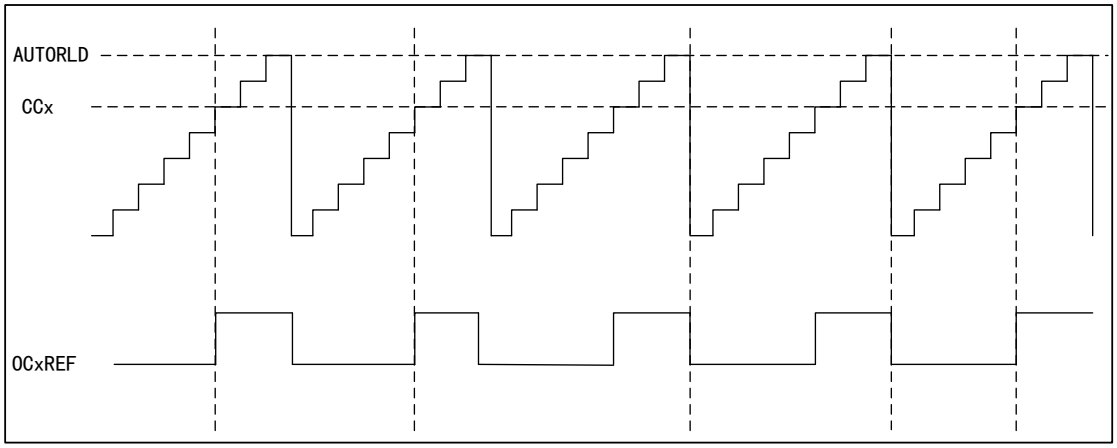


图 31 PWM2 向下计数模式的时序图

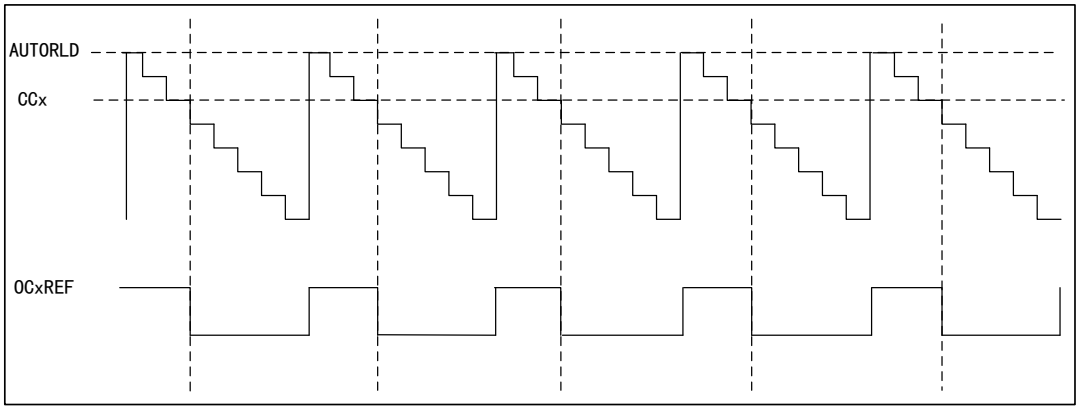
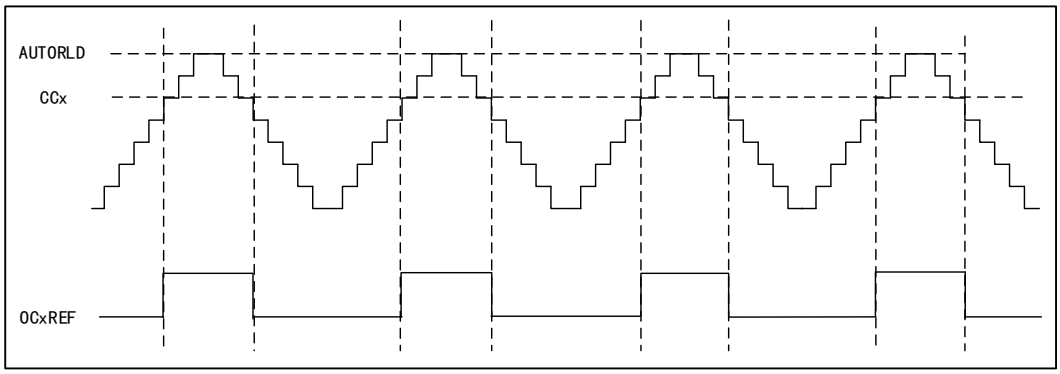



图 32 PWM2 中央对齐模式的时序图



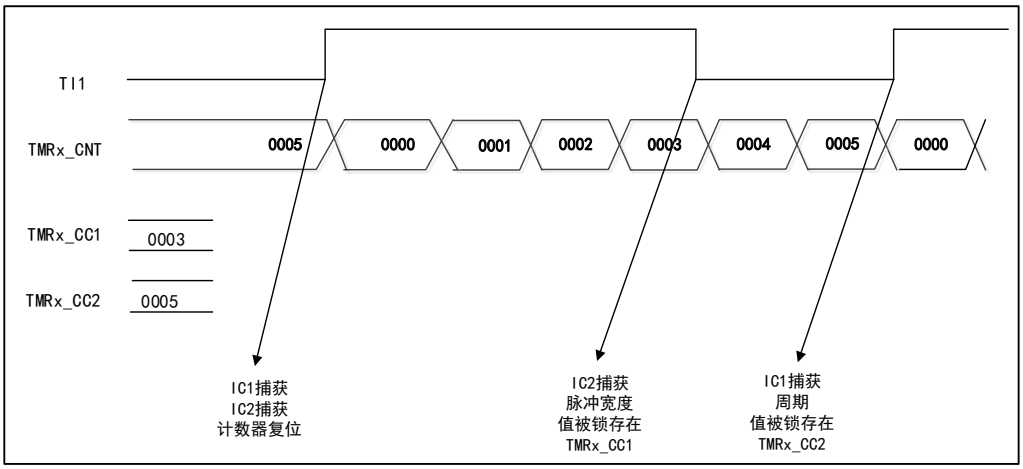

### 13.4.6 PWM 输入模式

PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMR1_CH1 和 TMR1_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。在 PWM 输入模式中，PWM 信号从 TMR1_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比.在配置中只需设置其中一路的极性，另一路会自动配置会相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMR1_SMCTRL 寄存器的 SMFSEL 位）。

图 33 PWM 输入模式时序图



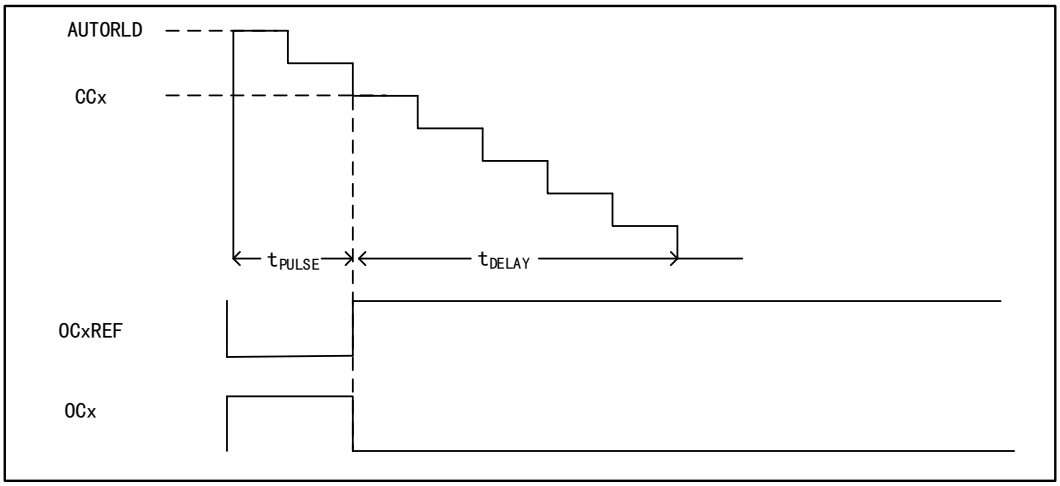

### 13.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMR1_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMR1_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD－CCx；在减计数模式下延时时间为 AUTORLD－CCx，脉冲宽度为 CCx。

图 34 单脉冲模式下的时序图




### 13.4.8 寄存器对输出波形的影响

以下寄存器会影响定时器输出波形的电平，详细信息可参照“寄存器功能描述”。

（1） TMR1_CCEN 寄存器中的 CCxEN、CCxNEN 位

- CCxNEN=0、CCxEN=0：关闭输出（输出禁止，无效状态）
- CCxNEN=1、CCxEN=1：开启输出（输出使能，正常输出）

（2） TMR1_BDT 寄存器中的 MOEN 位

- MOEN=0：空闲模式
- MOEN=1：运行模式

（3） TMR1_CTRL2 寄存器中的 OCxOIS、OCxNOIS 位

- OCxOIS=0、OCxNOIS=0: 空闲时（MOEN=0）死区后的输出电平为 0
- OCxOIS=1、OCxNOIS=1: 空闲时（MOEN=0）死区后的输出电平为 1

（4） TMR1_BDT 寄存器中的 RMOS 位

- RMOS 的应用环境：对应互补通道、定时器运行模式下（MOEN=1）、定时器不工作（CCxEN=0、CCxNEN=0）或工作（CCxEN=1、CCxNEN=1）情况下

（5） TMR1_BDT 寄存器中的 IMOS 位

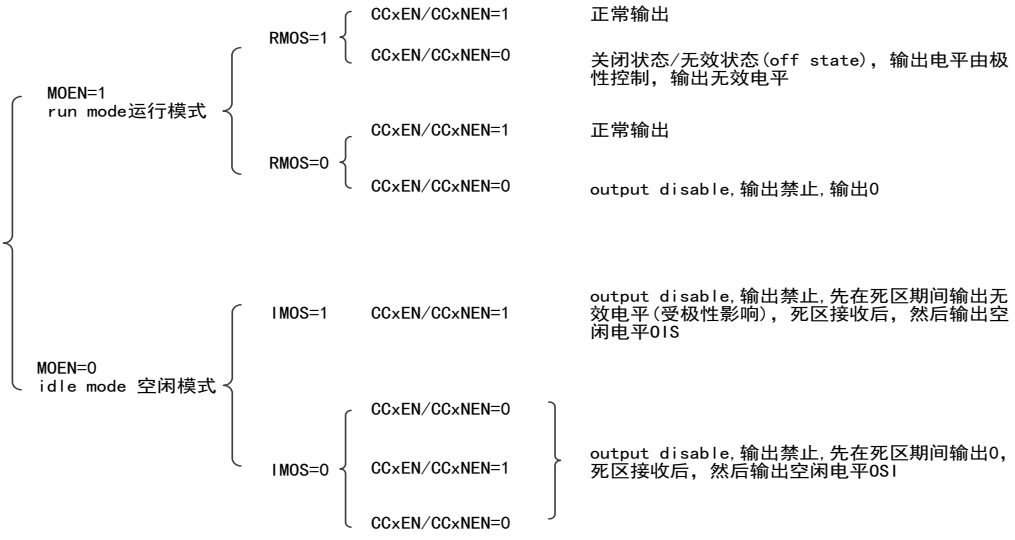
- IMOS 的应用环境：对应互补通道、定时器空闲模式下（MOEN=0）、定时器不工作（CCxEN=0、CCxNEN=0）或工作（CCxEN=1、CCxNEN=1）情况下

（6） TMR1_CCEN 寄存器的 CCxPOL、CCxNPOL 位

- CCxPOL=0、CCxNPOL=0：输出极性，高电平有效
  CCxPOL=1、CCxNPOL=1：输出极性，低电平有效

下图罗列了影响输出波形的寄存器结构关系

图 35 影响输出波形的寄存器结构关系



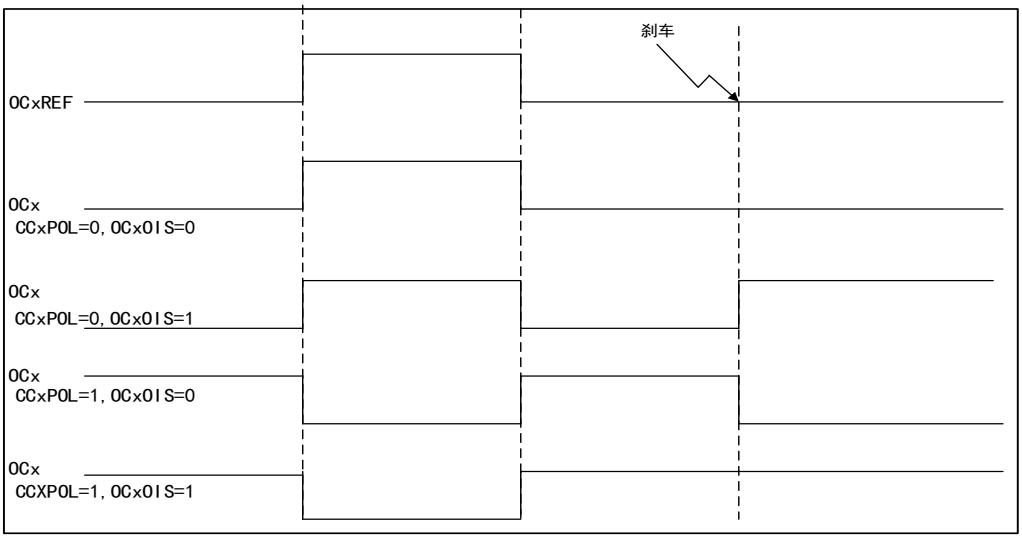

### 13.4.9 刹车功能

刹车的信号源为时钟故障事件和外部输入接口。

其中 TMR1_BDT 寄存器中的 BRKEN 位可以使能刹车功能，BRKPOL 位配置刹车输入信号的极性。

发生刹车事件时，可以根据相关控制位的状态修改输出脉冲信号电平。

图 36 发生刹车事件的时序图

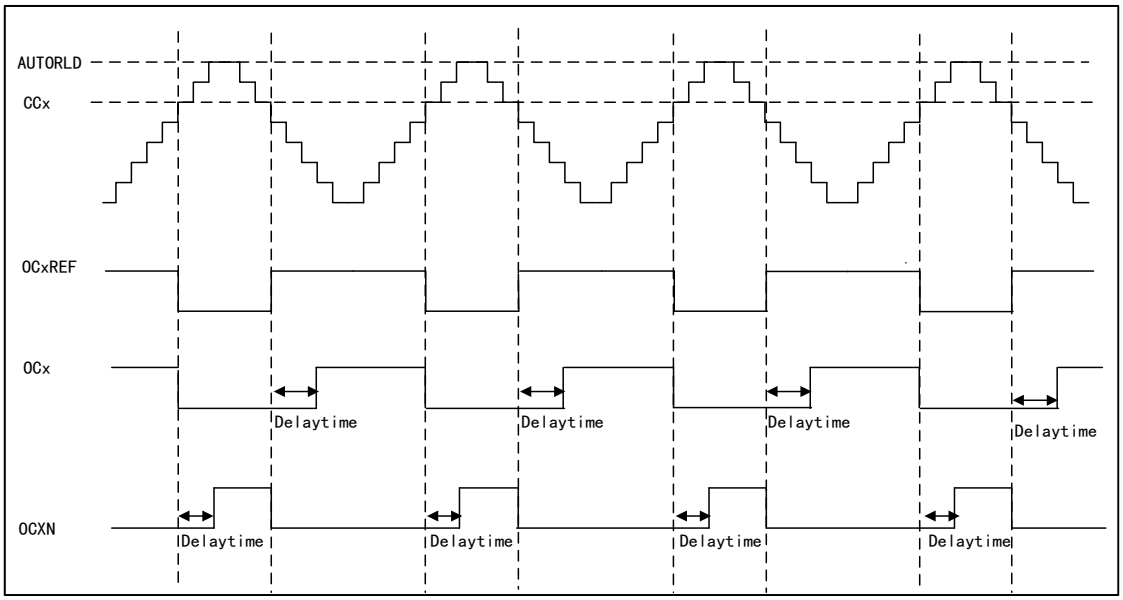



### 13.4.10 互补输出和死区插入

TMR1 定时器有三组互补输出通道。插入死区时间用于生成互补的输出信号，确保通道互补的两路信号不会同时有效。根据定时器连接的输出器件以及特性来设定死区时间。

配置 TMR1_BDT 寄存器的 DTS 位可以控制死区的持续时间。

图 37 带死区插入的互补输出




### 13.4.11 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMR1_CCMx 寄存器的 CCxSEL=00，设定 CCx 通道为输出
- TMR1_CCMx 寄存器的 OCxMOD=100/101，设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

### 13.4.12 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计时器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 TMR1_SMCTRL 寄存器的 SMFSEL 位，可以设定计数器是在 TI1 通道/TI2 通道边沿计数，或者同时在 TI1 和 TI2 的边沿计数。
- 通过设置 TMR1_CCEN 寄存器中的 CC1POL 和 CC2POL 位，可以选择 TI1 和 TI2 的极性。
- 通过设置 TMR1_CCM1 寄存器中的 IC1F 和 IC2F 位，可以选择是否进行滤波。

两个输入 TI1 和 TI2 可以作为增量编码器的接口，计数器由在 TI1 和 TI2 经过滤波和边沿选择后的信号 TI1FP1 和 TI2FP2 的有效跳变驱动。

根据 TI1 和 TI2 的输入信号，产生计数脉冲和方向信号

- 根据输入信号的跳变顺序，计数器会向上/向下计数。
- 将控制寄存器 TMR1_CTRL1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）。

计数器计数方向改变机制如下表：

表格 42 计数方向与编码器的关系

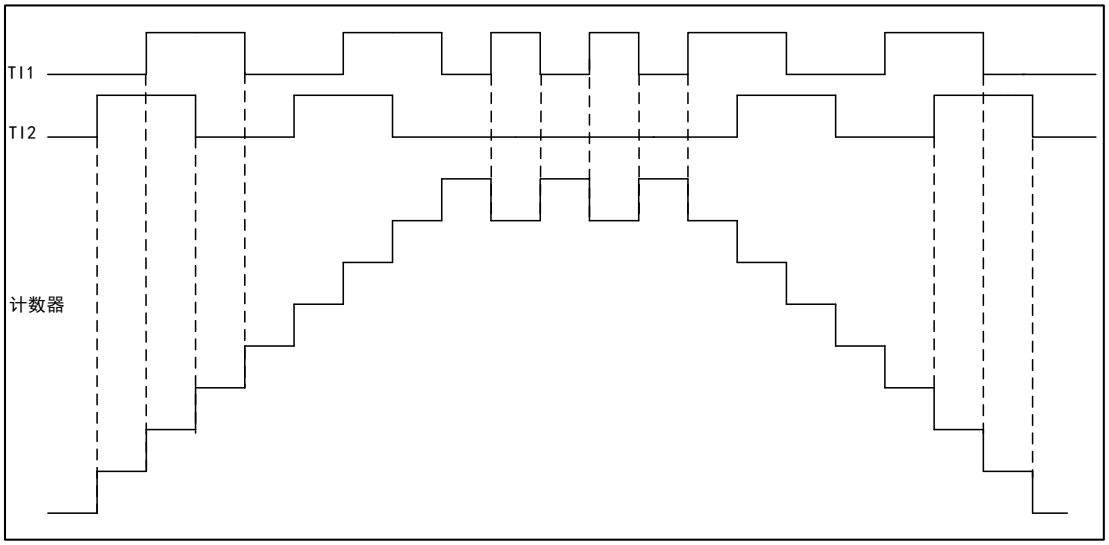
| 有效边沿 | | 仅在 TI1 计数 | | 仅在 TI2 计数 | | 在 TI1 和 TI2 计数 | |
|---|---|---|---|---|---|---|---|
| 相对信号的电平 | | 高 | 低 | 高 | 低 | 高 | 低 |
| TI1FP1 | 上升沿 | 向下计数 | 向上计数 | — | | 向下计数 | 向上计数 |
| | 下降沿 | 向上计数 | 向下计数 | | | 向上计数 | 向下计数 |
| TI2FP2 | 上升沿 | — | | 向上计数 | 向下计数 | 向上计数 | 向下计数 |
| | 下降沿 | | | 向下计数 | 向上计数 | 向下计数 | 向上计数 |

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中：

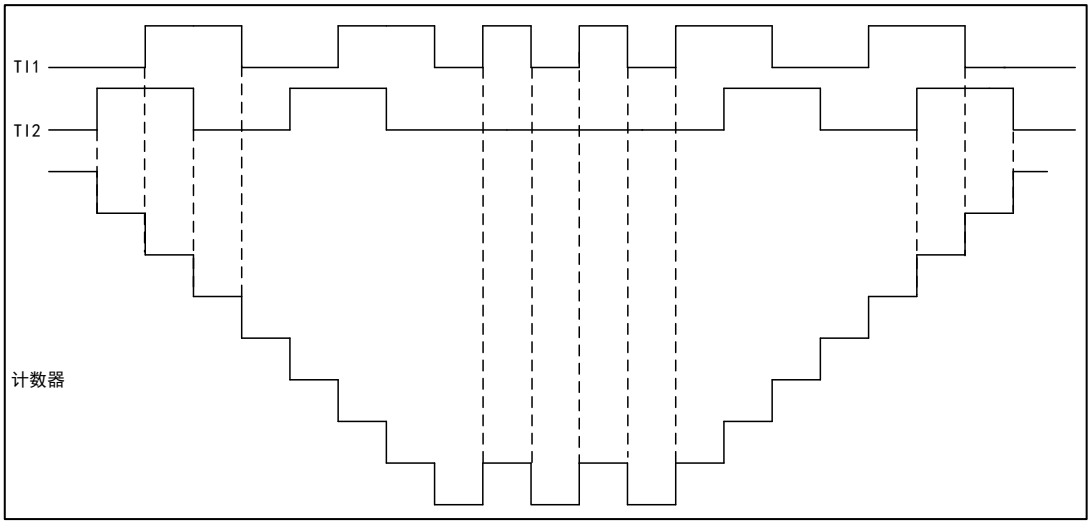
- 将 TI1FP1 映射到 TI1
- 将 TI2FP2 映射到 TI2
- TI1FP1 和 TI2FP2 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 38 编码器模式下的计数器操作实例




例如：当 TI1 处在低电平时，如果 TI2 出现上升沿状态，计数器向上计数。

图 39 TI1FP1 反相的编码器接口模式实例




例如：当 TI1 处于低电平时，TI2 发生上升沿跳变，计数器向下计数。

### 13.4.13 从模式

TMR1 定时器可以进行外部的触发同步：

- 复位模式
- 门控模式
- 触发模式

可设置 TMR1_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式。

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信

号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

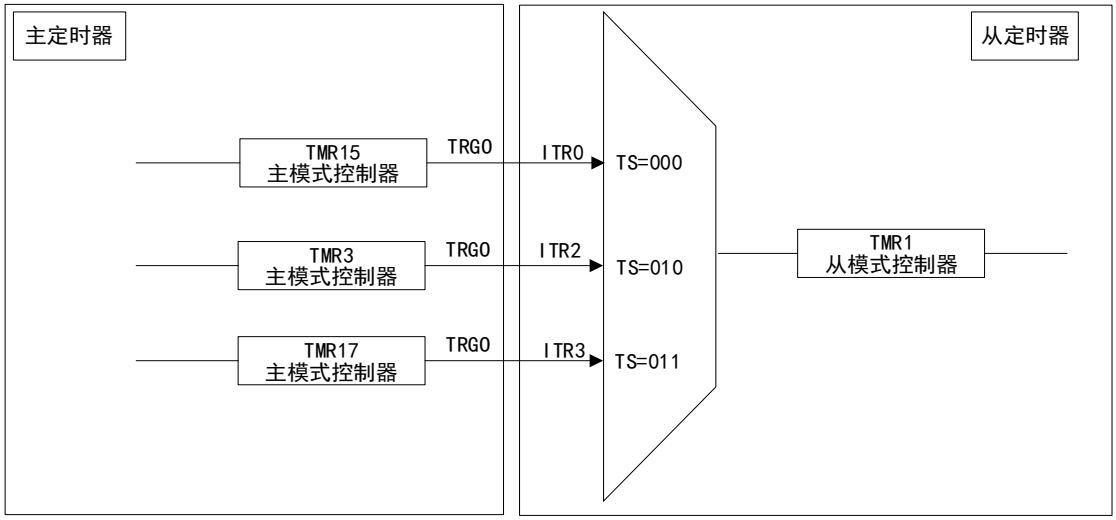
触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

### 13.4.14 定时器互连

TMR1 各个定时器可以互相连接实现定时器之间的同步或级联。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

图 40 TMR1 主/从模式的例子




注意：TMR17 内部连接的触发信号为 TMR17_CH1。

在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

### 13.4.15 中断和 DMA 请求

定时器在工作时产生事件时会发生中断：

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

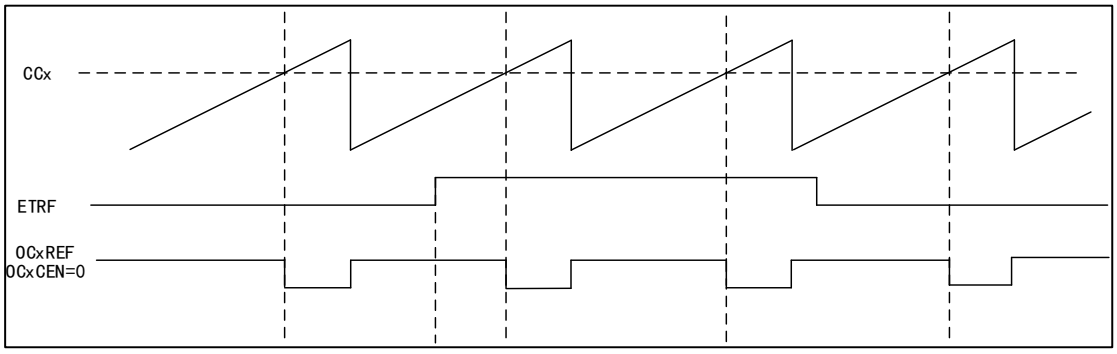
### 13.4.16 在外部事件时清除 OCxREF 信号

此功能是用于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 TMR1_CCMx 中的 OCxCEN 的位置 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

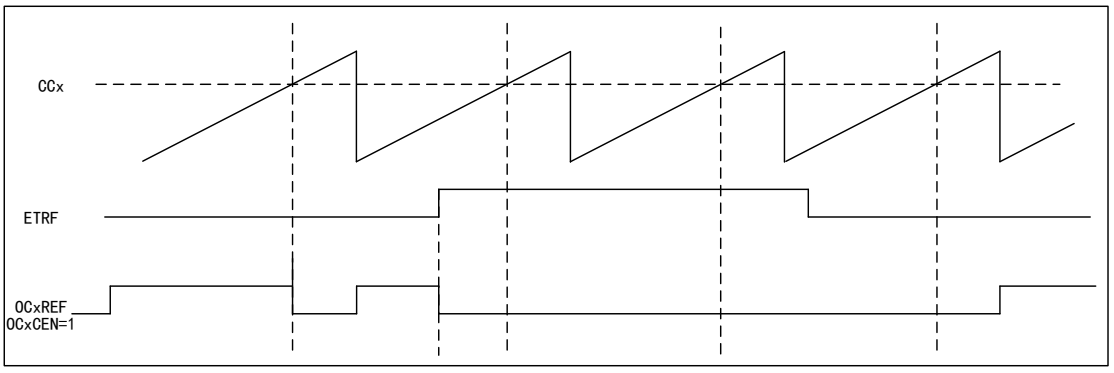
将 TMR1 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 41 OCxREF 时序图




将 TMR1 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 42 OCxREF 时序图




## 13.5 寄存器地址映射

下表中将高级定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 43 TMR1 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR1_CTRL1 | 控制寄存器 1 | 0x00 |
| TMR1_CTRL2 | 控制寄存器 2 | 0x04 |

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR1_SMCTRL | 从模式控制寄存器 | 0x08 |
| TMR1_DIEN | DMA/中断使能寄存器 | 0x0C |
| TMR1_STS | 状态寄存器 | 0x10 |
| TMR1_CEG | 控制事件产生寄存器 | 0x14 |
| TMR1_CCM1 | 捕获/比较模式寄存器 1 | 0x18 |
| TMR1_CCM2 | 捕获/比较模式寄存器 2 | 0x1C |
| TMR1_CCEN | 捕获/比较使能寄存器 | 0x20 |
| TMR1_CNT | 计数器寄存器 | 0x24 |
| TMR1_PSC | 预分频寄存器 | 0x28 |
| TMR1_AUTORLD | 自动重装载寄存器 | 0x2C |
| TMR1_REPCNT | 重复计数寄存器 | 0x30 |
| TMR1_CC1 | 通道 1 捕获/比较寄存器 | 0x34 |
| TMR1_CC2 | 通道 2 捕获/比较寄存器 | 0x38 |
| TMR1_CC3 | 通道 3 捕获/比较寄存器 | 0x3C |
| TMR1_CC4 | 通道 4 捕获/比较寄存器 | 0x40 |
| TMR1_BDT | 刹车和死区寄存器 | 0x44 |
| TMR1_DCTRL | DMA 控制寄存器 | 0x48 |
| TMR1_DMADDR | 连续模式的 DMA 地址寄存器 | 0x4C |

## 13.6 寄存器功能描述

### 13.6.1 控制寄存器 1（TMR1_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CNTEN | R/W | 使能计数器（Counter Enable）<br>0：禁止<br>1：使能<br>定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。 |
| 1 | UD | R/W | 禁止更新（Update Disable）<br>更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。<br>0：允许更新事件（UEV）<br>更新事件可以由以下任一情况产生：<br>---- 计数器溢出/下溢；<br>---- 设置 UEG 位；<br>---- 从模式控制器产生的更新。<br>1：禁止更新事件 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2 | URSSEL | R/W | 更新请求源（Update Request Source Select）<br>如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。<br>0：计数器上溢或下溢；<br>设置 UEG 位；<br>通过从模式控制器产生的更新。<br>1：计数器上溢或下溢； |
| 3 | SPMEN | R/W | 使能单脉冲模式（Single Pulse Mode Enable）<br>产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。<br>0：禁用<br>1：使能 |
| 4 | CNTDIR | R/W | 配置计数器计数方向（Counter Direction）<br>当计数器配置为中央对齐模式或编码器模式时，该位为只读。<br>0：向上计数<br>1：向下计数 |
| 6:5 | CAMSEL | R/W | 选择中央对齐模式（Center Aligned Mode Select），<br>中央对齐模式下，计数器交替的向上向下计数；否则只向上或向下计数。不同的中央对齐模式，影响输出通道的输出比较中断标志位置 1 的时机；在计数器禁止时（CNTEN=0）时，选择中央对齐模式。<br>00：边沿对齐模式<br>01：中心对齐模式 1（在向下计数时，输出通道的输出比较中断标志位置 1）<br>10：中心对齐模式 2（在向上计数时，输出通道的输出比较中断标志位置 1）<br>11：中心对齐模式 3（在向上/下计数时，输出通道的输出比较中断标志位置 1） |
| 7 | ARPEN | R/W | TMR1_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）<br>禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。<br>0：禁止<br>1：使能 |
| 9:8 | CLKDIV | R/W | 时钟分频系数（Clock Division）<br>死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置该位可调整死区时间、数字滤波器的采用时钟。<br>00：$t_{DTS}=t_{CK_INT}$<br>01：$t_{DTS}=2\times t_{CK_INT}$<br>10：$t_{DTS}=4\times t_{CK_INT}$<br>11：保留 |
| 15:10 | 保留 | | |

### 13.6.2 控制寄存器 2（TMR1_CTRL2）

偏移地址：0x04

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CCPEN | R/W | 使能捕获/比较预装载（Capture/Compare Preloaded Enable）<br>该位影响 CCxEN、CCxNEN、OCxMOD 数值的改变，禁止预装载时，程序修改会立刻影响定时器的设置；使能预装载时，只在设置了 COMG 会后更新，从而影响定时器的设置；该位只在具有互补输出的通道起作用。<br>0：禁止<br>1：使能 |
| 1 | 保留 | | |
| 2 | CCUSEL | R/W | 选择捕获/比较控制更新（Capture/compare Control Update Select）<br>仅在捕获比较预装载使能（CCPEN=1）时，且只对互补输出通道才起作用。<br>0：只能通过设置 COMG 位更新<br>1：可以通过设置 COMG 位或者 TRGI 上的上升沿更新 |
| 3 | CCDSEL | R/W | 选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select）<br>0：当发生 CCx 事件时，送出 CCx 的 DMA 请求<br>1：当发生更新事件时，送出 CCx 的 DMA 请求 |
| 6:4 | MMSEL | R/W | 选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select）<br>工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的定时器工作，具体影响可从模式的定时器配置有关。<br>000：复位，主模式定时器的复位信号用于 TRGO<br>001：使能，主模式定时器的计数器使能信号用于 TRGO<br>010：更新，主模式定时器的更新事件用于 TRGO<br>011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO<br>100：比较模式 1，OC1REF 用于触发 TRGO<br>101：比较模式 2，OC2REF 用于触发 TRGO<br>110：比较模式 3，OC3REF 用于触发 TRGO<br>111：比较模式 4，OC4REF 用于触发 TRGO |
| 7 | TI1SEL | R/W | TI1 选择（Timer Input 1 Selection）<br>0：TMR1_CH1 引脚连到 TI1 输入<br>1：TMR1_CH1、TMR1_CH2 和 TMR1_CH3 引脚经异或后连到 TI1 输入 |
| 8 | OC1OIS | R/W | 配置 OC1 输出空闲状态（OC1 Output Idel State Configure）<br>仅在当 MOEN=0 时、实现了 OC1N，只影响 OC1 死区时间后的电平状态。<br>0：OC1=0<br>1：OC1=1<br>注：当 TMR1_BDT 寄存器中 LOCKCFG 位级别为 1、2 或 3 时，该位不能修改。 |
| 9 | OC1NOIS | R/W | 配置 OC1N 输出空闲状态（OC1N Output Idel State Configure）<br>仅在当 MOEN=0、实现了 OC1N，只影响 OC1N 死区时间后的电平状态。<br>0：OC1N=0<br>1：OC1N=1<br>注：当 TMR1_BDT 寄存器中 LOCKCFG 位级别为 1、2 或 3 时，该位不能修改。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 10 | OC2OIS | R/W | 配置 OC2 输出空闲状态。参考 OC1OIS 位的描述。 |
| 11 | OC2NOIS | R/W | 配置 OC2N 输出空闲状态。参考 OC1NOIS 位的描述。 |
| 12 | OC3OIS | R/W | 配置 OC3 输出空闲状态。参考 OC1OIS 位的描述。 |
| 13 | OC3NOIS | R/W | 配置 OC3N 输出空闲状态。参考 OC1NOIS 位的描述。 |
| 14 | OC4OIS | R/W | 配置 OC4 输出空闲状态。参考 OC1OIS 位的描述。 |
| 15 | 保留 | | |

### 13.6.3 从模式控制寄存器（TMR1_SMCTRL）

偏移地址：0x08

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | SMFSEL | R/W | 选择从模式功能（Slave Mode Function Select）<br>000：禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。<br>001：编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。<br>010：编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。<br>011：编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。<br>100：复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。<br>101：门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电 平信号时，继续工作；整个期间不复位计数器。<br>110：触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。<br>111：外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。 |
| 3 | OCCSEL | R/W | 选择 OCREF 信号清除源（OCREF Clear Source Select）<br>该位用来选择 OCREF 清除源。<br>0：OCREF_CLR<br>1：ETRF |
| 6:4 | TRGSEL | R/W | 选择触发输入信号（Trigger Input Signal Select）<br>为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。<br>000：内部触发 ITR0<br>001：保留<br>010：内部触发 ITR2<br>011：保留<br>100：通道 1 输入边沿检测器 TIF_ED<br>101：通道 1 滤波后定时器输入 TI1FP1<br>110：通道 2 滤波后的定时器输入 TI2FP2<br>111：外部触发输入（ETRF） |
| 7 | MSMEN | R/W | 使能主/从模式（Master/slave Mode Enable） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 0：无效<br>1：使能主/从模式 |
| 11:8 | ETFCFG | R/W | 配置外部触发滤波器（External Trigger Filter Configure）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8<br>0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5<br>1110：DIV=32，N=6<br>1111：DIV=32，N=8<br>采样频率=定时器时钟频率/DIV；滤波长度=N，每 N 个事件产生一个跳变。 |
| 13:12 | ETPCFG | R/W | 配置外部触发信号预分频器（External Trigger Prescaler Configure）<br>ETR（外部触发输入）的信号经过分频后为 ETRP，ETRP 的信号频率最多是 TMR1CLK 频率的 1/4；当 ETR 频率过高时，须经过分频降低 ETRP 的频率。<br>00：禁用预分频器；<br>01：ETR 信号 2 分频<br>10：ETR 信号 4 分频<br>11：ETR 信号 8 分频 |
| 14 | ECEN | R/W | 使能外部时钟模式 2（External Clock Enable Mode2）<br>0：禁止<br>1：使能<br>设置 ECEN 位与选择外部时钟模式 1 将 TRGI 连接到 ETRF 具有相同作用；从模式（复位、门控、触发）可以与外部时钟模式 2 同时使用，但此时 TRGI 不能连到 ETRF；当外部时钟模式 1 和外部时钟模式 2 同时使能时，外部时钟的输入是 ETRF。 |
| 15 | ETPOL | R/W | 配置外部触发极性（External Trigger Polarity Configure）<br>该位决定外部触发 ETR 是否反相。<br>0：外部触发 ETR 不反相，高电平或上升沿有效<br>1：外部触发 ETR 反相，低电平或下降沿有效 |

表格 44 TMR1 内部触发连接

| 从定时器 | ITR0（TS=000） | ITR2（TS=010） |
|---|---|---|
| TMR1 | TMR15 | TMR3 |

### 13.6.4 DMA/中断使能寄存器（TMR1_DIEN）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIEN | R/W | 使能更新中断（Update Interrupt Enable）<br>0：禁止<br>1：使能 |
| 1 | CC1IEN | R/W | 使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 2 | CC2IEN | R/W | 使能捕获/比较通道 2 中断（Capture/Campare Channel2 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 3 | CC3IEN | R/W | 使能捕获/比较通道 3 中断（Capture/Campare Channel3 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4 | CC4IEN | R/W | 使能捕获/比较通道 4 中断（Capture/Campare Channel4 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 5 | COMIEN | R/W | 使能 COM 中断（COM Interrupt Enable）<br>0：禁止<br>1：使能 |
| 6 | TRGIEN | R/W | 使能触发中断（Trigger Interrupt Enable）<br>0：禁止<br>1：使能 |
| 7 | BRKIEN | R/W | 使能刹车中断（Break Interrupt Enable）<br>0：禁止<br>1：使能 |
| 8 | UDIEN | R/W | 使能更新的 DMA 请求（Update DMA Request Enable）<br>0：禁止<br>1：使能 |
| 9 | CC1DEN | R/W | 使能捕获/比较通道 1 的 DMA 请求（Capture/Campare Channel1 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 10 | CC2DEN | R/W | 使能捕获/比较通道 2 的 DMA 请求（Capture/Campare Channel2 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 11 | CC3DEN | R/W | 使能捕获/比较通道 3 的 DMA 请求（Capture/Campare Channel3 DMA Request Enable）<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 12 | CC4DEN | R/W | 使能捕获/比较通道 4 的 DMA 请求（Capture/Campare Channel4 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 13 | COMDEN | R/W | 使能 COM 的 DMA 请求（COM DMA Request Enable）<br>0：禁止<br>1：使能 |
| 14 | TRGDEN | R/W | 使能触发 DMA 请求（Trigger DMA Request Enable）<br>0：禁止<br>1：使能 |
| 15 | 保留 | | |

### 13.6.5 状态寄存器（TMR1_STS）

偏移地址：0x10

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIFLG | RC_W0 | 产生更新事件中断标志位（Update Event Interrupt Generate Flag）<br>0：没有发生更新事件中断<br>1：发生更新事件中断<br>计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况：<br>（1）TMR1_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件；<br>（2）TMR1_CTRL1 寄存器的 URSSEL=0 和 UD=0，配置 TMR1_CEG 寄存器的 UEG=1 产生更新事件，需要通过软件初始化计数器；<br>（3）TMR1_CTRL1 寄存器的 URSSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。 |
| 1 | CC1IFLG | RC_W0 | 捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag）<br>**当捕获比较通道 1 配置为输出时：**<br>0：无匹配发生<br>1：TMR1_CNT 的值与 TMR1_CC1 的值相匹配<br>**当捕获比较通道 1 配置为输入时：**<br>0：没有发生输入捕获<br>1：发生输入捕获<br>捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMR1_CC1 寄存器时清 0。 |
| 2 | CC2IFLG | RC_W0 | 捕获/比较通道 2 中断标志（Captuer/Compare Channel2 Interrupt Flag）<br>参考 STS_CC1IFLG 的描述。 |
| 3 | CC3IFLG | RC_W0 | 捕获/比较通道 3 中断标志（Captuer/Compare Channel3 Interrupt Flag）<br>参考 STS_CC1IFLG 的描述。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 4 | CC4IFLG | RC_W0 | 捕获/比较通道 4 中断标志（Captuer/Compare Channel4 Interrupt Flag）<br>参考 STS_CC1IFLG 的描述。 |
| 5 | COMIFLG | RC_W0 | 产生 COM 事件中断标志（COM Event Interrupt Generate Flag）<br>0：无 COM 事件产生<br>1：COM 中断等待响应<br>产生 COM 事件后，该位由硬件置 1，软件清 0。 |
| 6 | TRGIFLG | RC_W0 | 产生触发事件中断标志（Trigger Event Interrupt Generate Flag）<br>0：没有发生触发事件中断<br>1：发生触发事件中断<br>发生触发事件时，该位由硬件置 1，软件清 0。 |
| 7 | BRKIFLG | RC_W0 | 产生刹车事件中断标志（Brake Event Interrupt Generate Flag）<br>0：没有发生刹车事件<br>1：发生刹车事件<br>刹车输入有效的情况下，该位由硬件置 1；无效的情况下，可以通过软件清 0。 |
| 8 | 保留 | | |
| 9 | CC1RCFLG | RC_W0 | 捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag）<br>0：没有发生重复捕获<br>1：发生重复捕获<br>计数器的值被捕获到 TMRx_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。 |
| 10 | CC2RCFLG | RC_W0 | 捕获/比较通道 2 重复捕获标志（Captuer/compare Channel2 Repetition Capture Flag）<br>参考 STS_CC1RCFLG 的描述。 |
| 11 | CC3RCFLG | RC_W0 | 捕获/比较通道 3 重复捕获标志（Captuer/compare Channel3 Repetition Capture Flag）<br>参考 STS_CC1RCFLG 的描述。 |
| 12 | CC4RCFLG | RC_W0 | 捕获/比较通道 4 重复捕获标志（Captuer/compare Channel4 Repetition Capture Flag）<br>参考 STS_CC1RCFLG 的描述。 |
| 15:13 | 保留 | | |

### 13.6.6 控制事件产生寄存器（TMR1_CEG）

偏移地址：0x14

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEG | W | 产生更新事件（Update Event Generate）<br>0：无效<br>1：初始化计数器，产生更新事件<br>此位由软件置 1，硬件清 0。<br>注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。 |
| 1 | CC1EG | W | 产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation）<br>0：无效<br>1：产生捕获/比较事件<br>该位由软件置 1，硬件自动清 0。<br>**如果通道 1 处于输出模式：**<br>当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。<br>**如果通道 1 处于输入模式：**<br>捕获计数器的值存储在 TMR1_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。 |
| 2 | CC2EG | W | 产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation）<br>参考 CC1EG 的描述。 |
| 3 | CC3EG | W | 产生捕获/比较通道 3 事件（Capture/Compare Channel3 Event Generation）<br>参考 CC1EG 的描述。 |
| 4 | CC4EG | W | 产生捕获/比较通道 4 事件（Capture/Compare Channel4 Event Generation）<br>参考 CC1EG 的描述。 |
| 5 | COMG | W | 产生捕获/比较控制更新事件（Capture/Compare Control Update Event Generate）<br>0：无效<br>1：产生捕获/比较更新事件<br>该位由软件置 1，硬件自动清 0。<br>注：COMG 位只有在互补输出的通道有效。 |
| 6 | TEG | W | 产生触发事件（Trigger Event Generate）<br>0：无效<br>1：产生触发事件<br>该位由软件置 1，硬件自动清 0。 |
| 7 | BEG | W | 产生刹车事件（Brake Event Generate）<br>0：无效<br>1：产生刹车事件<br>该位由软件置 1，硬件自动清 0。 |
| 15:8 | 保留 | | |

### 13.6.7 捕获/比较模式寄存器 1（TMR1_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能，寄存器中的 ICx 描述了通道在输入模式下的功能。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择捕获/比较通道 1（Capture/Compare Channel1 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>10：CC1 通道为输入，IC1 映射在 TI2 上<br>11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入<br>注：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 2 | OC1FEN | R/W | 快速使能输出比较通道 1（Output Compare Channel1 Fast Enable）<br>0：禁止<br>1：使能<br>该位用来提高捕获/比较输出对触发输入事件的响应。 |
| 3 | OC1PEN | R/W | 使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable）<br>0：禁止预装载功能，通过程序写入 TMR1_CC1 寄存器的数值，会马上起作用。<br>1：启用预装载功能，通过程序写入 TMR1_CC1 寄存器的数值，会在产生更新事件后起作用。<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。 |
| 6:4 | OC1MOD | R/W | 配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure）<br>000：冻结。输出比较对 OC1REF 无影响<br>001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 生匹配时，强制 OC1REF 为高电平<br>010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平<br>011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，转 OC1REF 的电平<br>100：强制输出为低。强制 OC1REF 为低电平<br>101：强制输出为高。强制 OC1REF 为高电平<br>110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之）<br>111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之）<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。 |
| 7 | OC1CEN | R/W | 使能输出比较通道 1 清除（Output Compare Channel1 Clear Enable）<br>0：OC1REF 不受 ETRF 输入影响。<br>1：检测到 ETRF 输入高电平时，OC1REF=0 |
| 9:8 | CC2SEL | R/W | 通道 2 模式选择（Capture/Compare Channel2 Select）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC2 通道为输出<br>01：CC2 通道为输入，IC2 映射在 TI2 上 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 10：CC2 通道为输入，IC2 映射在 TI1 上<br>11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC2EN=0 时）可写。 |
| 10 | OC2FEN | R/W | 快速使能输出比较通道 2（Output Compare Channel2 Preload Enable）<br>参考 OC1FEN 的描述。 |
| 11 | OC2PEN | R/W | 使能输出比较通道 2 缓冲（Output Compare Channel2 Buffer Enable）<br>参考 OC1PEN 的描述。 |
| 14:12 | OC2MOD | R/W | 输出比较通道 2 模式（Output Compare Channel1 Mode）<br>参考 OC1MOD 的描述。 |
| 15 | OC2CEN | R/W | 使能输出通道 2 比较清除（Output Compare Channel2 Clear Enable）<br>参考 OC1CEN 的描述。 |

**输入捕获模式:**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择输入/捕获通道 1（Capture/Compare Channel1 Select）<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>10：CC1 通道为输入，IC1 映射在 TI2 上<br>11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 3:2 | IC1PSC | R/W | 配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure）<br>00：PSC=1<br>01：PSC=2<br>10：PSC=4<br>11：PSC=8<br>PSC 是预分频因子，每 PSC 个事件触发一次捕获。 |
| 7:4 | IC1F | R/W | 配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8<br>0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5<br>1110：DIV=32，N=6<br>1111：DIV=32，N=8 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。 |
| 9:8 | CC2SEL | R/W | 选择捕获/比较通道 2（Capture/Compare Channel2 Select）<br>00：CC2 通道为输出<br>01：CC2 通道为输入，IC2 映射在 TI2 上<br>10：CC2 通道为输入，IC2 映射在 TI1 上<br>11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC2EN=0 时）可写。 |
| 11:10 | IC2PSC | R/W | 配置输入捕获通道 2 预分频因子（（Input Capture Channel2 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 15:12 | IC2F | R/W | 配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）<br>参考 IC1F 的描述。 |

### 13.6.8 捕获/比较模式寄存器 2 （TMR1_CCM2）

偏移地址：0x1C

复位值：0x0000

参看以上 CCM1 寄存器的描述。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC3SEL | R/W | 选择捕获/比较通道 3（Capture/Compare Channel1 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC3 通道为输出<br>01：CC3 通道为输入，IC3 映射在 TI3 上<br>10：CC3 通道为输入，IC3 映射在 TI4 上<br>11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC3EN=0 时）可写。 |
| 2 | OC3FEN | R/W | 快速使能输出比较通道 3（Output Compare Channel3 Fast Enable）<br>参考 OC1FEN 的描述。 |
| 3 | OC3PEN | R/W | 使能输出比较通道 3 预装载（Output Compare Channel3 Preload Enable）<br>参考 OC1PEN 的描述。 |
| 6:4 | OC3MOD | R/W | 配置输出比较通道 3 模式（Output Compare Channel3 Mode Configure）<br>参考 OC1MOD 的描述。 |
| 7 | OC3CEN | R/W | 使能输出比较通道 3 清除（Output Compare Channel3 Clear Enable）<br>参考 OC1CEN 的描述。 |
| 9:8 | CC4SEL | R/W | 选择通道 4 模式（Capture/compare Channel4 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC4 通道为输出<br>01：CC4 通道为输入，IC4 映射在 TI4 上<br>10：CC4 通道为输入，IC4 映射在 TI3 上<br>11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC4EN=0 时）可写。 |
| 10 | OC4FEN | R/W | 快速使能输出比较通道 4（Output Compare Channel4 Preload Enable）<br>参考 OC1FEN 的描述。 |
| 11 | OC4PEN | R/W | 使能输出比较通道 4 缓冲（Output Compare Channel4 Buffer Enable）<br>参考 OC1PEN 的描述。 |
| 14:12 | OC4MOD | R/W | 配置输出比较通道 4 模式（Output Compare Channel4 Mode Configure）<br>参考 OC1MOD 的描述。 |
| 15 | OC4CEN | R/W | 使能输出通道 4 比较清除（Output Compare Channel4 Clear Enable）<br>参考 OC1CEN 的描述。 |

**输入捕获模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC3SEL | R/W | 选择输入/捕获通道 3（Capture/Compare Channel3 Select）<br>00：CC3 通道为输出<br>01：CC3 通道为输入，IC3 映射在 TI3 上<br>10：CC3 通道为输入，IC3 映射在 TI4 上<br>11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC3EN=0 时）可写。 |
| 3:2 | IC3PSC | R/W | 配置输入捕获通道 3 预分频因子（Input Capture Channel3 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 7:4 | IC3F | R/W | 配置输入捕获通道 3 滤波器（Input Capture Channel3 Filter Configuration）<br>参考 IC1F 的描述。 |
| 9:8 | CC4SEL | R/W | 选择捕获/比较通道 4（Capture/Compare Channel4 Select）<br>00：CC4 通道为输出<br>01：CC4 通道为输入，IC4 映射在 TI4 上<br>10：CC4 通道为输入，IC4 映射在 TI3 上<br>11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR1_CCEN 寄存器的 CC4EN=0 时）可写。 |
| 11:10 | IC4PSC | R/W | 配置输入捕获通道 4 预分频因子（（Input Capture Channel4 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 15:12 | IC4F | R/W | 配置输入捕获通道 4 滤波器（Input Capture Channel4 Filter Configuration）<br>参考 IC1F 的描述。 |

### 13.6.9 捕获/比较使能寄存器（TMR1_CCEN）

偏移地址：0x20

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CC1EN | R/W | 使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable）<br>**捕获/比较通道 1 配置为输出时：**<br>0：禁止输出<br>1：开启输出<br>**捕获/比较通道 1 配置为输入时：**<br>该位决定了计数器的值 CNT 是否能捕获进入 TMR1_CC1 寄存器中<br>0：禁止捕获<br>1：开启捕获 |
| 1 | CC1POL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>0：OC1 高电平有效<br>1：OC1 低电平有效<br>**CC1 通道配置为输入时：**<br>CC11POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性<br>00：不反相/上升沿：<br>TIxFP1 不反相（门控、编码器模式下触发），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>01：反相/下降沿：<br>TIxFP1 反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>10：保留<br>11：不反相/上升和下降沿：<br>TIxFP1 不反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 |
| 2 | CC1NEN | R/W | 使能捕获/比较通道 1 互补输出（Capture/Compare Channel1 Complementary Output Enable）<br>0：禁止<br>1：开启 |
| 3 | CC1NPOL | R/W | 捕获/比较通道 1 互补输出极性（Capture/Compare Channel1 Complementary Output Polarity）<br>**CC1 通道配置为输出时：**<br>0：OC1N 高电平有效<br>1：OC1N 低电平有效<br>**CC1 通道配置为输入时：**<br>该位与 CC1POL 一起定义 TI1FP1 和 TI2FP1 的极性。<br>注：<br>（1） 在互补输出的通道上，该位是预装载的，如果 TMR1_CTRL2 的 CCPEN=1，CC1NPOL 只有生成换向事件时才能从预加载位中获取新值。<br>（2） 当保护级别为 2 或者 3 时，该位不能被修改。 |
| 4 | CC2EN | R/W | 使能捕获/比较通道 2 输出（Capture/Compare Channel2 Output Enable）<br>参考 CC1EN 的描述。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 5 | CC2POL | R/W | 配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure）<br>参考 CC1POL 的描述。 |
| 6 | CC2NEN | R/W | 使能捕获/比较通道 2 互补输出（Capture/Compare Channel2 Complementary Output Enable）<br>参考 CC1NEN 的描述。 |
| 7 | CC2NPOL | R/W | 配置捕获/比较通道 2 互补输出极性（Capture/Compare Channel2 Complementary Output Polarity Configure）<br>参考 CC1NPOL 的描述。 |
| 8 | CC3EN | R/W | 使能捕获/比较通道 3 输出（Capture/Compare Channel3 Output Enable）<br>参考 CC1EN 的描述。 |
| 9 | CC3POL | R/W | 配置捕获/比较通道 3 输出极性（Capture/Compare Channel3 Output Polarity Configure）<br>参考 CC1POL 的描述。 |
| 10 | CC3NEN | R/W | 使能捕获/比较通道 3 互补输出（Capture/Compare Channel3 Complementary Output Enable）<br>参考 CC1NEN 的描述。 |
| 11 | CC3NPOL | R/W | 配置捕获/比较通道 3 互补输出极性（Capture/Compare Channel3 Complementary Output Polarity Configure）<br>参考 CC1NPOL 的描述。 |
| 12 | CC4EN | R/W | 使能捕获/比较通道 4 输出（Capture/Compare Channel4 Output Enable）<br>参考 CC1EN 的描述。 |
| 13 | CC4POL | R/W | 捕获/比较通道 4 输出极性（Capture/Compare Channel4 Output Polarity）<br>参考 CC1POL 的描述。 |
| 15:14 | 保留 | | |

### 13.6.10 计数器寄存器（TMR1_CNT）

偏移地址：0x24

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CNT | R/W | 当前计数器数值（Counter Value） |

### 13.6.11 预分频寄存器（TMR1_PSC）

偏移地址：0x28

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | PSC | R/W | 预分频器数值（Prescaler Value）<br>计数器的时钟频率（CK_CNT）＝$f_{CK_PSC}$/（PSC+1） |

### 13.6.12 自动重装载寄存器（TMR1_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | AUTORLD | R/W | 自动重装载数值（Auto Reload Value）<br>自动重装载的值为空时，计数器不进行计数。 |

### 13.6.13 重复计数寄存器（TMR1_REPCNT）

偏移地址：0x30

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | REPCNT | R/W | 重复计数数值（Repetition Counter Value）<br>当重复计数器计数值减为 0 时产生更新事件，计数器重新从 REPCNT 数值开始计数；新写入该寄存器的新值只有在下次周期更新事件发生时才有效。 |
| 15:8 | 保留 | | |

### 13.6.14 通道 1 捕获/比较寄存器（TMR1_CC1）

偏移地址：0x34

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC1 | R/W | 捕获/比较通道 1 数值（Capture/Compare Channel1 Value）<br>**捕获/比较通道 1 配置为输入模式：**<br>CC1 包含上次输入捕获通道 1 事件传输的计数器数值。<br>**捕获/比较通道 1 配置为输出模式：**<br>CC1 包含了当前装入捕获/比较寄存器数值<br>捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。<br>当输出比较预装载禁止（TMR1_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果；<br>当 T 输出比较预装载使能（TMR1_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。 |

### 13.6.15 通道 2 捕获/比较寄存器（TMR1_CC2）

偏移地址：0x38

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC2 | R/W | 捕获/比较通道 2 数值（Capture/Compare Channel2 Value）<br>参考 TMR1_CC1 的描述。 |

### 13.6.16 通道 3 捕获/比较寄存器（TMR1_CC3）

偏移地址：0x3C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC3 | R/W | 捕获/比较通道 3 数值（Capture/Compare Channel3 Value）<br>参考 TMR1_CC1 的描述。 |

### 13.6.17 通道 4 捕获/比较寄存器（TMR1_CC4）

偏移地址：0x40

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC4 | R/W | 捕获/比较通道 4 数值（Capture/Compare Channel4 Value）<br>参考 TMR1_CC1 的描述。 |

### 13.6.18 刹车和死区寄存器（TMR1_BDT）

偏移地址：0x44

复位值：0x0000

注：根据锁定设置，AOEN、BRKPOL、BRKEN、IMOS、RMOS 和 DTS[7:0]位均可被写保护，有必要在第一次写入 TMR1_BDT 寄存器时对它们进行配置。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | DTS | R/W | 设置互补输出通道的死区持续时间（Dead Time Setup）<br>DT 为死区持续时间，DT 与寄存器 DTS 的关系如下：<br>DTS[7:5]=0xx=>DT=DTS[7:0]×$T_{DTS}$，$T_{DTS}$=TDTS；<br>DTS[7:5]=10x=>DT=（64+DTS[5:0]）×$T_{DTS}$，$T_{DTS}$=2×$T_{DTS}$；<br>DTS[7:5]=110=>DT=（32+DTS[4:0]）×$T_{DTS}$，$T_{DTS}$=8×$T_{DTS}$；<br>DTS[7:5]=111=>DT=（32+DTS[4:0]）×$T_{DTS}$，$T_{DTS}$=16×$T_{DTS}$；<br>例：假设 $T_{DTS}$=125ns（8MHZ），死区时间设置如下：<br>若步长时间为 125ns，可设置死区时间范围是 0 到 15875ns；<br>若步长时间为 250ns，可设置死区时间范围是 16us 到 31750ns；<br>若步长时间为 1us，可设置死区时间范围是 32us 到 63us；<br>若步长时间为 2us，可设置死区时间范围是 64us 到 126us。<br>注：一旦 LOCK 级别（TMR1_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。 |
| 9:8 | LOCKCFG | R/W | 配置锁定写保护模式（Lock Write Protection Mode Configuration）<br>00：无锁定写保护，可直接写寄存器<br>01：锁定写保护级别 1<br>不能写入 TMR1_BDT 的 DTS、BRKEN、BRKPOL、AOEN 位和 TMR1_CTRL2 寄存器的 OCxOIS 和 OCxNOIS 位。<br>10：锁定写保护级别保护级别 2<br>不能写入保护级别 1 的所有位，也不能写入 TMRx_CCEN 寄存器中的 CCxPOL 和 OCxNPOL 位、TMR1_BDT 寄存器的 RMOS 和 IMOS 位。<br>11：锁定写保护级别保护级别 3<br>不能写入保护级别 2 的所有位，也不能写入 TMR1_CCMx 的寄存器的 OCxMOD 和 OCxPEN 位。<br>注意：在系统复位后，只能写一次锁定写保护位。 |
| 10 | IMOS | R/W | 配置空闲模式下的关闭状态（Idle Mode Off-state Configure）<br>空闲模式指 MOEN=0，关闭是指 CCxEN=0；该位描述的是在 MOEN=0，CCxEN 由 0 变为 1，配置该位不同的数值，对输出波形的影响。<br>0：禁止 OCx/OCxN 输出<br>1：若 CCxEN=1，先在死区期间输出无效电平（具体电平数值受极性配置影响），在死区结束后，输出空闲电平。 |
| 11 | RMOS | R/W | 配置运行模式下的关闭状态（Run Mode Off-state Configure）<br>运行模式指 MOEN=1，关闭是指 CCxEN=0；该位描述的是在 MOEN=1，CCxEN 由 0 变为 1 时，配置该位不同的数值，对输出波形的影响。<br>0：禁止 OCx/OCxN 输出<br>1：OCx/OCxN 先输出无效电平（具体电平数值受极性配置影响） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 12 | BRKEN | R/W | 使能刹车功能（Brake Function Enable）<br>0：禁止<br>1：使能<br>注：当保护级别为 1 时，该位不能修改。 |
| 13 | BRKPOL | R/W | 配置刹车输入极性（Brake Polarity Configure）<br>0：刹车输入 BRK 在低电平有效<br>1：刹车输入 BRK 在高电平有效<br>注：当保护级别为 1 时，该位不能被修改。对该位的写操作需要一个 APB 时钟延迟后才能使用。 |
| 14 | AOEN | R/W | 使能自动输出（Automatic Output Enable）<br>0：MOEN 只能被软件置 1<br>1：MOEN 可以被软件置 1 或者在下一个更新事件时自动值置 1（刹车输入无效）<br>注：当保护级别为 1 时，该位不能修改。 |
| 15 | MOEN | R/W | 使能波形主输出（Wave Main Output Enable）<br>0：禁止 OCx 和 OCxN 输出或者强制输出空闲状态<br>1：当设置了 TMR1_CCEN 寄存器的 CCxEN 和 CCxNEN 位，开启 OCx 和 OCxN 输出<br>刹车输入有效时硬件异步清 0。<br>注：由软件置 1 还是自动置 1 取决于 TMR1_BDT 寄存器的 AOEN 位。 |

### 13.6.19 DMA 控制寄存器（TMR1_DCTRL）

偏移地址：0x48

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 4:0 | DBADDR | R/W | 设置 DMA 基地址（DMA Base Address Setup）<br>这些位定义了 DMA 在连续模式下的基地址（当对 TMR1_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMR1_CTRL1 寄存器所在地址开始的偏移量：<br>00000：TMR1_CTRL1<br>00001：TMR1_CTRL2<br>00010：TMR1_SMCTRL<br>……. |
| 7:5 | 保留 | | |
| 12:8 | DBLEN | R/W | 设置 DMA 突发传送长度（DMA Burst Transfer Length Setup）<br>这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。<br>当读写 TMR1_DMADDR 寄存器时，定时器进行一次连续传输传送；<br>00000：1 次传输<br>00001：2 次传输<br>00010：3 次传输<br>……<br>10001：18 次传输<br>**传输的地址公式如下：**<br>传输的地址=TMR1_CTRL1 的地址（从地址）+DBADDR+DMA 索引；<br>DMA 索引=DBLEN |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 例如：DBLEN=7，DBADDR=TMR2_CTRL1（从地址）表示待传输数据的地址，则 TMR1_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址，<br>数据的传输将发生在：TMR1_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。<br>根据设置的 DMA 数据长度不同，数据传输也会发生变化：<br>(1) 当传输数据设置为 16 位时，数据会传输给 7 个寄存器<br>(2) 当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。 |
| 15:13 | 保留 | | |

### 13.6.20 连续模式的 DMA 地址寄存器（TMR1_DMADDR）

偏移地址：0x4C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | DMADDR | R/W | DMA 突发传送寄存器（DMA Register for Burst Transfer）<br>TMR1_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作：<br>TMR1_CTRL1 地址+（DBADDR+DMA 索引）×4<br>其中：<br>“TMR1_CTRL1 地址”是控制寄存器 1（TMR1_CTRL1）所在的地址；<br>“DBADDR”是 TMR1_DCTRL 寄存器中定义的基地址；<br>“DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMR1_DCTRL 寄存器中定义的 DBLEN。 |

# 14 通用定时器（TMR3）

## 14.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 16 位的自动重装载计数器（实现向上、向下和中央对齐计数）。

定时器和定时器之间是相互独立的，它们可以实现同步和级联。

## 14.2 主要特征

（1） 时基单元
- 计数器：16 位计数器，可以向上、向下和中央对齐计数。
- 预分频器：16 位可编程预分频器
- 自动重装载功能

（2） 时钟源选择
- 内部时钟
- 外部输入
- 外部触发
- 内部触发

（3） 输入捕获功能
- 计数功能
- PWM 输入
- 编码器接口模式

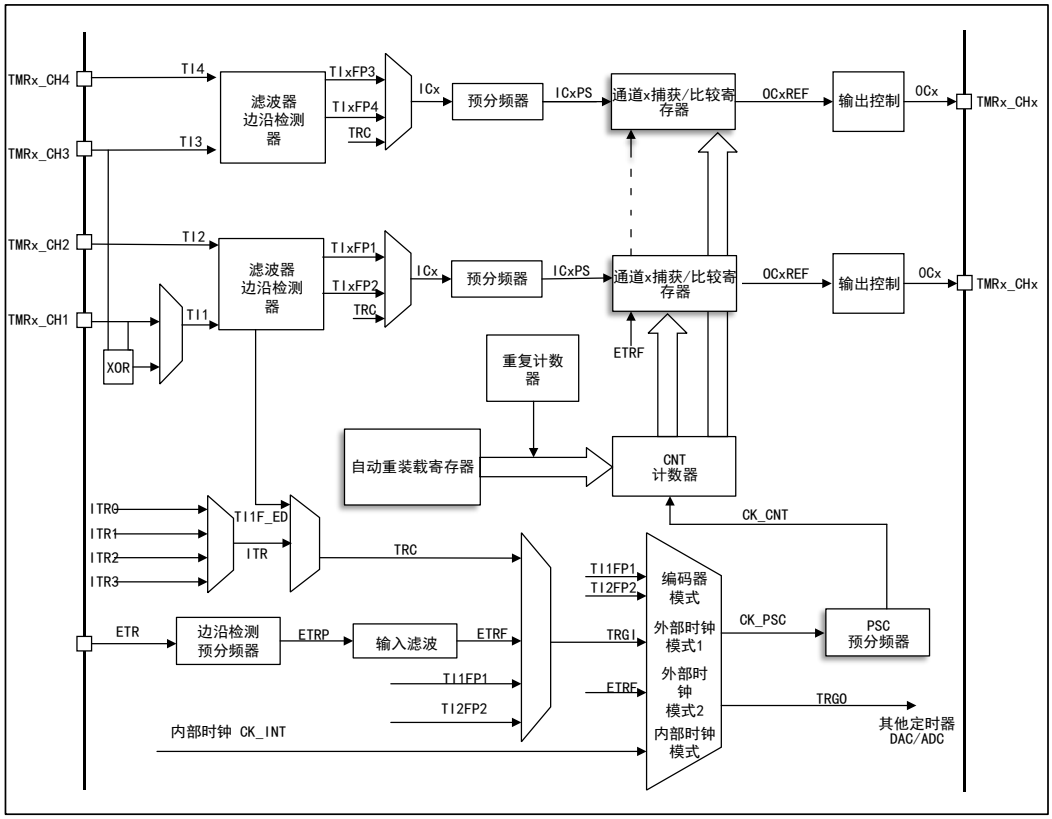
（4） 输出比较功能
- PWM 输出模式
- 强制输出模式
- 单脉冲模式

（5） 定时器的主/从模式控制器
- 定时器之间可以同步和级联
- 支持多种从模式、同步信号

（6） 中断和 DMA 请求事件
- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 输入捕获
- 输出比较

## 14.3 结构框图

图 43 通用定时器结构框图




## 14.4 功能描述

### 14.4.1 时钟源选择

通用定时器一共有四种时钟源

#### 内部时钟

是来自 RCM 的 TMR3_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

#### 外部时钟模式 1

来自定时器自身的输入通道 TI1/2/3/4，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 TI1F_ED 信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

#### 外部时钟模式 2

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发

输入选择器，连接到从模式控制器，从而控制计数器的工作。

#### 内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

### 14.4.2 时基单元

通用定时器里的时基单元包含三个寄存器

- 计数器寄存器（CNT）16 位
- 自动重装载寄存器（AUTORLD）16 位
- 预分频器（PSC）16 位

#### 计数器 CNT

通用定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

#### 向上计数模式

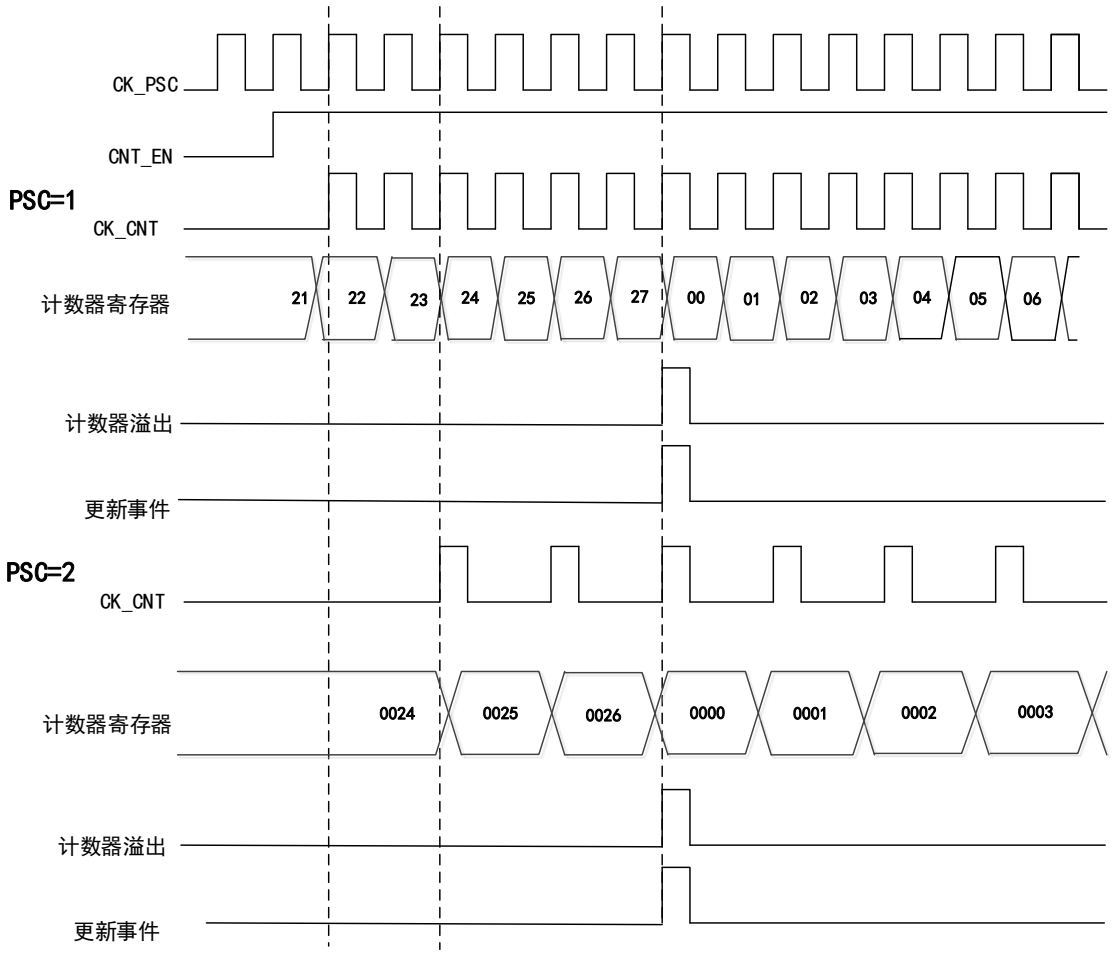
通过配置控制寄存器（TMR3_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMR3_CNT）值与自动重装载（TMR3_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMR3_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 TMR3_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 44 向上计数模式下，分频因子为 1 或 2 的时序图



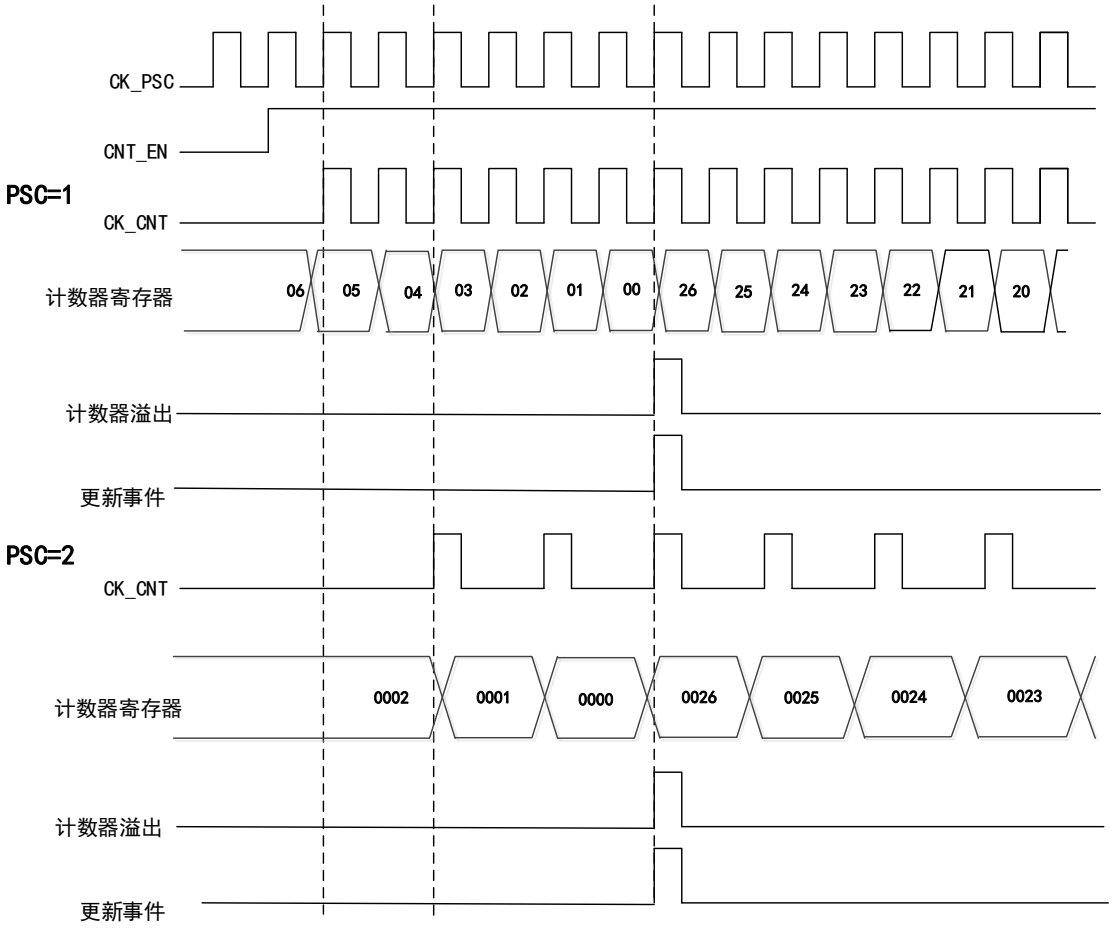

### 向下计数模式

通过配置控制寄存器（TMR3_CTRL1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重装载的值（TMR3_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（TMR3_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重装载的值（TMR3_AUTORLD）是提前写入的。

计数器溢出时，会产生更新事件，此时，自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 TMR3_CTRL1 寄存器中的 UD 位，禁止更新事件。

图 45 向下计数模式下，分频因子为 1 或 2 的时序图

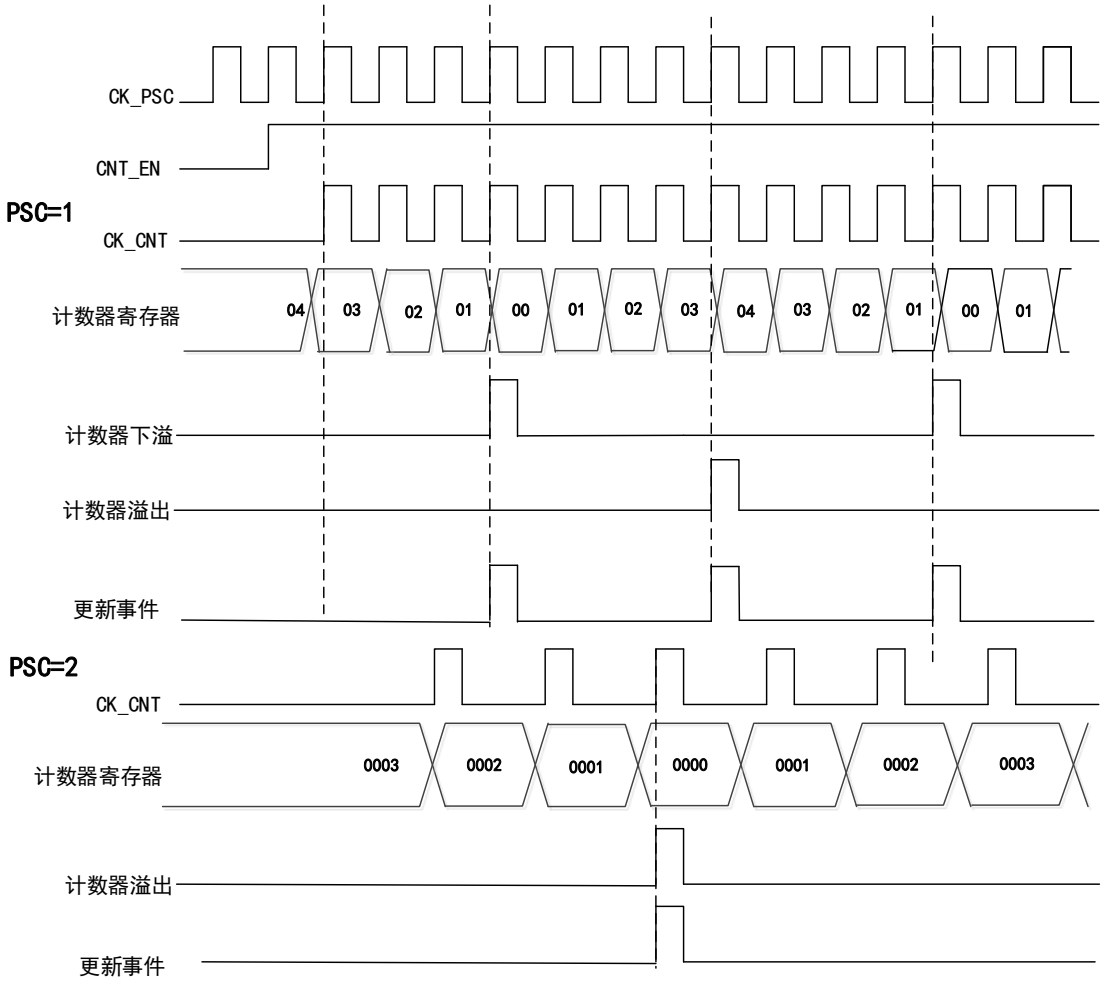



### 中央对齐模式

通过配置控制寄存器（TMR3_CTRL1）中的 CNTDIR 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重装载的值（TMR3_AUTORLD），然后从自动重装载的值（TMR3_AUTORLD）再向下计数到 0，以此往复；在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件；在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

图 46 中央对齐模式下，分频因子为 1 或 2 的时序图




### 预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMR3_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

## 14.4.3 输入捕获

### 输入捕获通道

通用定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1/2/3/4 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

**输入捕获应用**

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMR3_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMR3_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

### 14.4.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM1 和 PWM2 模式，由 TMR3_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

**输出比较应用**

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMR3_CCMx 寄存器中的 OCxMOD 位和输出极性 TMR3_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMR3_STS 寄存器中的 CCxIFLG=1 时，如果 TMR3_DIEN 寄存器中的 CCxIEN=1 产生中断；TMR3_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

### 14.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM1 模式下的时序图。

图 47 PWM1 向上计数模式的时序图

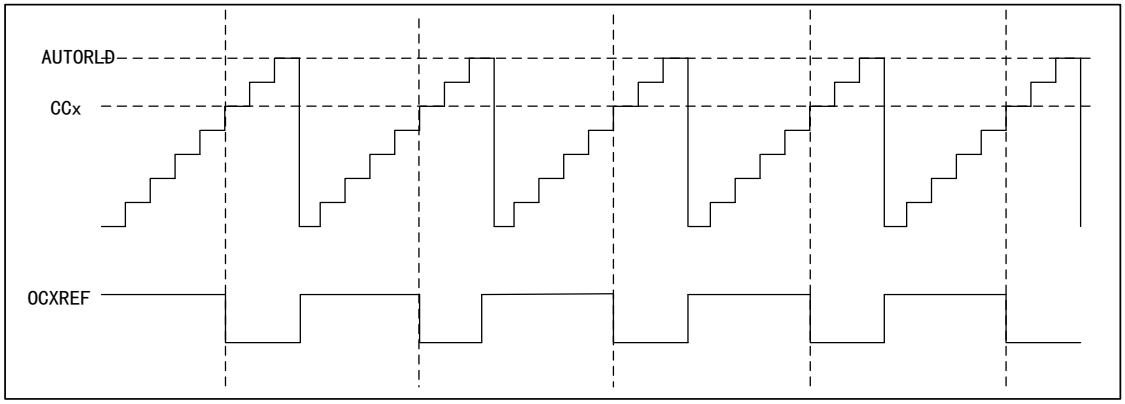



图 48 PWM1 向下计数模式的时序图

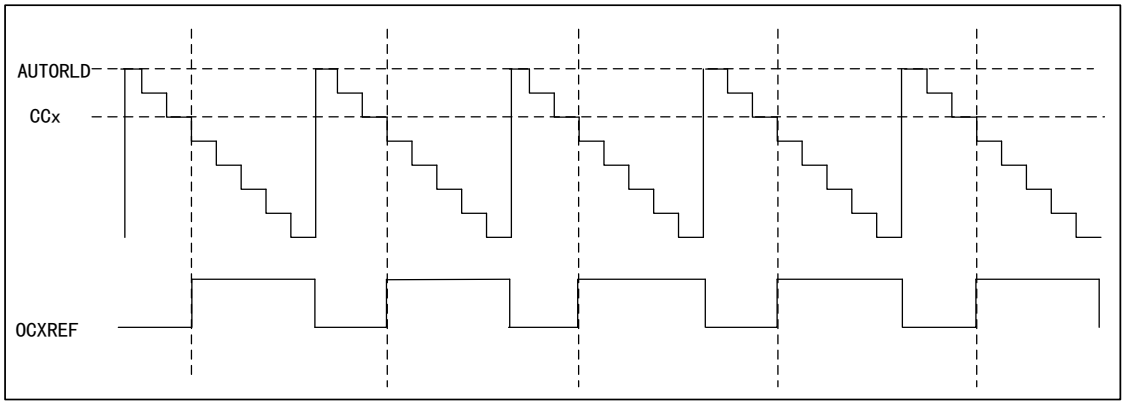
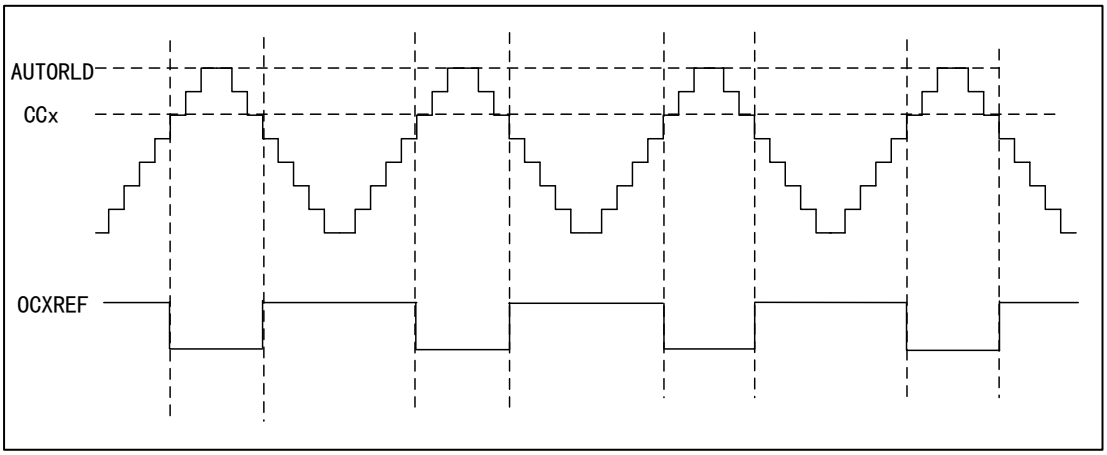



图 49 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM2 模式下的时序图。

图 50 PWM2 向上计数模式的时序图

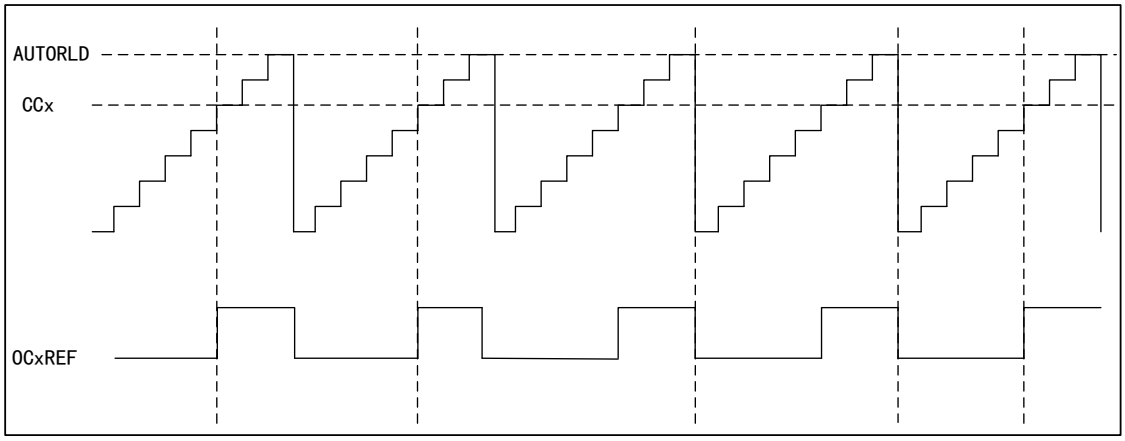



图 51 PWM2 向下计数模式的时序图

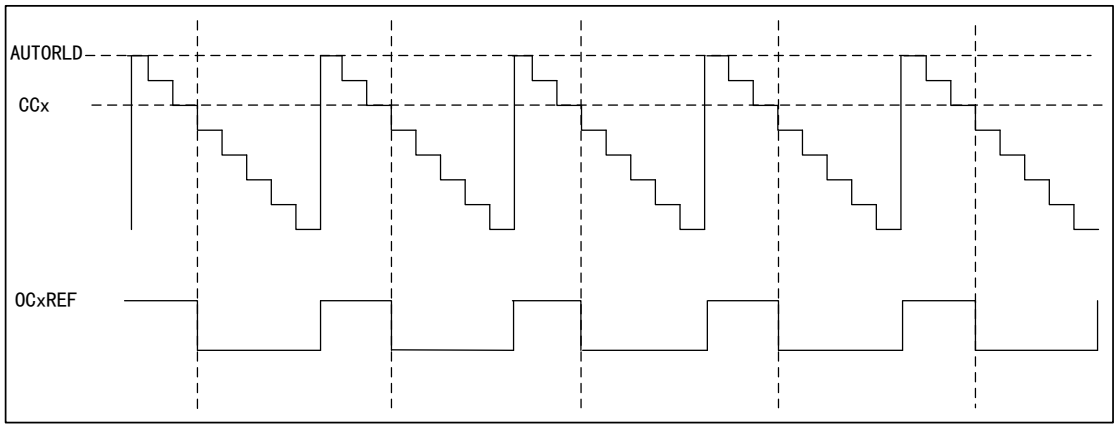
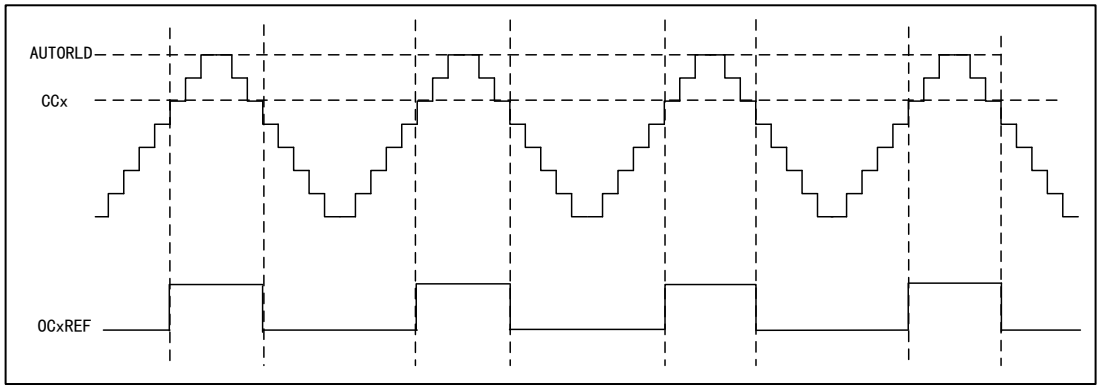



图 52 PWM2 中央对齐模式的时序图



### 14.4.6 PWM 输入模式

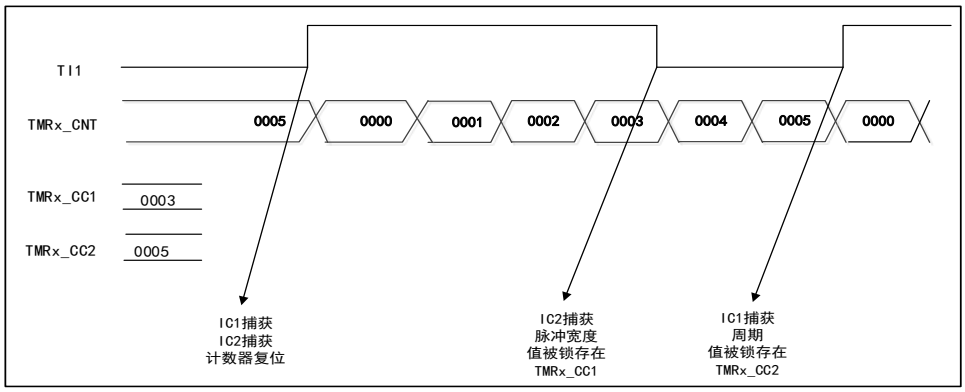
PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMR3_CH1 和 TMR3_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMR3_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比。在配置中只需设置其中一路的极性，另一路会自动配置会相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMR3_SMCTRL 寄存器的 SMFSEL 位）。

图 53 PWM 输入模式时序图



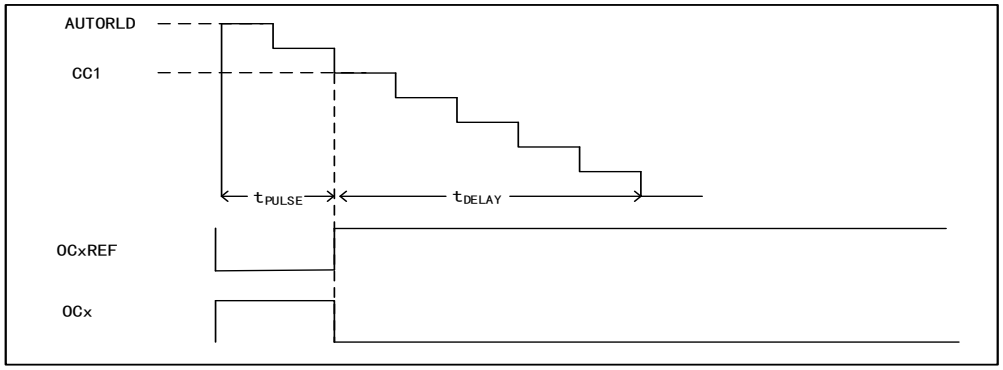

### 14.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMR3_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMR3_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD－CCx；在减计数模式下延时时间为 AUTORLD－CCx，脉冲宽度为 CCx。

图 54 单脉冲模式下的时序图



### 14.4.8 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMR3_CCMx 寄存器的 CCxSEL=00，设定 CCx 通道为输出
- TMR3_CCMx 寄存器的 OCxMOD=100/101，设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

### 14.4.9 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计时器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 TMR3_SMCTRL 寄存器的 SMFSEL 位，可以设定计数器是在 TI1 通道/TI2 通道边沿计数，或者同时在 TI1 和 TI2 的边沿计数。
- 通过设置 TMR3_CCEN 寄存器中的 CC1POL 和 CC2POL 位，可以选择 TI1 和 TI2 的极性。
- 通过设置 TMR3_CCM1 寄存器中的 IC1F 和 IC2F 位，可以选择是否进行滤波。

两个输入 TI1 和 TI2 可以作为增量编码器的接口，计数器由在 TI1 和 TI2 经过滤波和边沿选择后的信号 TI1FP1 和 TI2FP2 的有效跳变驱动。

根据 TI1 和 TI2 的输入信号，产生计数脉冲和方向信号：

- 根据输入信号的跳变顺序,计数器会向上/向下计数
- 将控制寄存器 TMR3_CTRL1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）

计数器计数方向改变机制如下表：

表格 45 计数方向与编码器的关系

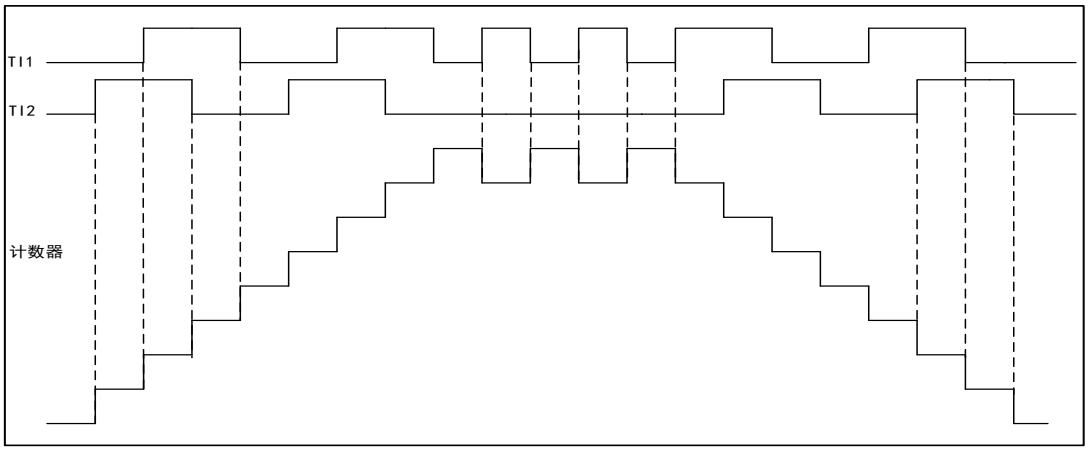
| **有效边沿** | | **仅在 TI1 计数** | | **仅在 TI2 计数** | | **在 TI1 和 TI2 计数** | |
|---|---|---|---|---|---|---|---|
| 相对信号的电平 | | 高 | 低 | 高 | 低 | 高 | 低 |
| TI1FP1 | 上升沿 | 向下计数 | 向上计数 | | | 向下计数 | 向上计数 |
| | 下降沿 | 向上计数 | 向下计数 | | | 向上计数 | 向下计数 |
| TI2FP2 | 上升沿 | | | 向上计数 | 向下计数 | 向上计数 | 向下计数 |
| | 下降沿 | | | 向下计数 | 向上计数 | 向下计数 | 向上计数 |

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中：

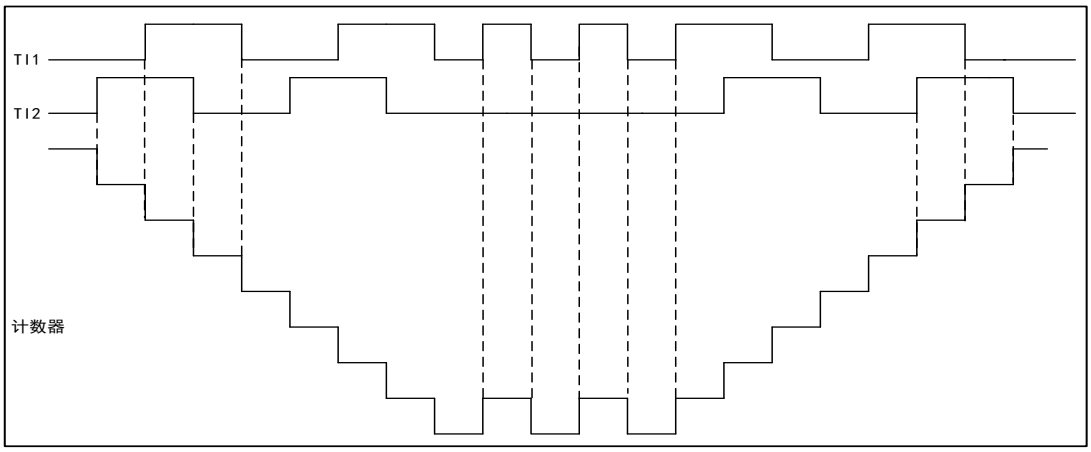
- 将 TI1FP1 映射到 TI1
- 将 TI2FP2 映射到 TI2
- TI1FP1 和 TI2FP2 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 55 编码器模式下的计数器操作实例




例如：当 TI1 处在低电平时，如果 TI2 出现上升沿状态，计数器向上计数。

图 56 TI1FP1 反相的编码器接口模式实例




例如：当 TI1 处于低电平时，TI2 发生上升沿跳变，计数器向下计数。

### 14.4.10 从模式

TMR3 定时器可以进行外部的触发同步：

- 复位模式
- 门控模式
- 触发模式

可设置 TMR3_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式。

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

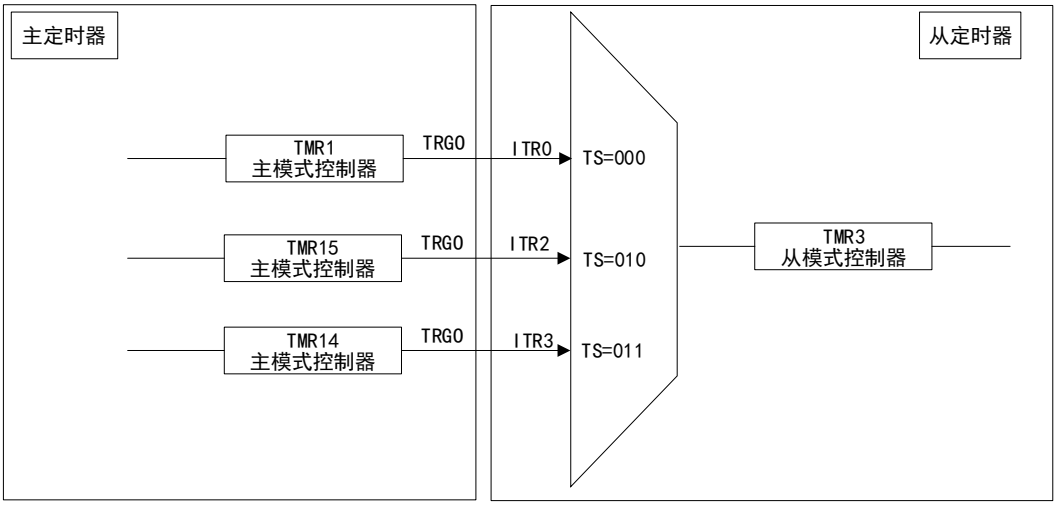
触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

### 14.4.11 定时器互连

TMR3 定时器可以实现定时器之间的同步或级联。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

图 57 TMR3 主/从模式的例子




注意：TMR14 内部连接的触发信号为 TMR14_CH1。

在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

### 14.4.12 中断和 DMA 请求

定时器在工作时产生事件时会发生中断：

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

### 14.4.13 在外部事件时清除 OCxREF 信号

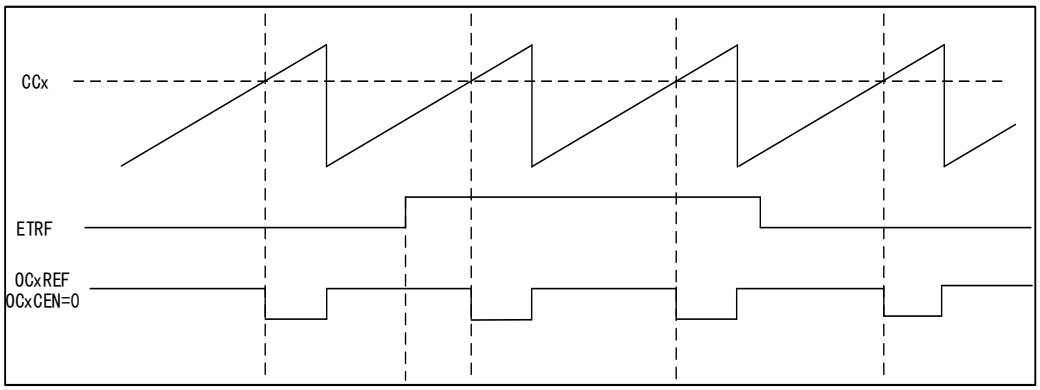
此功能是用于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕

获/比较寄存器 TMR3_CCMx 中的 OCxCEN 的位置 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

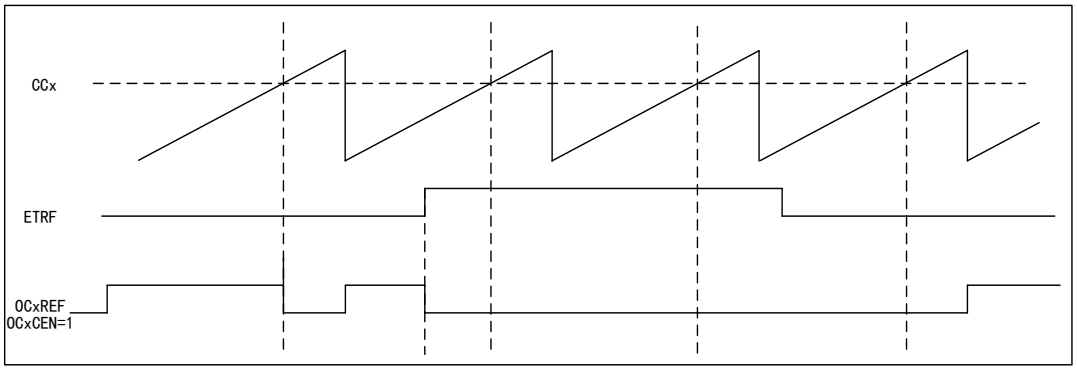
将 TMR3 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 58 OCxREF 时序图




将 TMR3 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 59 OCxREF 时序图




## 14.5 寄存器地址映射

下表中将通用定时器 TMR3 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 46 TMR3 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR3_CTRL1 | 控制寄存器 1 | 0x00 |
| TMR3_CTRL2 | 控制寄存器 2 | 0x04 |
| TMR3_SMCTRL | 从模式控制寄存器 | 0x08 |
| TMR3_DIEN | DMA/中断使能寄存器 | 0x0C |
| TMR3_STS | 状态寄存器 | 0x10 |

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR3_CEG | 控制事件产生寄存器 | 0x14 |
| TMR3_CCM1 | 捕获/比较模式寄存器 1 | 0x18 |
| TMR3_CCM2 | 捕获/比较模式寄存器 2 | 0x1C |
| TMR3_CCEN | 捕获/比较使能寄存器 | 0x20 |
| TMR3_CNT | 计数器寄存器 | 0x24 |
| TMR3_PSC | 预分频寄存器 | 0x28 |
| TMR3_AUTORLD | 自动重装载寄存器 | 0x2C |
| TMR3_CC1 | 通道 1 捕获/比较寄存器 | 0x34 |
| TMR3_CC2 | 通道 2 捕获/比较寄存器 | 0x38 |
| TMR3_CC3 | 通道 3 捕获/比较寄存器 | 0x3C |
| TMR3_CC4 | 通道 4 捕获/比较寄存器 | 0x40 |
| TMR3_DCTRL | DMA 控制寄存器 | 0x48 |
| TMR3_DMADDR | 连续模式的 DMA 地址寄存器 | 0x4C |

## 14.6 寄存器功能描述

### 14.6.1 控制寄存器 1（TMR3_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CNTEN | R/W | 使能计数器（Counter Enable）<br>0：禁止<br>1：使能<br>定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。 |
| 1 | UD | R/W | 禁止更新（Update Disable）<br>更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。<br>0：允许更新事件（UEV）<br>更新事件可以由以下任一情况产生：<br>计数器溢出/下溢；<br>设置 UEG 位；<br>从模式控制器产生的更新。<br>1：禁止更新事件 |
| 2 | URSSEL | R/W | 更新请求源（Update Request Source Select）<br>如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。<br>0：计数器上溢或下溢<br>设置 UEG 位<br>通过从模式控制器产生的更新<br>1：计数器上溢或下溢 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3 | SPMEN | R/W | 使能单脉冲模式（Single Pulse Mode Enable）<br>产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。<br>0：禁用<br>1：使能 |
| 4 | CNTDIR | R/W | 配置计数器计数方向（Counter Direction）<br>当计数器配置为中央对齐模式或编码器模式时，该位为只读。<br>0：向上计数<br>1：向下计数 |
| 6:5 | CAMSEL | R/W | 选择中央对齐模式（Center Aligned Mode Select），<br>中央对齐模式下，计数器交替的向上向下计数；否则只向上或向下计数。不同的中央对齐模式，影响输出通道的输出比较中断标志位置 1 的时机；在计数器禁止时（CNTEN=0）时，选择中央对齐模式。<br>00：边沿对齐模式<br>01：中心对齐模式 1（在向下计数时，输出通道的输出比较中断标志位置 1）<br>10：中心对齐模式 2（在向上计数时，输出通道的输出比较中断标志位置 1）<br>11：中心对齐模式 3（在向上/下计数时，输出通道的输出比较中断标志位置 1） |
| 7 | ARPEN | R/W | TMR3_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）<br>禁止缓存区时，程序修改 TMR3_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMR3_AUTORLD 会在下一个更新事件修改装入计数器的数值。<br>0：禁止<br>1：使能 |
| 9:8 | CLKDIV | R/W | 时钟分频系数（Clock Division）<br>死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置该位可调整死区时间、数字滤波器的采用时钟。<br>00：$t_{DTS}=t_{CK_INT}$<br>01：$t_{DTS}=2\times t_{CK_INT}$<br>10：$t_{DTS}=4\times t_{CK_INT}$<br>11：保留 |
| 15:10 | 保留 | | |

### 14.6.2 控制寄存器 2（TMR3_CTRL2）

偏移地址：0x04

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | 保留 | | |
| 3 | CCDSEL | R/W | 选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select）<br>0：当发生 CCx 事件时，送出 CCx 的 DMA 请求<br>1：当发生更新事件时，送出 CCx 的 DMA 请求 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6:4 | MMSEL | R/W | 选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select）<br>工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的定时器工作，具体影响可从模式的定时器配置有关。<br>000：复位，主模式定时器的复位信号用于 TRGO<br>001：使能，主模式定时器的计数器使能信号用于 TRGO<br>010：更新，主模式定时器的更新事件用于 TRGO<br>011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO<br>100：比较模式 1，OC1REF 用于触发 TRGO<br>101：比较模式 2，OC2REF 用于触发 TRGO<br>110：比较模式 3，OC3REF 用于触发 TRGO<br>111：比较模式 4，OC4REF 用于触发 TRGO |
| 7 | TI1SEL | R/W | TI1 选择（Timer Input 1 Selection）<br>0：TMR3_CH1 引脚连到 TI1 输入<br>1：TMR3_CH1、TMR3_CH2 和 TMR3_CH3 引脚经异或后连到 TI1 输入 |
| 15:8 | 保留 | | |

### 14.6.3 从模式控制寄存器（TMR3_SMCTRL）

偏移地址：0x08

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | SMFSEL | R/W | 选择从模式功能（Slave Mode Function Select）<br>000：禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。<br>001：编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。<br>010：编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。<br>011：编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。<br>100：复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。<br>101：门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电平信号时，继续工作；整个期间不复位计数器。<br>110：触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。<br>111：外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。 |
| 3 | OCCSEL | R/W | 选择 OCREF 信号清除源（OCREF Clear Source Select）<br>该位用来选择 OCREF 清除源。<br>0：OCREF_CLR<br>1：ETRF |
| 6:4 | TRGSEL | R/W | 选择触发输入信号（Trigger Input Signal Select） |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| | | | 为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。<br>000：内部触发 ITR0<br>001：保留<br>010：内部触发 ITR2<br>011：保留<br>100：通道 1 输入边沿检测器 TIF_ED<br>101：通道 1 滤波后定时器输入 TI1FP1<br>110：通道 2 滤波后的定时器输入 TI2FP2<br>111：外部触发输入（ETRF） |
| 7 | MSMEN | R/W | 使能主/从模式（Master/slave Mode Enable）<br>0：无效<br>1：使能主/从模式 |
| 11:8 | ETFCFG | R/W | 配置外部触发滤波器（External Trigger Filter Configure）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8<br>0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5<br>1110：DIV=32，N=6<br>1111：DIV=32，N=8<br>采样频率=定时器时钟频率/DIV；滤波长度=N，每 N 个事件产生一个跳变。 |
| 13:12 | ETPCFG | R/W | 配置外部触发信号预分频器（External Trigger Prescaler Configure）<br>ETR（外部触发输入）的信号经过分频后为 ETRP，ETRP 的信号频率最多是 TMR3CLK 频率的 1/4；当 ETR 频率过高时，须经过分频降低 ETRP 的频率。<br>00：禁用预分频器；<br>01：ETR 信号 2 分频<br>10：ETR 信号 4 分频<br>11：ETR 信号 8 分频 |
| 14 | ECEN | R/W | 使能外部时钟模式 2（External Clock Mode2 Enable）<br>0：禁止<br>1：使能<br>设置 ECEN 位与选择外部时钟模式 1 将 TRG1 连接到 ETRF 具有相同作用；从模式（复位、门控、触发）可以与外部时钟模式 2 同时使用，但此时 TRGI 不能连到 ETRF；当外部时钟模式 1 和外部时钟模式 2 同时使能时，外部时钟的输入是 ETRF。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15 | ETPOL | R/W | 配置外部触发极性（External Trigger Polarity Configure）<br>该位决定外部触发 ETR 是否反相。<br>0：外部触发 ETR 不反相，高电平或上升沿有效<br>1：外部触发 ETR 反相，低电平或下降沿有效 |

表格 47 TMR3 内部触发连接

| 从定时器 | ITR0（TS=000） | ITR2（TS=010） |
|---|---|---|
| TMR3 | TMR1 | TMR15 |

### 14.6.4 DMA/中断使能寄存器（TMR3_DIEN）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIEN | R/W | 使能更新中断（Update Interrupt Enable）<br>0：禁止<br>1：使能 |
| 1 | CC1IEN | R/W | 使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 2 | CC2IEN | R/W | 使能捕获/比较通道 2 中断（Capture/Campare Channel2 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 3 | CC3IEN | R/W | 使能捕获/比较通道 3 中断（Capture/Campare Channel3 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4 | CC4IEN | R/W | 使能捕获/比较通道 4 中断（Capture/Campare Channel4 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 5 | 保留 | | |
| 6 | TRGIEN | R/W | 使能触发中断（Trigger Interrupt Enable）<br>0：禁止<br>1：使能 |
| 7 | 保留 | | |
| 8 | UDIEN | R/W | 使能更新的 DMA 请求（Update DMA Request Enable）<br>0：禁止<br>1：使能 |
| 9 | CC1DEN | R/W | 使能捕获/比较通道 1 的 DMA 请求（Capture/Campare Channel1 DMA Request Enable）<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 10 | CC2DEN | R/W | 使能捕获/比较通道 2 的 DMA 请求（Capture/Campare Channe2 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 11 | CC3DEN | R/W | 使能捕获/比较通道 3 的 DMA 请求（Capture/Campare Channe3 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 12 | CC4DEN | R/W | 使能捕获/比较通道 4 的 DMA 请求（Capture/Campare Channe4 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 13 | 保留 | | |
| 14 | TRGDEN | R/W | 使能触发 DMA 请求（Trigger DMA Request Enable）<br>0：禁止<br>1：使能 |
| 15 | 保留 | | |

### 14.6.5 状态寄存器（TMR3_STS）

偏移地址：0x10

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIFLG | RC_W0 | 产生更新事件中断标志位（Update Event Interrupt Generate Flag）<br>0：没有发生更新事件中断<br>1：发生更新事件中断<br>计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况：<br>（1）TMR3_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件；<br>（2）TMR3_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器；<br>（3）TMR3_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触发事件初始化时产生更新事件。 |
| 1 | CC1IFLG | RC_W0 | 捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag）<br>**当捕获比较通道 1 配置为输出时：**<br>0：无匹配发生<br>1：TMR3_CNT 的值与 TMR3_CC1 的值相匹配<br>**当捕获比较通道 1 配置为输入时：**<br>0：没有发生输入捕获<br>1：发生输入捕获<br>捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMR3_CC1 寄存器时清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2 | CC2IFLG | RC_W0 | 捕获/比较通道 2 中断标志（Captuer/Compare Channel2 new Interrupt Flag）<br>参考 CC1IFLG 的描述。 |
| 3 | CC3IFLG | RC_W0 | 捕获/比较通道 3 中断标志（Captuer/Compare Channel3 Interrupt Flag）<br>参考 CC1IFLG 的描述。 |
| 4 | CC4IFLG | RC_W0 | 捕获/比较通道 4 中断标志（Captuer/Compare Channel4 Interrupt Flag）<br>参考 CC1IFLG 的描述。 |
| 5 | 保留 | | |
| 6 | TRGIFLG | RC_W0 | 产生触发事件中断标志（Trigger Event Interrupt Generate Flag）<br>0：没有发生触发事件中断<br>1：发生触发事件中断<br>发生触发事件时，该位由硬件置 1，软件清 0。 |
| 8:7 | 保留 | | |
| 9 | CC1RCFLG | RC_W0 | 捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag）<br>0：没有发生重复捕获<br>1：发生重复捕获<br>计数器的值被捕获到 TMR3_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。 |
| 10 | CC2RCFLG | RC_W0 | 捕获/比较通道 2 重复捕获标志（Captuer/compare Channel2 Repetition Capture Flag）<br>参考 CC1RCFLG 的描述。 |
| 11 | CC3RCFLG | RC_W0 | 捕获/比较通道 3 重复捕获标志（Captuer/compare Channel3 Repetition Capture Flag）<br>参考 CC1RCFLG 的描述。 |
| 12 | CC4RCFLG | RC_W0 | 捕获/比较通道 4 重复捕获标志（Captuer/compare Channel4 Repetition Capture Flag）<br>参考 CC1RCFLG 的描述。 |
| 15:13 | 保留 | | |

### 14.6.6 控制事件产生寄存器（TMR3_CEG）

偏移地址：0x14

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEG | W | 产生更新事件（Update Event Generate）<br>0：无效<br>1：初始化计数器，产生更新事件<br>此位由软件置 1，硬件清 0。<br>注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMR3_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1 | CC1EG | W | 产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation）<br>0：无效<br>1：产生捕获/比较事件<br>该位由软件置 1，硬件自动清 0。<br>**如果通道 1 处于输出模式：**<br>当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。<br>**如果通道 1 处于输入模式：**<br>捕获计数器的值存储在 TMR3_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。 |
| 2 | CC2EG | W | 产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation）<br>参考 CC1EG 的描述。 |
| 3 | CC3EG | W | 产生捕获/比较通道 3 事件（Capture/Compare Channel3 Event Generation）<br>参考 CC1EG 的描述。 |
| 4 | CC4EG | W | 产生捕获/比较通道 4 事件（Capture/Compare Channel4 Event Generation）<br>参考 CC1EG 的描述。 |
| 5 | 保留 | | |
| 6 | TEG | W | 产生触发事件（Trigger Event Generate）<br>0：无效<br>1：产生触发事件<br>该位由软件置 1，硬件自动清 0。 |
| 15:7 | 保留 | | |

### 14.6.7 捕获/比较模式寄存器 1（TMR3_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能，寄存器中的 ICx 描述了通道在输入模式下的功能。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择捕获/比较通道 1（Capture/Compare Channel1 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>10：CC1 通道为输入，IC1 映射在 TI2 上<br>11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入<br>注：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC1EN=0 时）可写。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2 | OC1FEN | R/W | 快速使能输出比较通道 1（Output Compare Channel1 Fast Enable）<br>0：禁止<br>1：使能<br>该位用来提高捕获/比较输出对触发输入事件的响应。 |
| 3 | OC1PEN | R/W | 使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable）<br>0：禁止预装载功能，通过程序写入 TMR3_CC1 寄存器的数值，会马上起作用。<br>1：启用预装载功能，通过程序写入 TMR3_CC1 寄存器的数值，会在产生更新事件后起作用。<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。 |
| 6:4 | OC1MOD | R/W | 配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure）<br>000：冻结。输出比较对 OC1REF 无影响<br>001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平<br>010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平<br>011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平<br>100：强制输出为低。强制 OC1REF 为低电平<br>101：强制输出为高。强制 OC1REF 为高电平<br>110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之）<br>111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之）<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。 |
| 7 | OC1CEN | R/W | 使能输出比较通道 1 清除（Output Compare Channel1 Clear Enable）<br>0：OC1REF 不受 ETRF 输入影响。<br>1：检测到 ETRF 输入高电平时，OC1REF=0 |
| 9:8 | CC2SEL | R/W | 通道 2 模式选择（Capture/Compare Channel2 Select）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC2 通道为输出<br>01：CC2 通道为输入，IC2 映射在 TI2 上<br>10：CC2 通道为输入，IC2 映射在 TI1 上<br>11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC2EN=0 时）可写。 |
| 10 | OC2FEN | R/W | 快速使能输出比较通道 2（Output Compare Channel2 Preload Enable）<br>参考 OC1FEN 的描述。 |
| 11 | OC2PEN | R/W | 使能输出比较通道 2 缓冲（Output Compare Channel2 Buffer Enable）<br>参考 OC1PEN 的描述。 |
| 14:12 | OC2MOD | R/W | 输出比较通道 2 模式（Output Compare Channel2 Mode）<br>参考 OC1MOD 的描述。 |
| 15 | OC2CEN | R/W | 使能输出通道 2 比较清除（Output Compare Channel2 Clear Enable）<br>参考 OC1CEN 的描述。 |

**输入捕获模式:**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择输入/捕获通道 1（Capture/Compare Channel1 Select）<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>10：CC1 通道为输入，IC1 映射在 TI2 上<br>11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时(TMR3_CCEN 寄存器的 CC1EN=0 时)可写。 |
| 3:2 | IC1PSC | R/W | 配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure）<br>00：PSC=1<br>01：PSC=2<br>10：PSC=4<br>11：PSC=8<br>PSC 是预分频因子，每 PSC 个事件触发一次捕获。 |
| 7:4 | IC1F | R/W | 配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8<br>0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5<br>1110：DIV=32，N=6<br>1111：DIV=32，N=8<br>采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。 |
| 9:8 | CC2SEL | R/W | 选择捕获/比较通道 2（Capture/Compare Channel2 Select）<br>00：CC2 通道为输出<br>01：CC2 通道为输入，IC2 映射在 TI1 上<br>10：CC2 通道为输入，IC2 映射在 TI2 上<br>11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC2EN=0 时）可写。 |
| 11:10 | IC2PSC | R/W | 配置输入捕获通道 2 预分频因子（（Input Capture Channel2 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 15:12 | IC2F | R/W | 配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）<br>参考 IC1F 的描述。 |

### 14.6.8 捕获/比较模式寄存器 2 （TMR3_CCM2）

偏移地址：0x1C

复位值：0x0000

参看以上 CCM1 寄存器的描述。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC3SEL | R/W | 选择捕获/比较通道 3（Capture/Compare Channel3 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC3 通道为输出<br>01：CC3 通道为输入，IC3 映射在 TI3 上<br>10：CC3 通道为输入，IC3 映射在 TI4 上<br>11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC3EN=0 时）可写。 |
| 2 | OC3FEN | R/W | 快速使能输出比较通道 3（Output Compare Channel3 Fast Enable）<br>参考 OC1FEN 的描述。 |
| 3 | OC3PEN | R/W | 使能输出比较通道 3 预装载（Output Compare Channel3 Preload Enable）<br>参考 OC1PEN 的描述。 |
| 6:4 | OC3MOD | R/W | 配置输出比较通道 3 模式（Output Compare Channel3 Mode Configure）<br>参考 OC1MOD 的描述。 |
| 7 | OC3CEN | R/W | 使能输出比较通道 3 清除（Output Compare Channel3 Clear Enable）<br>参考 OC1CEN 的描述。 |
| 9:8 | CC4SEL | R/W | 选择通道 4 模式（Capture/compare Channel4 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC4 通道为输出<br>01：CC4 通道为输入，IC4 映射在 TI4 上<br>10：CC4 通道为输入，IC4 映射在 TI3 上<br>11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC4EN=0 时）可写。 |
| 10 | OC4FEN | R/W | 快速使能输出比较通道 4（Output Compare Channel4 Preload Enable）<br>参考 OC1FEN 的描述。 |
| 11 | OC4PEN | R/W | 使能输出比较通道 4 缓冲（Output Compare Channel4 Buffer Enable）<br>参考 OC1PEN 的描述。 |
| 14:12 | OC4MOD | R/W | 配置输出比较通道 4 模式（Output Compare Channel4 Mode Configure）<br>参考 OC1MOD 的描述。 |
| 15 | OC4CEN | R/W | 使能输出通道 4 比较清除（Output Compare Channel4 Clear Enable）<br>参考 OC1CEN 的描述。 |

**输入捕获模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC3SEL | R/W | 选择输入/捕获通道 3（Capture/Compare Channel3 Select）<br>00：CC3 通道为输出<br>01：CC3 通道为输入，IC3 映射在 TI3 上<br>10：CC3 通道为输入，IC3 映射在 TI4 上 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC3EN=0 时）可写。 |
| 3:2 | IC3PSC | R/W | 配置输入捕获通道 3 预分频因子（Input Capture Channel3 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 7:4 | IC3F | R/W | 配置输入捕获通道 3 滤波器（Input Capture Channel3 Filter Configuration）<br>参考 IC1F 的描述。 |
| 9:8 | CC4SEL | R/W | 选择捕获/比较通道 4（Capture/Compare Channel4 Select）<br>00：CC4 通道为输出<br>01：CC4 通道为输入，IC4 映射在 TI4 上<br>10：CC4 通道为输入，IC4 映射在 TI3 上<br>11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR3_CCEN 寄存器的 CC4EN=0 时）可写。 |
| 11:10 | IC4PSC | R/W | 配置输入捕获通道 4 预分频因子（（Input Capture Channel4 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 15:12 | IC4F | R/W | 配置输入捕获通道 4 滤波器（Input Capture Channel4 Filter Configuration）<br>参考 IC1F 的描述。 |

### 14.6.9 使能捕获/比较通道寄存器（TMR3_CCEN）

偏移地址：0x20

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CC1EN | R/W | 使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable）<br>**捕获/比较通道 1 配置为输出时：**<br>0：禁止输出<br>1：开启输出<br>**捕获/比较通道 1 配置为输入时：**<br>该位决定了计数器的值 CNT 是否能捕获进入 TMR3_CC1 寄存器中<br>0：禁止捕获<br>1：开启捕获 |
| 1 | CC1POL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>0：OC1 高电平有效<br>1：OC1 低电平有效<br>**CC1 通道配置为输入时：**<br>CC11POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性<br>00：不反相/上升沿：<br>TIxFP1 不反相（门控、编码器模式下触发），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 01：反相/下降沿：<br>TIxFP1 反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>10：保留<br>11：不反相/上升和下降沿：<br>TIxFP1 不反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 |
| 2 | 保留 | | |
| 3 | CC1NPOL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>CC1NPOL 一直保持清除状态<br>**CC1 通道配置为输入时：**<br>此时 CC1NPOL 和 CC1POL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 有极性。 |
| 4 | CC2EN | R/W | 使能捕获/比较通道 2 输出（Capture/Compare Channel2 Output Enable）<br>参考 CC1EN 的描述。 |
| 5 | CC2POL | R/W | 配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure）<br>参考 CC1POL 的描述。 |
| 6 | 保留 | | |
| 7 | CC2NPOL | R/W | 配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure）<br>参考 CC1NPOL 的描述。 |
| 8 | CC3EN | R/W | 使能捕获/比较通道 3 输出（Capture/Compare Channel3 Output Enable）<br>参考 CC1EN 的描述。 |
| 9 | CC3POL | R/W | 配置捕获/比较通道 3 输出极性（Capture/Compare Channel3 Output Polarity Configure）<br>参考 CC1POL 的描述。 |
| 10 | 保留 | | |
| 11 | CC3NPOL | R/W | 捕获/比较通道 3 输出极性（Capture/Compare Channel3 Output Polarity）<br>参考 CC1NPOL 的描述。 |
| 12 | CC4EN | R/W | 使能捕获/比较通道 4 输出（Capture/Compare Channel4 Output Enable）<br>参考 CC1EN 的描述。 |
| 13 | CC4POL | R/W | 捕获/比较通道 4 输出极性（Capture/Compare Channel4 Output Polarity）<br>参考 CC1POL 的描述。 |
| 14 | 保留 | | |
| 15 | CC4NPOL | R/W | 捕获/比较通道 4 输出极性（Capture/Compare Channel4 Output Polarity）<br>参考 CC1NPOL 的描述。 |

表格 48 标准 OCx 通道的输出控制位

| CCxEN 位 | OCx 输出状态 |
|---|---|
| 0 | 禁止输出（OCx=0，OCx_EN=0） |
| 1 | OCx=OCxREF+极性，OCx_EN=1 |

注意：连接到标准 OCx 通道的外部 I/O 引脚状态，取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

### 14.6.10 计数器寄存器（TMR3_CNT）

偏移地址：0x24

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CNT | R/W | 当前计数器数值（Counter Value） |

### 14.6.11 预分频寄存器（TMR3_PSC）

偏移地址：0x28

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | PSC | R/W | 预分频器数值（Prescaler Value）<br>计数器的时钟频率（CK_CNT）＝$f_{CK_PSC}$/（PSC+1） |

### 14.6.12 自动重装载寄存器（TMR3_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | AUTORLD | R/W | 自动重装载数值（Auto Reload Value）<br>自动重装载的值为空时，计数器不进行计数。 |

### 14.6.13 通道 1 捕获/比较寄存器（TMR3_CC1）

偏移地址：0x34

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC1 | R/W | 捕获/比较通道 1 数值（Capture/Compare Channel1 Value）<br>**捕获/比较通道 1 配置为输入模式：**<br>CC1 包含上次输入捕获通道 1 事件传输的计数器数值。<br>**捕获/比较通道 1 配置为输出模式：**<br>CC1 包含了当前装入捕获/比较寄存器数值<br>捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。<br>当输出比较预装载禁止（TMR3_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果；<br>当输出比较预装载使能（TMR3_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。 |

### 14.6.14 通道 2 捕获/比较寄存器（TMR3_CC2）

偏移地址：0x38

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC2 | R/W | 捕获/比较通道 2 数值（Capture/Compare Channel2 Value）<br>参考 TMR3_CC1 的描述。 |

### 14.6.15 通道 3 捕获/比较寄存器（TMR3_CC3）

偏移地址：0x3C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC3 | R/W | 捕获/比较通道 3 数值（Capture/Compare Channel3 Value）<br>参考 TMR3_CC1 的描述。 |

### 14.6.16 通道 4 捕获/比较寄存器（TMR3_CC4）

偏移地址：0x40

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC4 | R/W | 捕获/比较通道 4 数值（Capture/Compare Channel4 Value）<br>参考 TMR3_CC1 的描述。 |

### 14.6.17 DMA 控制寄存器（TMR3_DCTRL）

偏移地址：0x48

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 4:0 | DBADDR | R/W | 设置 DMA 基地址（DMA Base Address Setup）<br>这些位定义了 DMA 在连续模式下的基地址（当对 TMR3_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMR3_CTRL1 寄存器所在地址开始的偏移量：<br>00000：TMR3_CTRL1<br>00001：TMR3_CTRL2<br>00010：TMR3_SMCTRL<br>……. |
| 7:5 | 保留 | | |
| 12:8 | DBLEN | R/W | 设置 DMA 突发传送长度（DMA Burst Transfer Length Setup）<br>这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。<br>当读写 TMR3_DMADDR 寄存器时，定时器进行一次连续传输传送；<br>00000：1 次传输<br>00001：2 次传输<br>00010：3 次传输<br>……<br>10001：18 次传输<br>**传输的地址公式如下：**<br>传输的地址=TMR3_CTRL1 的地址（从地址）+DBADDR+DMA 索引；<br>DMA 索引=DBLEN<br>例如：DBLEN=7，DBADDR=TMR3_CTRL1（从地址）表示待传输数据的地址，则 TMR3_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址， |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| | | | 数据的传输将发生在：TMR3_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。<br>根据设置的 DMA 数据长度不同，数据传输也会发生变化：<br>1) 当传输数据设置为 16 位时，数据会传输给 7 个寄存器<br>2) 当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。 |
| 15:13 | 保留 | | |

### 14.6.18 连续模式的 DMA 地址寄存器（TMR3_DMADDR）

偏移地址：0x4C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 15:0 | DMADDR | R/W | DMA 突发传送寄存器（DMA Register for Burst Transfer）<br>TMR3_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作：<br>TMR3_CTRL1 地址+（DBADDR+DMA 索引）×4<br>其中：<br>“TMR3_CTRL1 地址”是控制寄存器 1（TMR3_CTRL1）所在的地址；<br>“DBADDR”是 TMR3_DCTRL 寄存器中定义的基地址；<br>“DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMR3_DCTRL 寄存器中定义的 DBLEN。 |

# 15 通用定时器（TMR14）

## 15.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 16 位的自动重装载计数器（实现向上计数）。

## 15.2 主要特征

（1）时基单元

- 计数器：16 位计数器，可以向上计数
- 预分频器：16 位可编程预分频器
- 自动重装载功能

（2）时钟源选择

- 内部时钟

（3）定时器功能

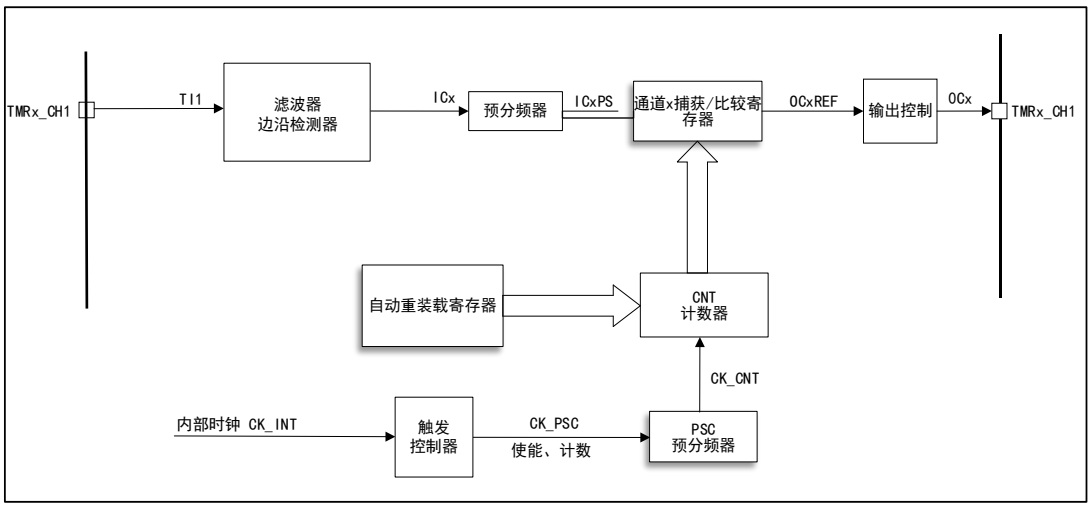
- 输入捕获
- 输出比较
- PWM 输出模式
- 强制输出模式

（4）中断事件

- 更新事件（计数器上溢出，计数器初始化）
- 输入捕获
- 输出比较

## 15.3 结构框图

图 60 通用定时器 TMR14 结构框图



## 15.4 功能描述

### 15.4.1 时钟源选择

#### 内部时钟

是来自 RCM 的 TMR14_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

### 15.4.2 时基单元

通用定时器里的时基单元包含三个寄存器

- 计数器寄存器（CNT）16 位
- 自动重装载寄存器（AUTORLD）16 位
- 预分频器（PSC）16 位

#### 计数器 CNT

通用定时器 TMR14 中的计数器只有向上计数器

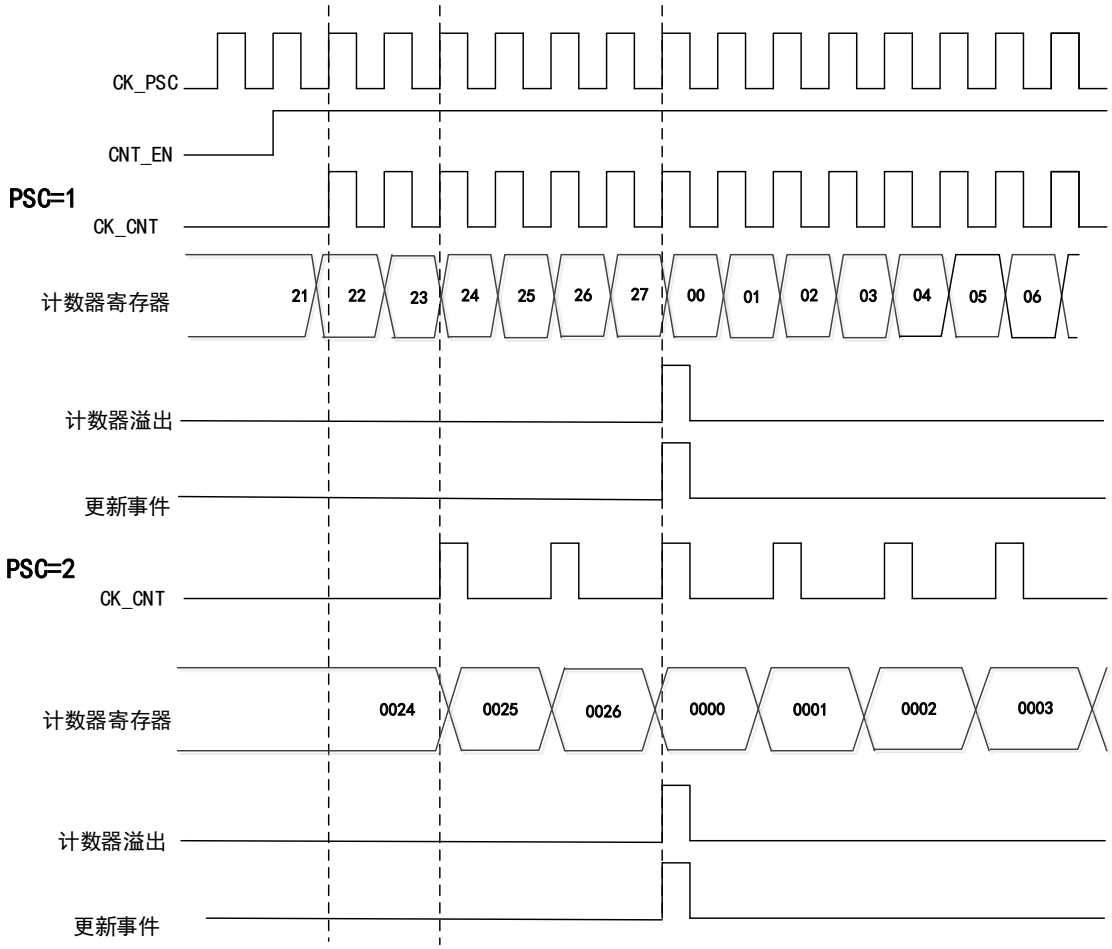
#### 向上计数模式

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMR14_CNT）值与自动重装载（TMR14_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMR14_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时自动重装载寄存器和预分频寄存器都将会被更新。可以通过配置控制寄存器 TMR14_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 61 向上计数模式下，分频因子为 1 或 2 的时序图




预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMR14_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

### 15.4.3 输入捕获

#### 输入捕获通道

通用定时器有一个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

#### 输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择

的边沿，TMR14_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMR14_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

### 15.4.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM1 和 PWM2 模式，由 TMR14_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

#### 输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMR14_CCMx 寄存器中的 OCxMOD 位和输出极性 TMR14_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMR14_STS 寄存器中的 CCxIFLG=1 时，如果 TMR14_DIEN 寄存器中的 CCxIEN=1 产生中断。

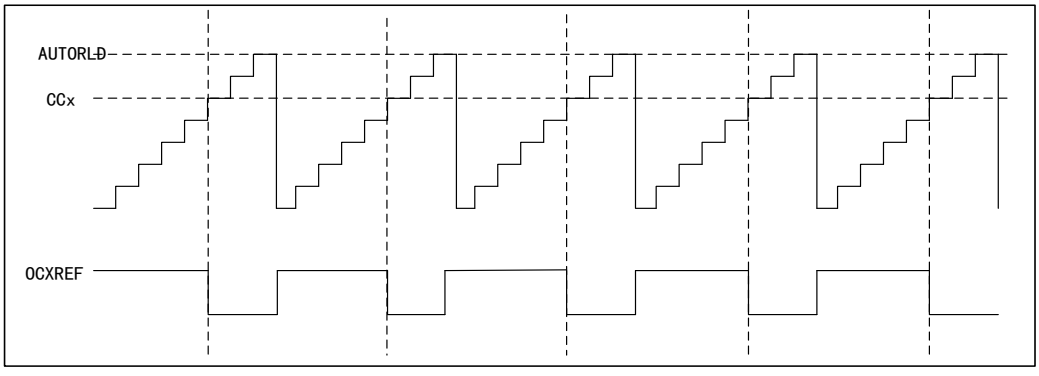
### 15.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 只能向上计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM1 模式下的时序图。

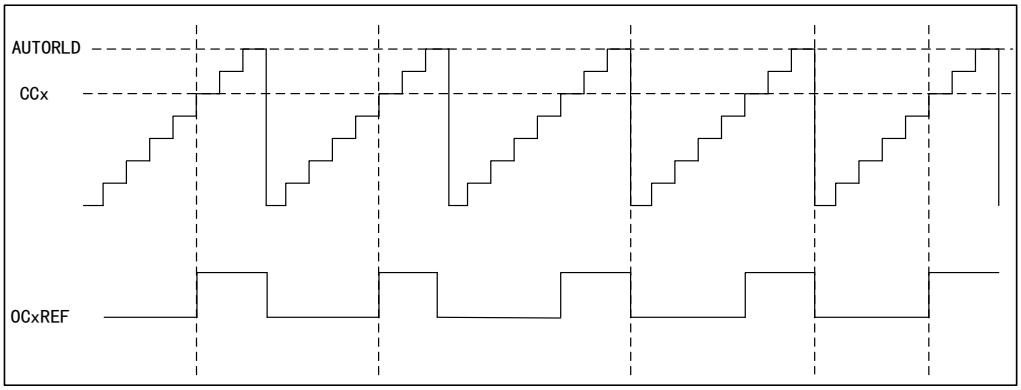
图 62 PWM1 向上计数模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM2 模式下的时序图。

图 63 PWM2 向上计数模式的时序图




### 15.4.6 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMR14_CCMx 寄存器的 CCxSEL=00,设定 CCx 通道为输出
- TMR14_CCMx 寄存器的 OCxMOD=100/101,设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断。

## 15.5 寄存器地址映射

下表中将通用定时器 TMR14 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 49 TMR14 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR14_CTRL1 | 控制寄存器 1 | 0x00 |
| TMR14_DIEN | DMA/中断使能寄存器 | 0x0C |
| TMR14_STS | 状态寄存器 | 0x10 |
| TMR14_CEG | 控制事件产生寄存器 | 0x14 |
| TMR14_CCM1 | 捕获/比较模式寄存器 1 | 0x18 |
| TMR14_CCEN | 捕获/比较使能寄存器 | 0x20 |
| TMR14_CNT | 计数器寄存器 | 0x24 |
| TMR14_PSC | 预分频寄存器 | 0x28 |
| TMR14_AUTORLD | 自动重装载寄存器 | 0x2C |

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR14_CC1 | 通道 1 捕获/比较寄存器 | 0x34 |
| TMR14_OPT | 选项寄存器 | 0x50 |

## 15.6 寄存器功能描述

### 15.6.1 控制寄存器 1（TMR14_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CNTEN | R/W | 使能计数器（Counter Enable）<br>0：禁止<br>1：使能<br>定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。 |
| 1 | UD | R/W | 禁止更新（Update Disable）<br>更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。<br>0：允许更新事件（UEV）<br>更新事件可以由以下任一情况产生：<br>计数器上溢；<br>设置 UEG 位；<br>从模式控制器产生的更新。<br>1：禁止更新事件 |
| 2 | URSSEL | R/W | 更新请求源（Update Request Source Select）<br>如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。<br>0：计数器上溢<br>设置 UEG 位<br>通过从模式控制器产生的更新<br>1：计数器上溢 |
| 6:3 | 保留 | | |
| 7 | ARPEN | R/W | TMR14_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）<br>禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。<br>0：禁止<br>1：使能 |
| 9:8 | CLKDIV | R/W | 时钟分频系数（Clock Division）<br>死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置改位可调整死区时间、数字滤波器的采用时钟。<br>00：$t_{DTS}=t_{CK_INT}$<br>01：$t_{DTS}=2\times t_{CK_INT}$<br>10：$t_{DTS}=4\times t_{CK_INT}$<br>11：保留 |
| 15:10 | 保留 | | |

### 15.6.2 DMA/中断使能寄存器（TMR14_DIEN）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIEN | R/W | 使能更新中断（Update Interrupt Enable）<br>0：禁止<br>1：使能 |
| 1 | CC1IEN | R/W | 使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 15:2 | 保留 | | |

### 15.6.3 状态寄存器（TMR14_STS）

偏移地址：0x10

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIFLG | RC_W0 | 产生更新事件中断标志位（Update Event Interrupt Generate Flag）<br>0：没有发生更新事件中断<br>1：发生更新事件中断<br>计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况：<br>（1）TMR14_CTRL1 寄存器的 UD=0，重复计数器数值上溢时产生更新事件；<br>（2）TMR14_CTRL1 寄存器的 URSEL=0 和 UD=0，配 TMR14_CEG 寄存器的 UEG=1 产生更新事件，需要通过软件初始化计数器。 |
| 1 | CC1IFLG | RC_W0 | 捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag）<br>**当捕获比较通道 1 配置为输出时：**<br>0：无匹配发生<br>1：TMR14_CNT 的值与 TMR14_CC1 的值相匹配<br>**当捕获比较通道 1 配置为输入时：**<br>0：没有发生输入捕获<br>1：发生输入捕获<br>捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMR14_CC1 寄存器时清 0。 |
| 8:2 | 保留 | | |
| 9 | CC1RCFLG | RC_W0 | 捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag）<br>0：没有发生重复捕获<br>1：发生重复捕获<br>计数器的值被捕获到 TMR14_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。 |
| 15:10 | 保留 | | |

### 15.6.4 控制事件产生寄存器（TMR14_CEG）

偏移地址：0x14

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEG | W | 产生更新事件（Update Event Generate）<br>0：无效<br>1：初始化计数器，产生更新事件<br>此位由软件置 1，硬件清 0。<br>注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。在向上计数模式中计数器会被清 0。 |
| 1 | CC1EG | W | 产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation）<br>0：无效<br>1：产生捕获/比较事件<br>该位由软件置 1，硬件自动清 0。<br>**如果通道 1 处于输出模式：**<br>当 CC1IFLG=1 时，如果设置了 CC1IEN 位，则产生相应的中断。<br>**如果通道 1 处于输入模式：**<br>捕获计数器的值存储在 TMR14_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 位，则产生相应的中断；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。 |
| 15:2 | 保留 | | |

### 15.6.5 捕获/比较模式寄存器 1（TMR14_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能，寄存器中的 ICx 描述了通道在输入模式下的功能。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择捕获/比较通道 1（Capture/Compare Channel1 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>1x：保留<br>注：该位仅在通道关闭时（TMR14_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 2 | OC1FEN | R/W | 快速使能输出比较通道 1（Output Compare Channel1 Fast Enable）<br>0：禁止<br>1：使能<br>该位用来提高捕获/比较输出对触发输入事件的响应。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3 | OC1PEN | R/W | 使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable）<br>0：禁止预装载功能，通过程序写入 TMR14_CC1 寄存器的数值，会马上起作用。<br>1：启用预装载功能，通过程序写入 TMR14_CC1 寄存器的数值，会在产生更新事件后起作用。<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。 |
| 6:4 | OC1MOD | R/W | 配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure）<br>000：冻结。输出比较对 OC1REF 无影响<br>001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平<br>010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平<br>011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平<br>100：强制输出为低。强制 OC1REF 为低电平<br>101：强制输出为高。强制 OC1REF 为高电平<br>110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之）<br>111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之）<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。 |
| 15:7 | 保留 | | |

**输入捕获模式:**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择输入/捕获通道 1（Capture/Compare Channel1 Select）<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>1x：保留<br>注意：该位仅在通道关闭时（TMR14_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 3:2 | IC1PSC | R/W | 配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure）<br>00：PSC=1<br>01：PSC=2<br>10：PSC=4<br>11：PSC=8<br>PSC 是预分频因子，每 PSC 个事件触发一次捕获。 |
| 7:4 | IC1F | R/W | 配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5<br>1110：DIV=32，N=6<br>1111：DIV=32，N=8<br>采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。 |
| 15:8 | 保留 | | |

### 15.6.6 使能捕获/比较通道寄存器（TMR14_CCEN）

偏移地址：0x20

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CC1EN | R/W | 使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable）<br>**捕获/比较通道 1 配置为输出时：**<br>0：禁止输出<br>1：开启输出<br>**捕获/比较通道 1 配置为输入时：**<br>该位决定了计数器的值 CNT 是否能捕获进入 TMR14_CC1 寄存器中<br>0：禁止捕获<br>1：开启捕获 |
| 1 | CC1POL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>0：OC1 高电平有效<br>1：OC1 低电平有效<br>**CC1 通道配置为输入时：**<br>CC11POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性<br>00：不反相/上升沿：<br>TIxFP1 不反相（门控、编码器模式下触发），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>01：反相/下降沿：<br>TIxFP1 反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>10：保留<br>11：不反相/上升和下降沿：<br>TIxFP1 不反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2 | 保留 | | |
| 3 | CC1NPOL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>CC1NPOL 一直保持清除状态<br>**CC1 通道配置为输入时：**<br>此时 CC1NPOL 和 CC1POL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 有极性。 |
| 15:4 | 保留 | | |

表格 50 标准 OCx 通道的输出控制位

| CCxEN 位 | OCx 输出状态 |
|---|---|
| 0 | 禁止输出（OCx=0，OCx_EN=0） |
| 1 | OCx=OCxREF+极性，OCx_EN=1 |

注意：连接到标准 OCx 通道的外部 I/O 引脚状态，取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

### 15.6.7 计数器寄存器（TMR14_CNT）

偏移地址：0x24

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CNT | R/W | 当前计数器数值（Counter Value） |

### 15.6.8 预分频寄存器（TMR14_PSC）

偏移地址：0x28

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | PSC | R/W | 预分频器数值（Prescaler Value）<br>计数器的时钟频率（CK_CNT）=$f_{CK_PSC}$/（PSC+1） |

### 15.6.9 自动重装载寄存器（TMR14_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | AUTORLD | R/W | 自动重装载数值（Auto Reload Value）<br>自动重装载的值为空时，计数器不进行计数。 |

### 15.6.10 通道 1 捕获/比较寄存器（TMR14_CC1）

偏移地址：0x34

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 15:0 | CC1 | R/W | 捕获/比较通道 1 数值（Capture/Compare Channel1 Value）<br>**捕获/比较通道 1 配置为输入模式：**<br>CC1 包含上次输入捕获通道 1 事件传输的计数器数值。<br>**捕获/比较通道 1 配置为输出模式：**<br>CC1 包含了当前装入捕获/比较寄存器数值<br>捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。<br>当输出比较预装载禁止（TMR14_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果；<br>当输出比较预装载使能（TMR14_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。 |

### 15.6.11 选项寄存器（TMR14_OPT）

偏移地址：0x50

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 1:0 | RMPSEL | R/W | 定时器输入 1 重映射选择（Timer Input 1 Remap Select）<br>00：TMR14 通道 1 连接到 GPIO 复用引脚。参考数据手册 3.3 复用列表。<br>01：TMR14 通道 1 连接到 RTCCLK<br>10：TMR14 通道 1 连接到 HSECLK/32<br>11：TMR14 通道 1 连接到主时钟输出（MCO），此选择 由时钟配置寄存器的 RCM_CFG1 的 MCOSEL 位配置。 |
| 15:2 | 保留 | | |

# 16 通用定时器（TMR15/16/17）

## 16.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 16 位的自动重装载计数器（实现向上、向下和中央对齐计数）。增加了互补输出、重复计数以及可编程的死区插入等，更加适合于电机控制。

## 16.2 主要特征

（1） 时基单元

- 计数器：16 位计数器，只能向上计数
- 预分频器：16 位可编程预分频器
- 重复计数器：16 位重复计数器
- 自动重装载功能

（2） 时钟源选择

- 内部时钟
- 外部输入（仅 TMR15 有）
- 内部触发（仅 TMR15 有）

（3） 输入捕获功能

- 计数功能
- PWM 输入模式（仅 TMR15 有）

（4）输出比较功能

- PWM 输出模式
- 强制输出模式
- 单脉冲模式
- 互补输出和死区插入

（5）刹车功能

（6）定时器的主/从模式控制器（仅 TMR15 有）

- 定时器之间可以同步和级联
- 支持多种从模式、同步信号

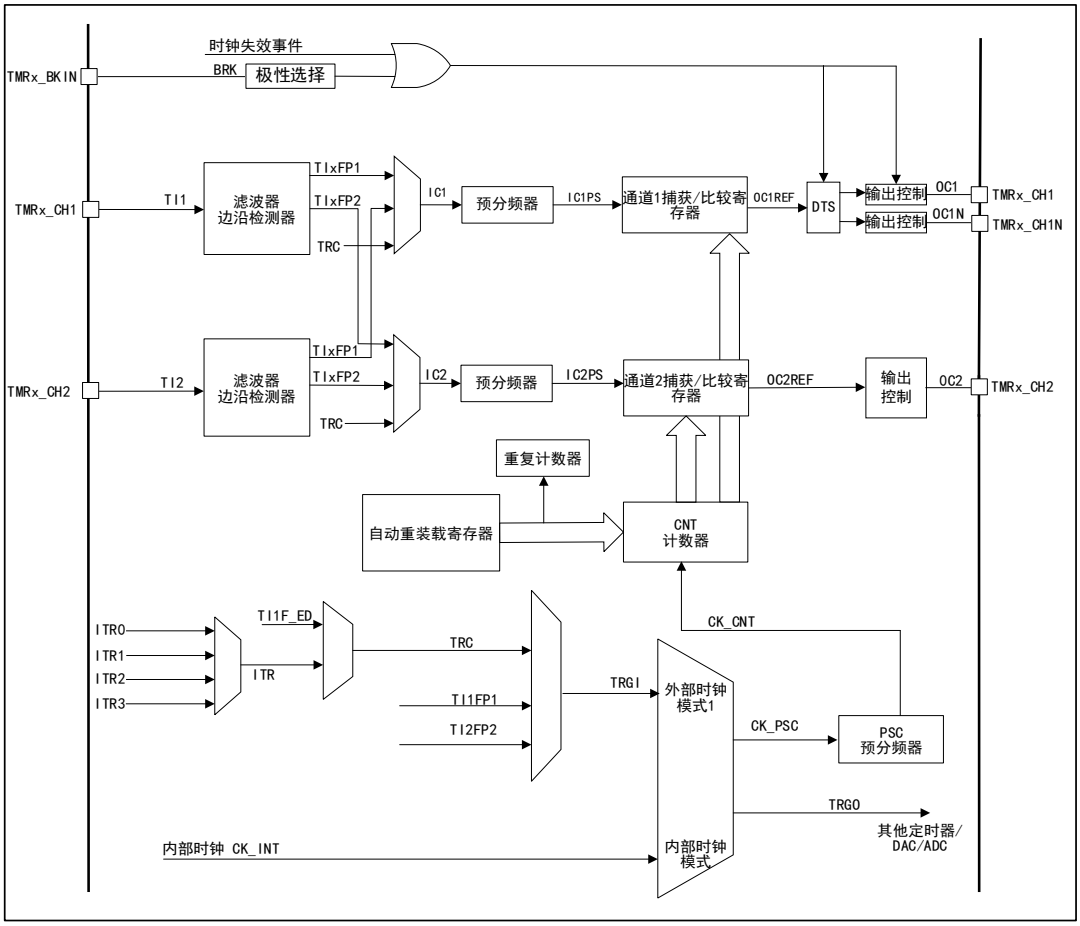
（7）中断输出和 DMA 请求事件

- 更新事件（计数器上溢，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

## 16.3 结构框图

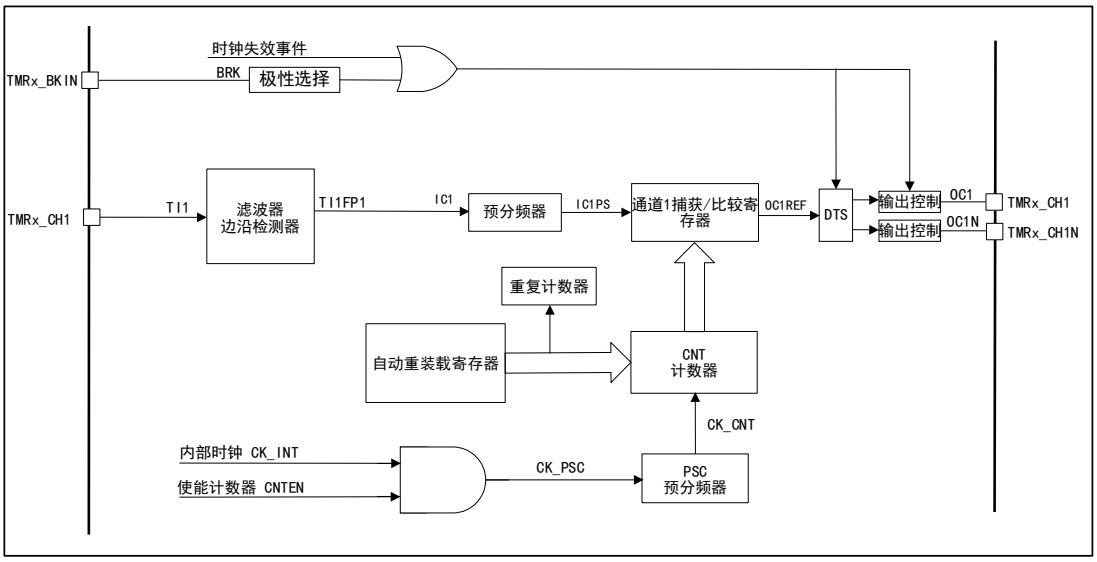
### 16.3.1 通用定时器 TMR15 结构图

图 64 通用定时器 TMR15 结构框图



### 16.3.2 通用定时器 TMR16/17 结构图

图 65 通用定时器 TMR16/17 结构框图




## 16.4 功能描述

### 16.4.1 时钟源选择

通用定时器一共有三种时钟源

#### 内部时钟

是来自 RCM 的 TMRx_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

#### 外部时钟模式 1（仅 TMR15）

来自定时器自身的输入通道 TI1/2，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 TI1F_ED 信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

#### 内部触发输入（仅 TMR15）

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

### 16.4.2 时基单元

通用定时器里的时基单元包含四个寄存器

- 计数器寄存器（CNT）16 位
- 自动重装载寄存器（AUTORLD）16 位

- 预分频器（PSC）16 位
- 重复计数寄存器（REPCNT）8 位

### 计数器 CNT

通用定时器 TMR15/16/17 中的计数器均只能向上计数。

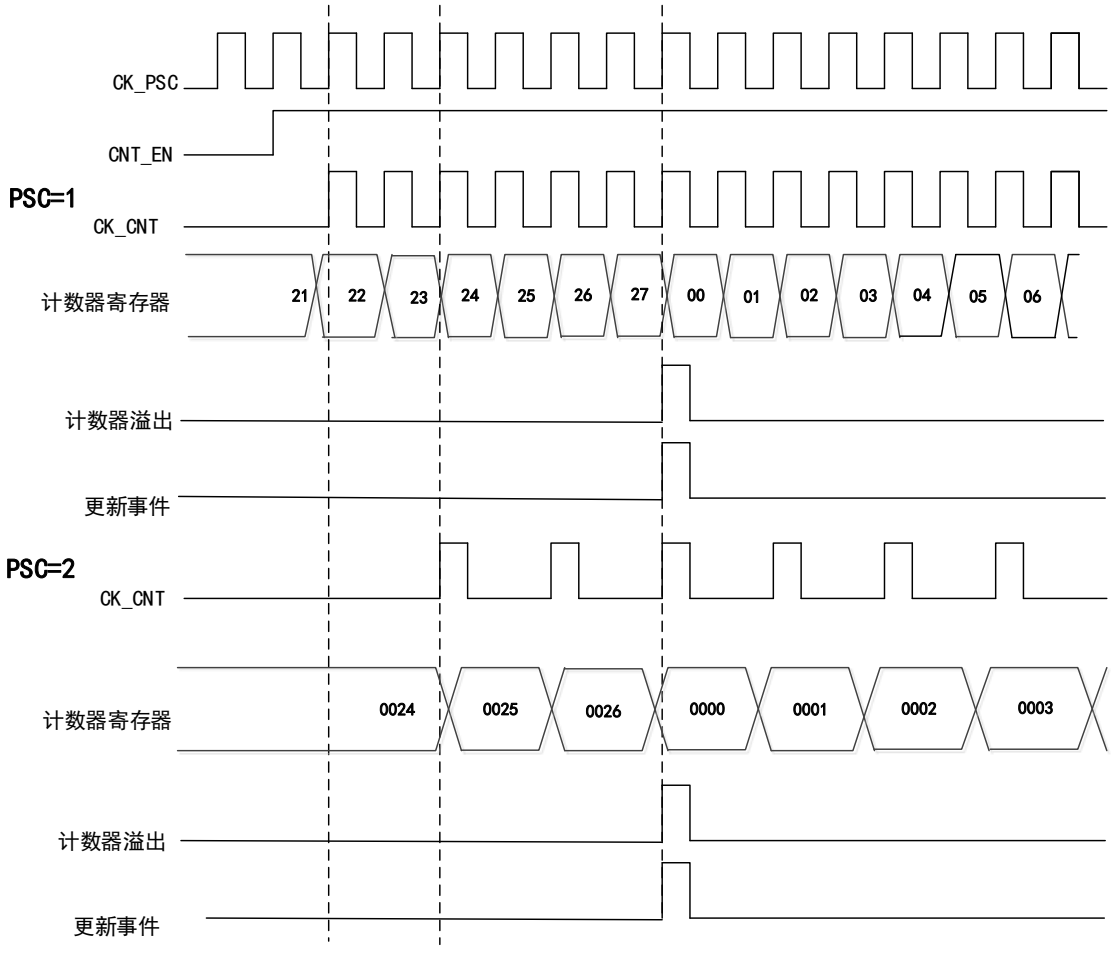
### 向上计数模式

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载（TMRx_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMRx_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时重复计数的影子寄存器、自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 TMRx_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 66 向上计数模式下，分频因子为 1 或 2 的时序图



**重复计数器 REPCNT**

在通用定时器 TMR15/16/17 具有重复计数器，在定时器发生上/下溢事件时，只有当重复计数器的值为 0 时才会产生更新事件。

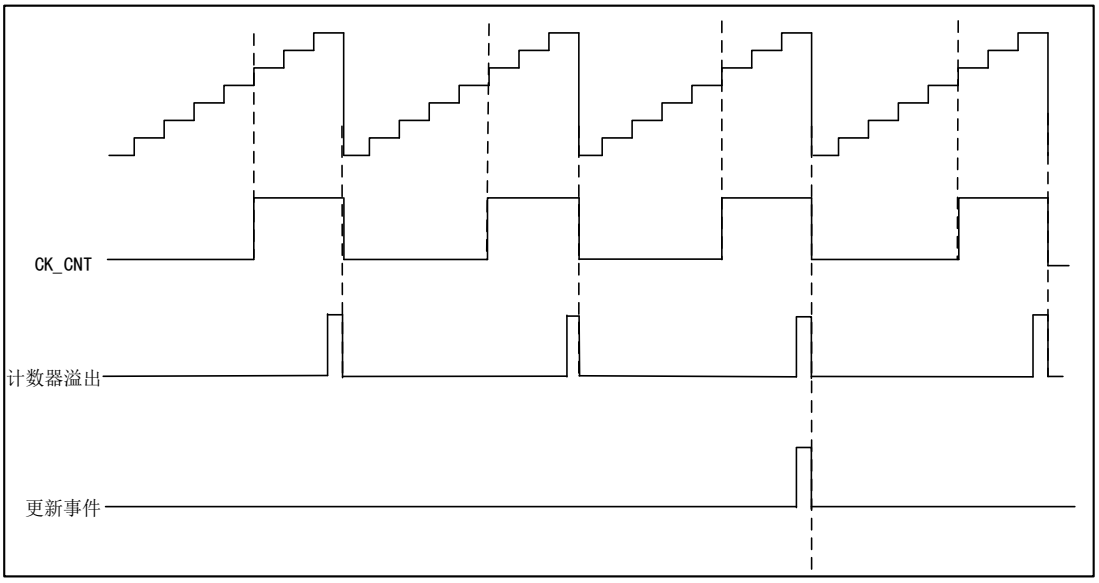
例如，如果通用定时器 TMR15/16/17 需要在发生上/下溢事件时就产生更新事件，应将重复计数器的值清 0。

如果在向上计数模式时，使用重复计数器功能，每当计数器向上计数到 AUTORLD 时，发生上溢事件，此时重复计数器的值会减 1，直到重复计数器有值为 0 时会产生更新事件。

即在发生 N+1 个（N 为重复计数器的值）上/下溢事件时产生更新事件。

下图为在向上计数模式下，设置 REPCNT=2 的时序图。

图 67 向上计数模式下，设置 REPCNT=2 的时序图




**预分频器 PSC**

预分频器是 16 位且可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值分频（由 TMRx_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

### 16.4.3 输入捕获

**输入捕获通道**

通用定时器有两个独立（TMR16/17 只有一个）的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1/2 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

**输入捕获应用**

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMRx_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMRx_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

### 16.4.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM1 和 PWM2 模式，由 TMRx_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

**输出比较应用**

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMRx_CCMx 寄存器中的 OCxMOD 位和输出极性 TMRx_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMRx_STS 寄存器中的 CCxIFLG=1 时，如果 TMRx_DIEN 寄存器中的 CCxIEN=1 产生中断；TMRx_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

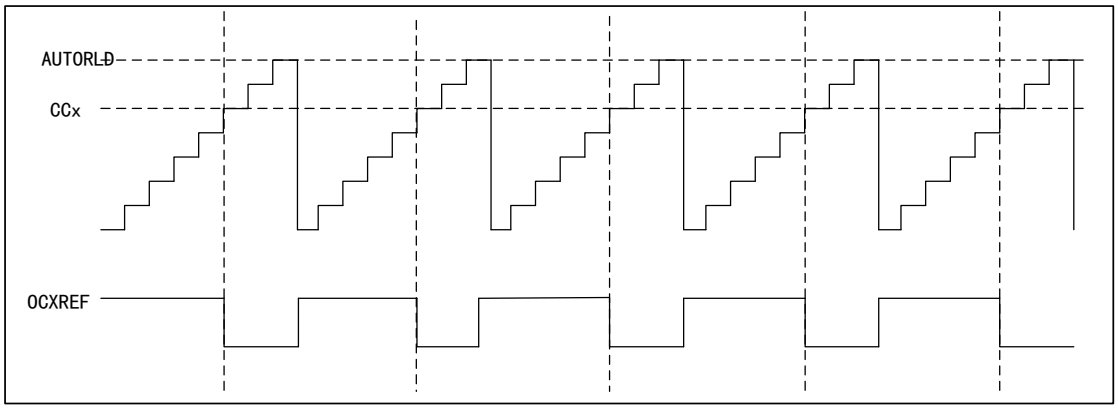
### 16.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 只能向上计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM1 模式下的时序图。

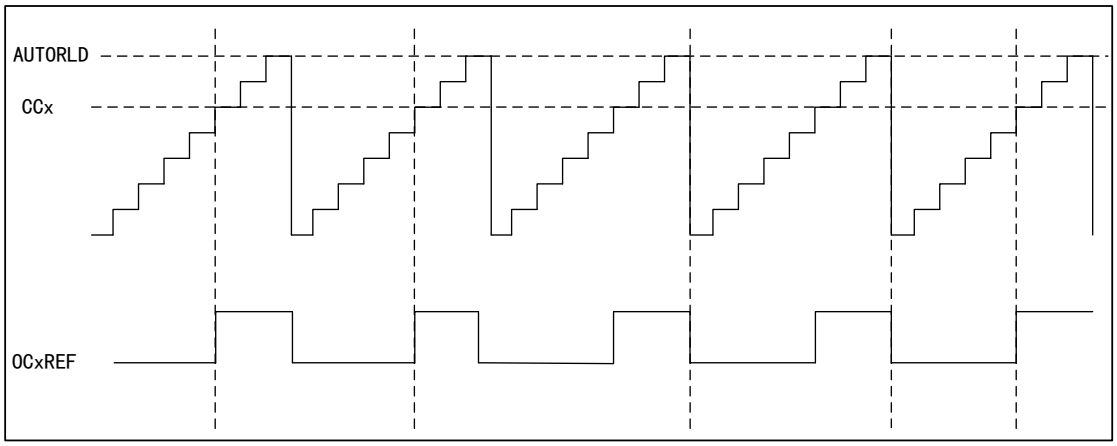
图 68 PWM1 向上计数模式的时序图




PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5，AUTORLD=7，在 PWM2 模式下的时序图。

图 69 PWM2 向上计数模式的时序图




### 16.4.6 PWM 输入模式（仅 TMR15）

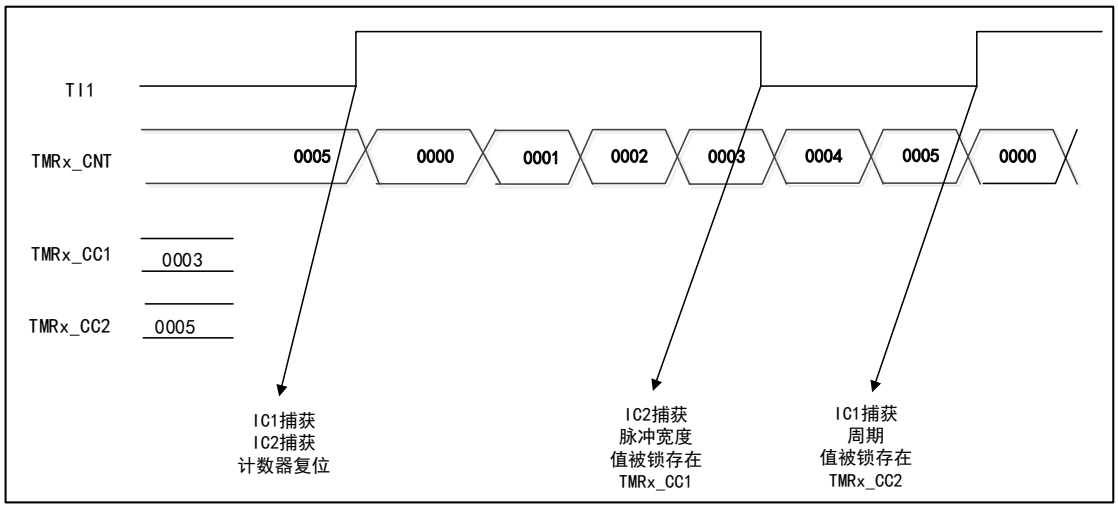
PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMR15_CH1 和 TMR15_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMR15_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比.在配置中只需设置其中一路的极性，另一路会自动配置会相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMR15_SMCTRL 寄存器的 SMFSEL 位）。

图 70 PWM 输入模式时序图



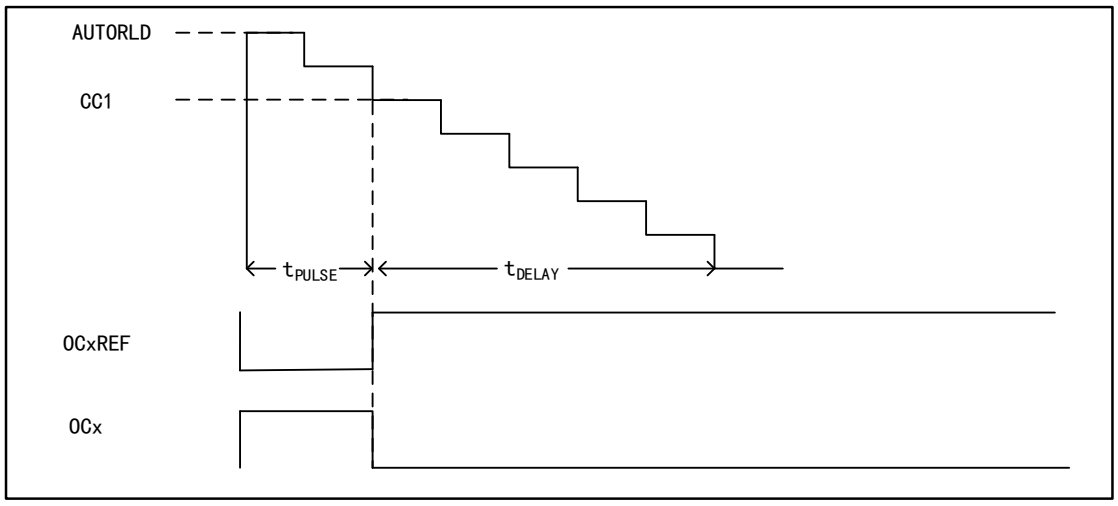

### 16.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMRx_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMRx_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 71 单脉冲模式下的时序图




### 16.4.8 寄存器对输出波形的影响

以下寄存器会影响定时器输出波形的电平，详细信息可参照“寄存器功能描述”。

（1）TMRx_CCEN 寄存器中的 CCxEN、CCxNEN 位：

- CCxNEN=0、CCxEN=0：关闭输出（输出禁止，无效状态）

- CCxNEN=1、CCxEN=1：开启输出（输出使能，正常输出）

（2）TMRx_BDT 寄存器中的 MOEN 位：

- MOEN=0：空闲模式
- MOEN=1：运行模式

（3）TMRx_CTRL2 寄存器中的 OCxOIS、OCxNOIS 位：

- OCxOIS=0、OCxNOIS=0：空闲时(MOEN=0)死区后的输出电平为 0
- OCxOIS=1、OCxNOIS=1：空闲时(MOEN=0)死区后的输出电平为 1

（4）TMRx_BDT 寄存器中的 RMOS 位：

- RMOS 的应用环境：对应互补通道、定时器运行模式下（MOEN=1）、定时器不工作（CCxEN=0、CCxNEN=0）或工作（CCxEN=1、CCxNEN=1）情况下

（5）TMRx_BDT 寄存器中的 IMOS 位：

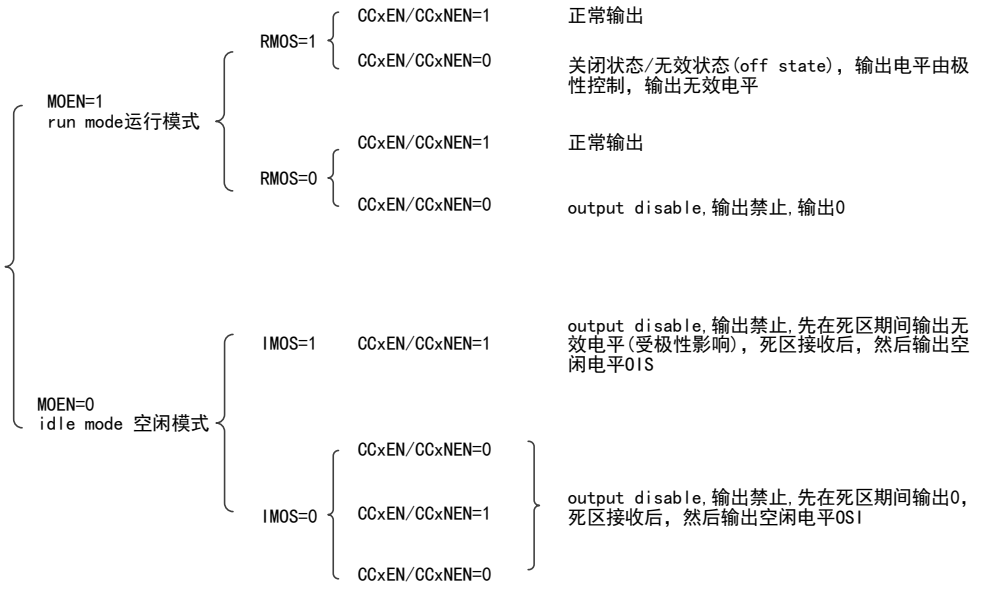
- IMOS 的应用环境：对应互补通道、定时器空闲模式下（MOEN=0）、定时器不工作（CCxEN=0、CCxNEN=0）或工作（CCxEN=1、CCxNEN=1）情况下

（6）TMRx_CCEN 寄存器的 CCxPOL、CCxNPOL 位：

- CCxPOL=0、CCxNPOL=0：输出极性，高电平有效
  CCxPOL=1、CCxNPOL=1：输出极性，低电平有效

下图罗列了影响输出波形的寄存器结构关系。

图 72 影响输出波形的寄存器结构关系




### 16.4.9 刹车功能

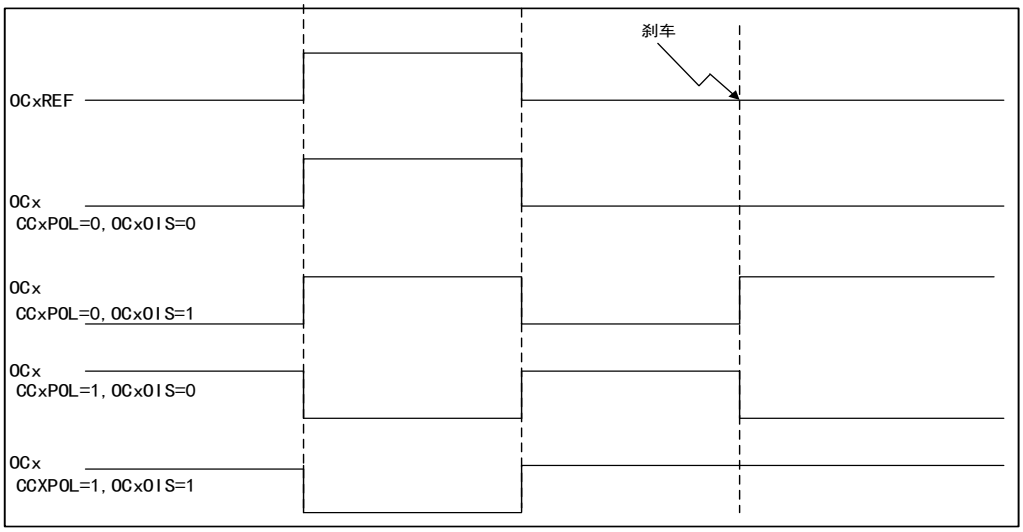
刹车的信号源为时钟故障事件和外部输入接口。

其中 TMRx_BDT 寄存器中的 BRKEN 位可以使能刹车功能，BRKPOL 位配置刹

车输入信号的极性。

发生刹车事件时，可以根据相关控制位的状态修改输出脉冲信号电平。

图 73 发生刹车事件的时序图

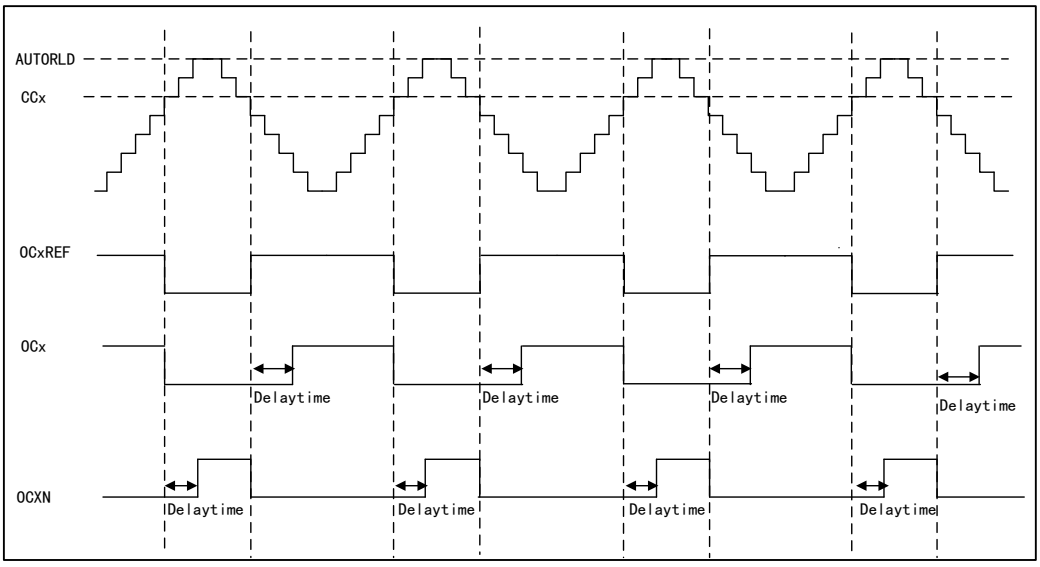



## 16.4.10 互补输出和死区插入

通用定时器 TMR15/16/17 只有一组互补输出通道。插入死区时间用于生成互补的输出信号，确保通道互补的两路信号不会同时有效。根据定时器连接的输出器件以及特性来设定死区时间。

配置 TMRx_BDT 寄存器的 DTS 位可以控制死区的持续时间

图 74 带死区插入的互补输出




## 16.4.11 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMRx_CCMx 寄存器的 CCxSEL=00,设定 CCx 通道为输出
- TMRx_CCMx 寄存器的 OCxMOD=100/101,设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

### 16.4.12 从模式（仅 TMR15）

TMRx 定时器可以进行外部的触发同步

- 复位模式
- 门控模式
- 触发模式

可设置 TMRx_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

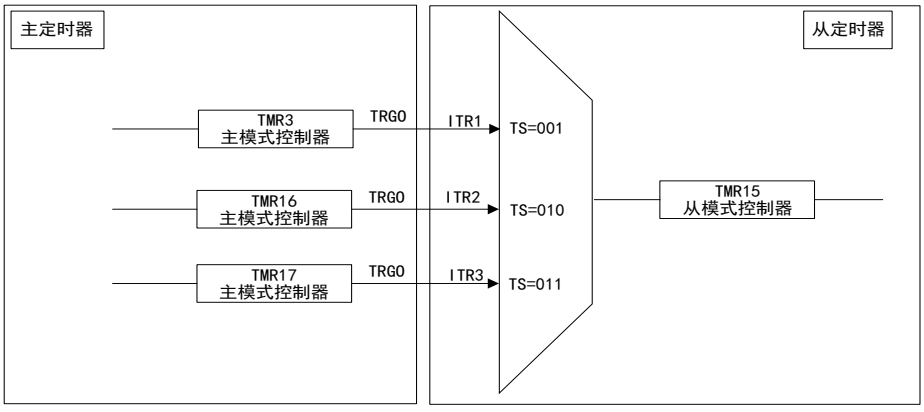
触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

### 16.4.13 定时器互连（仅 TMR15）

TMRx 各个定时器可以互相连接实现定时器之间的同步或级联。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

图 75 TMR15 主/从模式的例子




注意：TMR16、TMR17 内部连接的触发信号为 TMR16_CH1、TMR17_CH1。

在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

### 16.4.14 中断和 DMA 请求

定时器在工作时产生事件时会发生中断（TMR15）：

- 更新事件（计数器上溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

定时器在工作时产生事件时会发生中断（TMR16/17）：

- 更新事件（计数器上溢出）
- 捕获/比较事件
- 刹车信号输入事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

## 16.5 TMR15 寄存器地址映射

下表中将通用定时器 TMR15 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 51 TMR15 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR15_CTRL1 | 控制寄存器 1 | 0x00 |
| TMR15_CTRL2 | 控制寄存器 2 | 0x04 |
| TMR15_SMCTRL | 从模式控制寄存器 | 0x08 |
| TMR15_DIEN | DMA/中断使能寄存器 | 0x0C |
| TMR15_STS | 状态寄存器 | 0x10 |
| TMR15_CEG | 控制事件产生寄存器 | 0x14 |
| TMR15_CCM1 | 捕获/比较模式寄存器 1 | 0x18 |
| TMR15_CCEN | 捕获/比较使能寄存器 | 0x20 |
| TMR15_CNT | 计数器寄存器 | 0x24 |
| TMR15_PSC | 预分频寄存器 | 0x28 |
| TMR15_AUTORLD | 自动重装载寄存器 | 0x2C |
| TMR15_REPCNT | 自动重装载寄存器 | 0x30 |

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR15_CC1 | 通道 1 捕获/比较寄存器 | 0x34 |
| TMR15_CC2 | 通道 2 捕获/比较寄存器 | 0x38 |
| TMR15_BDT | 刹车和死区寄存器 | 0x44 |
| TMR15_DCTRL | DMA 控制寄存器 | 0x48 |
| TMR15_DMADDR | 连续模式的 DMA 地址寄存器 | 0x4C |

## 16.6 TMR15 寄存器功能描述

### 16.6.1 控制寄存器 1（TMR15_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CNTEN | R/W | 使能计数器（Counter Enable）<br>0：禁止<br>1：使能<br>定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。 |
| 1 | UD | R/W | 禁止更新（Update Disable）<br>更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。<br>0：允许更新事件（UEV）<br>更新事件可以由以下任一情况产生：<br>计数器上溢；<br>设置 UEG 位；<br>从模式控制器产生的更新。<br>1：禁止更新事件 |
| 2 | URSSEL | R/W | 更新请求源（Update Request Source Select）<br>如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。<br>0：计数器上溢<br>设置 UEG 位<br>通过从模式控制器产生的更新<br>1：计数器上溢 |
| 3 | SPMEN | R/W | 使能单脉冲模式（Single Pulse Mode Enable）<br>产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。<br>0：禁用<br>1：使能 |
| 6:4 | 保留 | | |
| 7 | ARPEN | R/W | TMR15_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）<br>禁止缓存区时，程序修改 TMR15_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMR15_AUTORLD 会在下一个更新事件修改装入计数器的数值。<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 9:8 | CLKDIV | R/W | 时钟分频系数（Clock Division）<br>死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置该位可调整死区时间、数字滤波器的采用时钟。<br>00：$t_{DTS}=t_{CK_INT}$<br>01：$t_{DTS}=2\times t_{CK_INT}$<br>10：$t_{DTS}=4\times t_{CK_INT}$<br>11：保留 |
| 15:10 | 保留 | | |

### 16.6.2 控制寄存器 2（TMR15_CTRL2）

偏移地址：0x04

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CCPEN | R/W | 使能捕获/比较预装载（Capture/Compare Preloaded Enable）<br>该位影响 CCxEN、CCxNEN、OCxMOD 数值的改变，禁止预装载时，程序修改会立刻影响定时器的设置；使能预装载时，只在设置了 COMG 会后更新，从而影响定时器的设置；该位只在具有互补输出的通道起作用。<br>0：禁止<br>1：使能 |
| 1 | 保留 | | |
| 2 | CCUSEL | R/W | 选择捕获/比较控制更新（Capture/Compare Control Updata Select）<br>仅在捕获比较预装载使能（CCPEN=1）时，且只对互补输出通道才起作用。<br>0：只能通过设置 COMG 位更新<br>1：可以通过设置 COMG 位或者 TRGI 上的上升沿更新 |
| 3 | CCDSEL | R/W | 选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select）<br>0：当发生 CCx 事件时，送出 CCx 的 DMA 请求<br>1：当发生更新事件时，送出 CCx 的 DMA 请求 |
| 6:4 | MMSEL | R/W | 选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select）<br>工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的定时器工作，具体影响可从模式的定时器配置有关。<br>000：复位，主模式定时器的复位信号用于 TRGO<br>001：使能，主模式定时器的计数器使能信号用于 TRGO<br>010：更新，主模式定时器的更新事件用于 TRGO<br>011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO<br>100：比较模式 1，OC1REF 用于触发 TRGO<br>101：比较模式 2，OC2REF 用于触发 TRGO<br>11x：保留 |
| 7 | 保留 | | |
| 8 | OC1OIS | R/W | 配置 OC1 输出空闲状态（OC1 Output Idel State Configure）<br>仅在当 MOEN=0 时、实现了 OC1N，只影响 OC1 死区时间后的电平状态。<br>0：OC1=0<br>1；OC1=1<br>注；当 TMR15_BDT 寄存器中 LOCKCFG 位级别为 1、2、或 3 时，该位不能修改。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 9 | OC1NOIS | R/W | 配置 OC1N 输出空闲状态（OC1N Output Idel State Configure）<br>仅在当 MOEN=0 时、实现了 OC1N，只影响 OC1N 死区时间后的电平状态。<br>0：OC1N=0<br>1；OC1N=1<br>注；当 TMR15_BDT 寄存器中 LOCKCFG 位级别为 1、2、或 3 时，该位不能修改。 |
| 10 | OC2OIS | R/W | 配置 OC2 输出空闲状态（OC2 Output Idel State Configure）<br>参考 OC1OIS 的描述。 |
| 15:11 | 保留 | | |

### 16.6.3 从模式控制寄存器（TMR15_SMCTRL）

偏移地址：0x08

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | SMFSEL | R/W | 选择从模式功能（Slave Mode Function Select）<br>000：禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。<br>001：编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。<br>010：编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。<br>011：编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。<br>100：复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。<br>101：门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电平信号时，继续工作；整个期间不复位计数器。<br>110：触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。<br>111：外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。 |
| 3 | 保留 | | |
| 6:4 | TRGSEL | R/W | 选择触发输入信号（Trigger Input Signal Select）<br>为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。<br>000：内部触发 ITR0<br>001：内部触发 ITR1<br>010：内部触发 ITR2<br>011：内部触发 ITR3<br>100：通道 1 输入边沿检测器 TIF_ED<br>101：通道 1 滤波后定时器输入 TI1FP1<br>110：通道 2 滤波后的定时器输入 TI2FP2<br>111：外部触发输入（ETRF） |
| 7 | MSMEN | R/W | 使能主/从模式（Master/slave Mode Enable）<br>0：无效 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 1：使能主/从模式 |
| 15:8 | 保留 | | |

表格 52 TMR15 内部触发连接

| 从定时器 | ITR0（TS=000） | ITR2（TS=010） | ITR3（TS=011） |
|---|---|---|---|
| TMR15 | TMR3 | TMR16 | TMR17 |

### 16.6.4 DMA/中断使能寄存器（TMR15_DIEN）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIEN | R/W | 使能更新中断（Update Interrupt Enable）<br>0：禁止<br>1：使能 |
| 1 | CC1IEN | R/W | 使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 2 | CC2IEN | R/W | 使能捕获/比较通道 2 中断（Capture/Campare Channel2 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4:3 | 保留 | | |
| 5 | COMIEN | R/W | 使能 COM 中断（COM Interrupt Enable）<br>0：禁止<br>1：使能 |
| 6 | TRGIEN | R/W | 使能触发中断（Trigger Interrupt Enable）<br>0：禁止<br>1：使能 |
| 7 | BRKIEN | R/W | 使能刹车中断（Break Interrupt Enable）<br>0：禁止<br>1：使能 |
| 8 | UDIEN | R/W | 使能更新的 DMA 请求（Update DMA Request Enable）<br>0：禁止<br>1：使能 |
| 9 | CC1DEN | R/W | 使能捕获/比较通道 1 的 DMA 请求（Capture/Campare Channel1 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 10 | CC2DEN | R/W | 使能捕获/比较通道 2 的 DMA 请求（Capture/Campare Channe2 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 13:11 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 14 | TRGDEN | R/W | 使能触发 DMA 请求（Trigger DMA Request Enable）<br>0：禁止<br>1：使能 |
| 15 | 保留 | | |

### 16.6.5 状态寄存器（TMR15_STS）

偏移地址：0x10

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIFLG | RC_W0 | 产生更新事件中断标志位（Update Event Interrupt Generate Flag）<br>0：没有发生更新事件中断<br>1：发生更新事件中断<br>计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况：<br>（1）TMR15_CTRL1 寄存器的 UD=0，重复计数器数值上溢时产生更新事件；<br>（2）TMR15_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMR15_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器；<br>（3）TMR15_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触发事件初始化时产生更新事件。 |
| 1 | CC1IFLG | RC_W0 | 捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag）<br>**当捕获比较通道 1 配置为输出时：**<br>0：无匹配发生<br>1：TMR15_CNT 的值与 TMRx_CC1 的值相匹配<br>**当捕获比较通道 1 配置为输入时：**<br>0：没有发生输入捕获<br>1：发生输入捕获<br>捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMR15_CC1 寄存器时清 0。 |
| 2 | CC2IFLG | RC_W0 | 捕获/比较通道 2 中断标志（Captuer/Compare Channel2 new Interrupt Flag）<br>参考 CC1IFLG 的描述。 |
| 4:3 | 保留 | | |
| 5 | COMIFLG | RC_W0 | 产生 COM 中断标志（COM Event Interrupt Flag）<br>0：无 COM 事件产生<br>1：COM 中断等待响应<br>产生 COM 事件后，该位由硬件置 1，软件清 0。 |
| 6 | TRGIFLG | RC_W0 | 产生触发事件中断标志（Trigger Event Interrupt Generate Flag）<br>0：没有发生触发事件中断<br>1：发生触发事件中断<br>发生触发事件时，该位由硬件置 1，软件清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7 | BRKIFLG | RC_W0 | 产生刹车事件中断标志（Break Event Interrupt Generate Flag）<br>0：没有发生刹车事件<br>1：发生刹车事件<br>刹车事件输入有效情况下，该位由硬件置 1；无效的情况下，可以通过软件清 0。 |
| 8 | 保留 | | |
| 9 | CC1RCFLG | RC_W0 | 捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag）<br>0：没有发生重复捕获<br>1：发生重复捕获<br>计数器的值被捕获到 TMR15_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。 |
| 10 | CC2RCFLG | RC_W0 | 捕获/比较通道 2 重复捕获标志（Captuer/compare Channel2 Repetition Capture Flag）<br>参考 CC1RCFLG 的描述。 |
| 15:11 | 保留 | | |

### 16.6.6 控制事件产生寄存器（TMR15_CEG）

偏移地址：0x14

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEG | W | 产生更新事件（Update Event Generate）<br>0：无效<br>1：初始化计数器，产生更新事件<br>此位由软件置 1，硬件清 0。<br>注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。 |
| 1 | CC1EG | W | 产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation）<br>0：无效<br>1：产生捕获/比较事件<br>该位由软件置 1，硬件自动清 0。<br>**如果通道 1 处于输出模式：**<br>当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。<br>**如果通道 1 处于输入模式：**<br>捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。 |
| 2 | CC2EG | W | 产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation）<br>参考 CC1EG 的描述。 |
| 4:3 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 5 | COMG | W | 产生捕获/比较控制更新事件（Capture/Compare Control Updata Event Generate）<br>0：无效<br>1：产生捕获/比较更新事件<br>该位由软件置 1，硬件自动清 0。<br>注：COMG 位只有在互补输出的通道有效。 |
| 6 | TEG | W | 产生触发事件（Trigger Event Generate）<br>0：无效<br>1：产生触发事件<br>该位由软件置 1，硬件自动清 0。 |
| 7 | BEG | W | 产生刹车事件（Break Event Generate）<br>0：无效<br>1：产生刹车事件<br>该位由软件置 1，硬件自动清 0。 |
| 15:8 | 保留 | | |

### 16.6.7 捕获/比较模式寄存器 1（TMR15_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能，寄存器中的 ICx 描述了通道在输入模式下的功能。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择捕获/比较通道 1（Capture/Compare Channel1 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>10：CC1 通道为输入，IC1 映射在 TI2 上<br>11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入<br>注：该位仅在通道关闭时（TMR15_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 2 | OC1FEN | R/W | 快速使能输出比较通道 1（Output Compare Channel1 Fast Enable）<br>0：禁止<br>1：使能<br>该位用来提高捕获/比较输出对触发输入事件的响应。 |
| 3 | OC1PEN | R/W | 使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable）<br>0：禁止预装载功能，通过程序写入 TMR15_CC1 寄存器的数值，会马上起作用。<br>1：启用预装载功能，通过程序写入 TMR15_CC1 寄存器的数值，会在产生更新事件后起作用。<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6:4 | OC1MOD | R/W | 配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure）<br>000：冻结。输出比较对 OC1REF 无影响<br>001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平<br>010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平<br>011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平<br>100：强制输出为低。强制 OC1REF 为低电平<br>101：强制输出为高。强制 OC1REF 为高电平<br>110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之）<br>111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之）<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。 |
| 7 | 保留 | | |
| 9:8 | CC2SEL | R/W | 通道 2 模式选择（Capture/Compare Channel2 Select）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC2 通道为输出<br>01：CC2 通道为输入，IC2 映射在 TI2 上<br>10：CC2 通道为输入，IC2 映射在 TI1 上<br>11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时(TMRx_CCEN 寄存器的 CC2EN=0 时)可写。 |
| 10 | OC2FEN | R/W | 快速使能输出比较通道 2（Output Compare Channel2 Preload Enable）<br>参考 OC1FEN 的描述。 |
| 11 | OC2PEN | R/W | 使能输出比较通道 2 缓冲（Output Compare Channel2 Buffer Enable）<br>参考 OC1PEN 的描述。 |
| 14:12 | OC2MOD | R/W | 输出比较通道 2 模式（Output Compare Channel2 Mode）<br>参考 OC1MOD 的描述。 |
| 15 | 保留 | | |

**输入捕获模式:**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择输入/捕获通道 1（Capture/Compare Channel1 Select）<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>10：CC1 通道为输入，IC1 映射在 TI2 上<br>11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时(TMR15_CCEN 寄存器的 CC1EN=0 时)可写。 |
| 3:2 | IC1PSC | R/W | 配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure）<br>00：PSC=1<br>01：PSC=2<br>10：PSC=4<br>11：PSC=8<br>PSC 是预分频因子，每 PSC 个事件触发一次捕获。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:4 | IC1F | R/W | 配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8<br>0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5<br>1110：DIV=32，N=6<br>1111：DIV=32，N=8<br>采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。 |
| 9:8 | CC2SEL | R/W | 选择捕获/比较通道 2（Capture/Compare Channel2 Select）<br>00：CC2 通道为输出<br>01：CC2 通道为输入，IC2 映射在 TI2 上<br>10：CC2 通道为输入，IC2 映射在 TI1 上<br>11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入<br>注意：该位仅在通道关闭时（TMR15_CCEN 寄存器的 CC2EN=0 时）可写。 |
| 11:10 | IC2PSC | R/W | 配置输入捕获通道 2 预分频因子（（Input Capture Channel2 Perscaler Configuration）<br>参考 IC1PSC 的描述。 |
| 15:12 | IC2F | R/W | 配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）<br>参考 IC1F 的描述。 |

### 16.6.8 捕获/比较使能寄存器（TMR15_CCEN）

偏移地址：0x20

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CC1EN | R/W | 使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable）<br>**捕获/比较通道 1 配置为输出时：**<br>0：禁止输出<br>1：开启输出<br>**捕获/比较通道 1 配置为输入时：**<br>该位决定了计数器的值 CNT 是否能捕获进入 TMR15_CC1 寄存器中<br>0：禁止捕获<br>1：开启捕获 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1 | CC1POL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>0：OC1 高电平有效<br>1：OC1 低电平有效<br>**CC1 通道配置为输入时：**<br>CC1POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性<br>00：不反相/上升沿：<br>TIxFP1 不反相（门控、编码器模式下触发），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>01：反相/下降沿：<br>TIxFP1 反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>10：保留<br>11：不反相/上升和下降沿：<br>TIxFP1 不反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 |
| 2 | CC1NEN | R/W | 使能捕获/比较通道 1 互补输出（Capture/Compare Channel1 Complementary Output Enable）<br>0：禁止<br>1：开启 |
| 3 | CC1NPOL | R/W | 捕获/比较通道 1 互补输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>0：OC1N 高电平有效<br>1：OC1N 低电平有效<br>注：当保护级别为 2 或者 3 时，该位不能被修改。 |
| 4 | CC2EN | R/W | 使能捕获/比较通道 2 输出（Capture/Compare Channel2 Output Enable）<br>参考 CC1EN 的描述。 |
| 5 | CC2POL | R/W | 配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure）<br>参考 CC1POL 的描述。 |
| 6 | 保留 | | |
| 7 | CC2NPOL | R/W | 配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure）<br>参考 CC1NPOL 的描述。 |
| 15:8 | 保留 | | |

### 16.6.9 计数器寄存器（TMR15_CNT）

偏移地址：0x24

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CNT | R/W | 当前计数器数值（Counter Value） |

### 16.6.10 预分频寄存器（TMR15_PSC）

偏移地址：0x28

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | PSC | R/W | 预分频器数值（Prescaler Value）<br>计数器的时钟频率（CK_CNT）＝$f_{CK_PSC}$/（PSC+1） |

### 16.6.11 自动重装载寄存器（TMR15_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | AUTORLD | R/W | 自动重装载数值（Auto Reload Value）<br>自动重装载的值为空时，计数器不进行计数。 |

### 16.6.12 重复计数寄存器（TMR15_REPCNT）

偏移地址：0x30

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | REPCNT | R/W | 重复计数数值（Repetition Counter Value）<br>当重复计数器计数值减为 0 时产生更新事件，计数器重新从 REPCNT 数值开始计数；新写入该寄存器的新值只有 下次周期更新事件发生时才有效。 |
| 15:8 | 保留 | | |

### 16.6.13 通道 1 捕获/比较寄存器（TMR15_CC1）

偏移地址：0x34

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC1 | R/W | 捕获/比较通道 1 数值（Capture/Compare Channel1 Value）<br>**捕获/比较通道 1 配置为输入模式：**<br>CC1 包含上次输入捕获通道 1 事件传输的计数器数值。<br>**捕获/比较通道 1 配置为输出模式：**<br>CC1 包含了当前装入捕获/比较寄存器数值<br>捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。<br>当输出比较预装载禁止（TMR15_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果；<br>当输出比较预装载使能（TMR15_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。 |

### 16.6.14 通道 2 捕获/比较寄存器（TMR15_CC2）

偏移地址：0x38

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC2 | R/W | 捕获/比较通道 2 数值（Capture/Compare Channel2 Value）<br>参考 TMR15_CC1 的描述。 |

### 16.6.15 刹车和死区寄存器（TMR15_BDT）

偏移地址：0x44

复位值：0x0000

注：根据锁定设置，AOEN、BRKPOL、BRKEN、IMOS、RMOS 和 DTS[7:0]位均可被写保护，有必要在第一次写入 TMRx_BDT 寄存器时对它们进行配置。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | DTS | R/W | 设置互补输出通道的死区持续时间（Dead Time Setup）<br>DT 为死区持续时间，DT 与寄存器 DTS 的关系如下：<br>DTS[7:5]=0xx=>DT=DTS[7:0]×$T_{DTS}$，$T_{DTS}$=TDTS；<br>DTS[7:5]=10x=>DT=（64+DTS[5:0]）×$T_{DTS}$，$T_{DTS}$=2×$T_{DTS}$；<br>DTS[7:5]=110=>DT=（32+DTS[4:0]）×$T_{DTS}$，$T_{DTS}$=8×$T_{DTS}$；<br>DTS[7:5]=111=>DT=（32+DTS[4:0]）×$T_{DTS}$，$T_{DTS}$=16×$T_{DTS}$；<br>例：假设 $T_{DTS}$=125ns（8MHZ），死区时间设置如下：<br>若步长时间为 125ns，可设置死区时间范围是 0 到 15875ns；<br>若步长时间为 250ns，可设置死区时间范围是 16us 到 31750ns；<br>若步长时间为 1us，可设置死区时间范围是 32us 到 63us；<br>若步长时间为 2us，可设置死区时间范围是 64us 到 126us。<br>注：一旦 LOCK 级别（TMR15_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。 |
| 9:8 | LOCKCFG | R/W | 配置锁定写保护模式（Lock Write Protection Mode Configuration）<br>00：无锁定写保护，可直接写寄存器<br>01：锁定写保护级别 1<br>不能写入 TMR15_BDT 的 DTS、BRKEN、BRKPOL、AOEN 位和 TMR15_CTRL2 寄存器的 OCxOIS 和 OCxNOIS 位。<br>10：锁定写保护级别保护级别 2<br>不能写入保护级别 1 的所有位，也不能写入 TMR15_CCEN 寄存器中的 CCxPOL 和 OCxNPOL 位、TMR15_BDT 寄存器的 RMOS 和 IMOS 位。<br>11：锁定写保护级别保护级别 3<br>不能写入保护级别 2 的所有位，也不能写入 TMR15_CCMx 的寄存器的 OCxMOD 和 OCxPEN 位。<br>注意：在系统复位后，只能写一次锁定写保护位。 |
| 10 | IMOS | R/W | 配置空闲模式下的关闭状态（Idle Mode Off-state Configure）<br>空闲模式指 MOEN=0，关闭是指 CCxEN=0；该位描述的是在 MOEN=0，CCxEN 由 0 变为 1，配置该位不同的数值，对输出波形的影响。<br>0：禁止 OCx/OCxN 输出<br>1：若 CCxEN=1，先在死区期间输出无效电平（具体电平数值受极性配置影响），在死区结束后，输出空闲电平 |
| 11 | RMOS | R/W | 配置运行模式下的关闭状态（Run Mode Off-state Configure）<br>运行模式指 MOEN=1，关闭是指 CCxEN=0；该位描述的是在 MOEN=1，CCxEN 由 0 变为 1 时，配置该位不同的数值，对输出波形的影响。<br>0：禁止 OCx/OCxN 输出<br>1：OCx/OCxN 先输出无效电平（具体电平数值受极性配置影响） |
| 12 | BRKEN | R/W | 使能刹车功能（Brake Function Enable）<br>0：禁止<br>1：使能<br>注：当保护级别为 1 时，该位不能修改。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 13 | BRKPOL | R/W | 配置刹车输入极性（Brake Polarity Configure）<br>0：刹车输入 BRK 在低电平有效<br>1：刹车输入 BRK 在高电平有效<br>注：当保护级别为 1 时，该位不能被修改。对该位的写操作需要一个 APB 时钟延迟后才能使用。 |
| 14 | AOEN | R/W | 使能自动输出（Automatic Output Enable）<br>0：MOEN 只能被软件置 1<br>1：MOEN 可以被软件置 1 或者在下一个更新事件时自动值置 1（刹车输入无效）<br>注：当保护级别为 1 时，该位不能修改。 |
| 15 | MOEN | R/W | 使能波形主输出（Wave Main Output Enable）<br>0：禁止 OCx 和 OCxN 输出或者强制输出空闲状态<br>1：当设置了 TMR15_CCEN 寄存器的 CCxEN 和 CCxNEN 位，开启 OCx 和 OCxN 输出<br>刹车输入有效时硬件异步清 0。<br>注：由软件置 1 还是自动置 1 取决于 TMR15_BDT 寄存器的 AOEN 位。 |

### 16.6.16 DMA 控制寄存器（TMR15_DCTRL）

偏移地址：0x48

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 4:0 | DBADDR | R/W | 设置 DMA 基地址（DMA Base Address Setup）<br>这些位定义了 DMA 在连续模式下的基地址（当对 TMR15_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMR15_CTRL1 寄存器所在地址开始的偏移量：<br>00000：TMR15_CTRL1<br>00001：TMR15_CTRL2<br>00010：TMR15_SMCTRL<br>……. |
| 7:5 | 保留 | | |
| 12:8 | DBLEN | R/W | 设置 DMA 突发传送长度（DMA Burst Transfer Length Setup）<br>这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。<br>当读写 TMR15_DMADDR 寄存器时，定时器进行一次连续传输传送；<br>00000：1 次传输<br>00001：2 次传输<br>……<br>10001：18 次传输<br>传输的地址公式如下：<br>传输的地址=TMR15_CTRL1 的地址（从地址）+DBADDR+DMA 索引；<br>DMA 索引=DBLEN<br>例如：DBLEN=7，DBADDR=TMR2_CTRL1（从地址）表示待传输数据的地址，则 TMR15_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址，数据的传输将发生在：TMR15_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。<br>根据设置的 DMA 数据长度不同，数据传输也会发生变化：<br>当传输数据设置为 16 位时，数据会传输给 7 个寄存器。当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:13 | 保留 | | |

### 16.6.17 连续模式的 DMA 地址寄存器（TMR15_DMADDR）

偏移地址：0x4C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | DMADDR | R/W | DMA 突发传送寄存器（DMA Register for Burst Transfer）<br>TMR15_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作：<br>TMR15_CTRL1 地址+（DBADDR+DMA 索引）×4<br>其中：<br>“TMR15_CTRL1 地址”是控制寄存器 1（TMR15_CTRL1）所在的地址；<br>“DBADDR”是 TMR15_DCTRL 寄存器中定义的基地址；<br>“DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMR15_DCTRL 寄存器中定义的 DBLEN。 |

## 16.7 TMR16 和 TMR17 寄存器地址映射

下表中将通用定时器 TMR16 和 TMR17 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 53 TMR16 和 TRM17 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMRx_CTRL1 | 控制寄存器 1 | 0x00 |
| TMRx_CTRL2 | 控制寄存器 2 | 0x04 |
| TMRx_STS | 状态寄存器 | 0x10 |
| TMRx_DIEN | DMA/中断使能寄存器 | 0x0C |
| TMRx_CEG | 控制事件产生寄存器 | 0x14 |
| TMRx_CCM1 | 捕获/比较模式寄存器 1 | 0x18 |
| TMRx_CCEN | 捕获/比较使能寄存器 | 0x20 |
| TMRx_CNT | 计数器寄存器 | 0x24 |
| TMRx_PSC | 预分频寄存器 | 0x28 |
| TMRx_AUTORLD | 自动重装载寄存器 | 0x2C |
| TMRx_REPCNT | 自动重装载寄存器 | 0x30 |
| TMRx_CC1 | 通道 1 捕获/比较寄存器 | 0x34 |
| TMRx_BDT | 刹车和死区寄存器 | 0x44 |
| TMRx_DCTRL | DMA 控制寄存器 | 0x48 |
| TMRx_DMADDR | 连续模式的 DMA 地址寄存器 | 0x4C |

## 16.8 TMR16 和 TMR17 寄存器功能描述

### 16.8.1 控制寄存器 1（TMRx_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CNTEN | R/W | 使能计数器（Counter Enable）<br>0：禁止<br>1：使能<br>定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。 |
| 1 | UD | R/W | 禁止更新（Update Disable）<br>更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。<br>0：允许更新事件（UEV）<br>更新事件可以由以下任一情况产生：<br>计数器上溢；<br>设置 UEG 位；<br>从模式控制器产生的更新。<br>1：禁止更新事件 |
| 2 | URSSEL | R/W | 更新请求源（Update Request Source Select）<br>如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。<br>0：计数器上溢<br>设置 UEG 位<br>通过从模式控制器产生的更新<br>1：计数器上溢 |
| 3 | SPMEN | R/W | 使能单脉冲模式（Single Pulse Mode Enable）<br>产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。<br>0：禁用<br>1：使能 |
| 6:4 | 保留 | | |
| 7 | ARPEN | R/W | TMRx_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）<br>禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。<br>0：禁止<br>1：使能 |
| 9:8 | CLKDIV | R/W | 时钟分频系数（Clock Division）<br>死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置改位可调整死区时间、数字滤波器的采用时钟。<br>00：$t_{DTS}=t_{CK_INT}$<br>01：$t_{DTS}=2\times t_{CK_INT}$<br>10：$t_{DTS}=4\times t_{CK_INT}$<br>11：保留 |
| 15:10 | 保留 | | |

### 16.8.2 控制寄存器 2（TMRx_CTRL2）

偏移地址：0x04

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CCPEN | R/W | 使能捕获/比较预装载（Capture/Compare Preloaded Enable）<br>该位影响 CCxEN、CCxNEN、OCxMOD 数值的改变，禁止预装载时，程序修改会立刻影响定时器的设置；使能预装载时，只在设置了 COMG 会后更新，从而影响定时器的设置；该位只在具有互补输出的通道起作用。<br>0：禁止<br>1；使能 |
| 1 | 保留 | | |
| 2 | CCUSEL | R/W | 选择捕获/比较控制更新（Capture/Compare Control Updata Select）仅在捕获比较预装载使能（CCPEN=1）时，且只对互补输出通道才起作用。<br>0：只能通过设置 COMG 位更新<br>1；可以通过设置 COMG 位或者 TRGI 上的上升沿更新 |
| 3 | CCDSEL | R/W | 选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select）<br>0：当发生 CCx 事件时，送出 CCx 的 DMA 请求<br>1：当发生更新事件时，送出 CCx 的 DMA 请求 |
| 7:4 | 保留 | | |
| 8 | OC1OIS | R/W | 配置 OC1 输出空闲状态（OC1 Output Idel State Configure）<br>仅在当 MOEN=0 时、实现 OC1N，只影响 OC1 死区时间后的电平状态。<br>0：OC1=0<br>1；OC1=1<br>注；当 TMRx_BDT 寄存器中 LOCKCFG 位级别为 1、2、或 3 时，该位不能修改。 |
| 9 | OC1NOIS | R/W | 配置 OC1N 输出空闲状态（OC1N Output Idel State Configure）<br>仅在当 MOEN=0 时、实现 OC1N，只影响 OC1N 死区时间后的电平状态。<br>0：OC1N=0<br>1；OC1N=1<br>注；当 TMRx_BDT 寄存器中 LOCKCFG 位级别为 1、2、或 3 时，该位不能修改。 |
| 15:10 | 保留 | | |

### 16.8.3 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIEN | R/W | 使能更新中断（Update Interrupt Enable）<br>0：禁止<br>1：使能 |
| 1 | CC1IEN | R/W | 使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4:2 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 5 | COMIEN | R/W | 使能 COM 中断（COM Interrupt Enable）<br>0：禁止<br>1：使能 |
| 6 | 保留 | | |
| 7 | BRKIEN | R/W | 使能刹车中断（Break Interrupt Enable）<br>0：禁止<br>1：使能 |
| 8 | UDIEN | R/W | 使能更新的 DMA 请求（Update DMA Request Enable）<br>0：禁止<br>1：使能 |
| 9 | CC1DEN | R/W | 使能捕获/比较通道 1 的 DMA 请求（Capture/Campare Channel1 DMA Request Enable）<br>0：禁止<br>1：使能 |
| 15:10 | 保留 | | |

### 16.8.4 状态寄存器（TMRx_STS）

偏移地址：0x10

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIFLG | RC_W0 | 产生更新事件中断标志位（Update Event Interrupt Generate Flag）<br>0：没有发生更新事件中断<br>1：发生更新事件中断<br>计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况：<br>（1）TMRx_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件；<br>（2）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器。 |
| 1 | CC1IFLG | RC_W0 | 捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag）<br>**当捕获比较通道 1 配置为输出时：**<br>0：无匹配发生<br>1：TMRx_CNT 的值与 TMRx_CC1 的值相匹配<br>**当捕获比较通道 1 配置为输入时：**<br>0：没有发生输入捕获<br>1：发生输入捕获<br>捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。 |
| 4:2 | 保留 | | |
| 5 | COMIFLG | RC_W0 | 产生 COM 事件中断标志（COM Event Interrupt Generate Flag）<br>0：无 COM 事件产生<br>1：COM 中断等待响应 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 产生 COM 事件后，该位由硬件置 1，软件清 0。 |
| 6 | 保留 | | |
| 7 | BRKIFLG | RC_W0 | 产生刹车事件中断标志（Break Event Interrupt Generate Flag Bit）<br>0：没有发生刹车事件<br>1：发生刹车事件<br>刹车事件输入有效情况下，该位由硬件置 1；无效的情况下，可以通过软件清 0。 |
| 8 | 保留 | | |
| 9 | CC1RCFLG | RC_W0 | 捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag）<br>0：没有发生重复捕获<br>1：发生重复捕获<br>计数器的值被捕获到 TMRx_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。 |
| 15:10 | 保留 | | |

### 16.8.5 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEG | W | 产生更新事件（Update Event Generate）<br>0：无效<br>1：初始化计数器，产生更新事件<br>此位由软件置 1，硬件清 0。<br>注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。 |
| 1 | CC1EG | W | 产生捕获/比较通道 1 事件(Capture/Compare Channel1 Event Generation)<br>0：无效<br>1：产生捕获/比较事件<br>该位由软件置 1，硬件自动清 0。<br>**如果通道 1 处于输出模式：**<br>当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。<br>**如果通道 1 处于输入模式：**<br>捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。 |
| 4:2 | 保留 | | |
| 5 | COMG | W | 产生捕获/比较控制更新事件（Capture/Compare Control Updata Event Generate）<br>0：无效<br>1：产生捕获/比较更新事件<br>该位由软件置 1，硬件自动清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 注：COMG 位只有在互补输出的通道有效。 |
| 6 | 保留 | | |
| 7 | BEG | W | 产生刹车事件（Break Event Generate）<br>0：无效<br>1：产生刹车事件<br>该位由软件置 1，硬件自动清 0。 |
| 15:8 | 保留 | | |

### 16.8.6 捕获/比较模式寄存器 1（TMRx_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能，寄存器中的 ICx 描述了通道在输入模式下的功能。

**输出比较模式：**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择捕获/比较通道 1（Capture/Compare Channel1 Selection）<br>该位定义了输入/输出的方向以及选择输入引脚。<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>1x：保留<br>注：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 2 | OC1FEN | R/W | 快速使能输出比较通道 1（Output Compare Channel1 Fast Enable）<br>0：禁止<br>1：使能<br>该位用来提高捕获/比较输出对触发输入事件的响应。 |
| 3 | OC1PEN | R/W | 使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable）<br>0：禁止预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会马上起作用。<br>1：启用预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会在产生更新事件后起作用。<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6:4 | OC1MOD | R/W | 配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure）<br>000：冻结。输出比较对 OC1REF 无影响<br>001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平<br>010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平<br>011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平<br>100：强制输出为低。强制 OC1REF 为低电平<br>101：强制输出为高。强制 OC1REF 为高电平<br>110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之）<br>111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之）<br>注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。 |
| 15:7 | 保留 | | |

**输入捕获模式:**

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 1:0 | CC1SEL | R/W | 选择输入/捕获通道 1（Capture/Compare Channel1 Select）<br>00：CC1 通道为输出<br>01：CC1 通道为输入，IC1 映射在 TI1 上<br>1x：保留<br>注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。 |
| 3:2 | IC1PSC | R/W | 配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure）<br>00：PSC=1<br>01：PSC=2<br>10：PSC=4<br>11：PSC=8<br>PSC 是预分频因子，每 PSC 个事件触发一次捕获。 |
| 7:4 | IC1F | R/W | 配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration）<br>0000：禁用滤波器，以 $f_{DTS}$ 采样<br>0001：DIV=1，N=2<br>0010：DIV=1，N=4<br>0011：DIV=1，N=8<br>0100：DIV=2，N=6<br>0101：DIV=2，N=8<br>0110：DIV=4，N=6<br>0111：DIV=4，N=8<br>1000：DIV=8，N=6<br>1001：DIV=8，N=8<br>1010：DIV=16，N=5<br>1011：DIV=16，N=6<br>1100：DIV=16，N=8<br>1101：DIV=32，N=5 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 1110：DIV=32，N=6<br>1111：DIV=32，N=8<br>采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。 |
| 15:8 | 保留 | | |

### 16.8.7 捕获/比较使能寄存器（TMRx_CCEN）

偏移地址：0x20

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CC1EN | R/W | 使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable）<br>**捕获/比较通道 1 配置为输出时：**<br>0：禁止输出<br>1：开启输出<br>**捕获/比较通道 1 配置为输入时：**<br>该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中<br>0：禁止捕获<br>1：开启捕获 |
| 1 | CC1POL | R/W | 配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>**CC1 通道配置为输出时：**<br>0：OC1 高电平有效<br>1：OC1 低电平有效<br>**CC1 通道配置为输入时：**<br>CC1POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性<br>00：不反相/上升沿：<br>TIxFP1 不反相（门控、编码器模式下触发），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>01：反相/下降沿：<br>TIxFP1 反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。<br>10：保留<br>11：不反相/上升和下降沿：<br>TIxFP1 不反相（门控模式下触发，不能用于编码器模式），在 TIxFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 |
| 2 | CC1NEN | R/W | 使能捕获/比较通道 1 互补输出（Capture/Compare Channel1 Complementary Output Enable）<br>0：禁止<br>1：开启 |
| 3 | CC1NPOL | R/W | 捕获/比较通道 1 互补输出极性（Capture/Compare Channel1 Output Polarity Configure）<br>0：OC1N 高电平有效<br>1：OC1N 低电平有效<br>注：当保护级别为 2 或者 3 时，该位不能被 修改。 |
| 15:4 | 保留 | | |

### 16.8.8 计数器寄存器（TMRx_CNT）

偏移地址：0x24

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CNT | R/W | 当前计数器数值（Counter Value） |

### 16.8.9 预分频寄存器（TMRx_PSC）

偏移地址：0x28

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | PSC | R/W | 预分频器数值（Prescaler Value）<br>计数器的时钟频率（CK_CNT）＝$f_{CK_PSC}$/（PSC+1） |

### 16.8.10 自动重装载寄存器（TMRx_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | AUTORLD | R/W | 自动重装载数值（Auto Reload Value）<br>自动重装载的值为空时，计数器不进行计数。 |

### 16.8.11 重复计数寄存器（TMRx_REPCNT）

偏移地址：0x30

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | REPCNT | R/W | 重复计数数值（Repetition Counter Value）<br>当重复计数器计数值减为 0 时产生更新事件，计数器重新从 REPCNT 数值开始计数；新写入该寄存器的新值只有 下次周期更新事件发生时才有效。 |
| 15:8 | 保留 | | |

### 16.8.12 通道 1 捕获/比较寄存器（TMRx_CC1）

偏移地址：0x34

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CC1 | R/W | 捕获/比较通道 1 数值（Capture/Compare Channel1 Value）<br>**捕获/比较通道 1 配置为输入模式：**<br>CC1 包含上次输入捕获通道 1 事件传输的计数器数值。<br>**捕获/比较通道 1 配置为输出模式：**<br>CC1 包含了当前装入捕获/比较寄存器数值<br>捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号.<br>当输出比较预装载禁止（TMRx_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果；<br>当输出比较预装载使能（TMRx_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。 |

### 16.8.13 刹车和死区寄存器（TMRx_BDT）

偏移地址：0x44

复位值：0x0000

注：根据锁定设置，AOEN、BRKPOL、BRKEN、IMOS、RMOS 和 DTS[7:0]位均可被写保护，有必要在第一次写入 TMRx_BDT 寄存器时对它们进行配置。

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | DTS | R/W | 设置互补输出通道的死区持续时间（Dead Time Setup）<br>DT 为死区持续时间，DT 与寄存器 DTS 的关系如下：<br>DTS[7:5]=0xx=>DT=DTS[7:0]×$T_{DTS}$，$T_{DTS}$=TDTS；<br>DTS[7:5]=10x=>DT=（64+DTS[5:0]）×$T_{DTS}$，$T_{DTS}$=2×$T_{DTS}$；<br>DTS[7:5]=110=>DT=（32+DTS[4:0]）×$T_{DTS}$，$T_{DTS}$=8×$T_{DTS}$；<br>DTS[7:5]=111=>DT=（32+DTS[4:0]）×$T_{DTS}$，$T_{DTS}$=16×$T_{DTS}$；<br>例：假设 $T_{DTS}$=125ns（8MHZ），死区时间设置如下：<br>若步长时间为 125ns，可设置死区时间范围是 0 到 15875ns；<br>若步长时间为 250ns，可设置死区时间范围是 16us 到 31750ns；<br>若步长时间为 1us，可设置死区时间范围是 32us 到 63us；<br>若步长时间为 2us，可设置死区时间范围是 64us 到 126us。<br>注：一旦 LOCK 级别（TMRx_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。 |
| 9:8 | LOCKCFG | R/W | 配置锁定写保护模式（Lock Write Protection Mode Configuration）<br>00：无锁定写保护，可直接写寄存器<br>01：锁定写保护级别 1<br>不能写入 TMRx_BDT 的 DTS、BRKEN、BRKPOL、AOEN 位和 TMRx_CTRL2 寄存器的 OCxOIS 和 OCxNOIS 位。<br>10：锁定写保护级别保护级别 2<br>不能写入保护级别 1 的所有位，也不能写入 TMRx_CCEN 寄存器中的 CCxPOL 和 OCxNPOL 位、TMRx_BDT 寄存器的 RMOS 和 IMOS 位。<br>11：锁定写保护级别保护级别 3<br>不能写入保护级别 2 的所有位，也不能写入 TMRx_CCMx 的寄存器的 OCxMOD 和 OCxPEN 位。<br>注意：在系统复位后，只能写一次锁定写保护位。 |
| 10 | IMOS | R/W | 配置空闲模式下的关闭状态（Idle Mode Off-state Configure）<br>空闲模式指 MOEN=0，关闭是指 CCxEN=0；该位描述的是在 MOEN=0，CCxEN 由 0 变为 1，配置该位不同的数值，对输出波形的影响。<br>0：禁止 OCx/OCxN 输出<br>1：若 CCxEN=1，先在死区期间输出无效电平（具体电平数值受极性配置影响），在死区结束后，输出空闲电平 |
| 11 | RMOS | R/W | 配置运行模式下的关闭状态（Run Mode Off-state Configure）<br>运行模式指 MOEN=1，关闭是指 CCxEN=0；该位描述的是在 MOEN=1，CCxEN 由 0 变为 1 时，配置该位不同的数值，对输出波形的影响。<br>0：禁止 OCx/OCxN 输出<br>1：OCx/OCxN 先输出无效电平（具体电平数值受极性配置影响） |
| 12 | BRKEN | R/W | 使能刹车功能（Brake Function Enable）<br>0：禁止<br>1：使能<br>注：当保护级别为 1 时，该位不能修改。 |
| 13 | BRKPOL | R/W | 配置刹车输入极性（Brake Polarity Configure）<br>0：刹车输入 BRK 在低电平有效<br>1：刹车输入 BRK 在高电平有效<br>注：当保护级别为 1 时，该位不能被修改。对该位的写操作需要一个 APB 时钟延迟后才能使用。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 14 | AOEN | R/W | 使能自动输出（Automatic Output Enable）<br>0：MOEN 只能被软件置 1<br>1：MOEN 可以被软件置 1 或者在下一个更新事件时自动值置 1（刹车输入无效）<br>注：当保护级别为 1 时，该位不能修改。 |
| 15 | MOEN | R/W | 使能 PWM 主输出（PWM Main Output Enable）<br>0：禁止 OCx 和 OCxN 输出或者强制输出空闲状态<br>1：当设置了 TMRx_CCEN 寄存器的 CCxEN 和 CCxNEN 位，开启 OCx 和 OCxN 输出<br>刹车输入有效时硬件异步清 0。<br>注：由软件置 1 还是自动置 1 取决于 TMRx_BDT 寄存器的 AOEN 位。 |

### 16.8.14 DMA 控制寄存器（TMRx_DCTRL）

偏移地址：0x48

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 4:0 | DBADDR | R/W | 设置 DMA 基地址（DMA Base Address Setup）<br>这些位定义了 DMA 在连续模式下的基地址（当对 TMRx_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量：<br>00000：TMRx_CTRL1<br>00001：TMRx_CTRL2<br>00010：TMRx_SMCTRL<br>……. |
| 7:5 | 保留 | | |
| 12:8 | DBLEN | R/W | 设置 DMA 突发传送长度（DMA Burst Transfer Length Setup）<br>这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。<br>当读写 TMRx_DMADDR 寄存器时，定时器进行一次连续传输传送；<br>00000：1 次传输<br>00001：2 次传输<br>00010：3 次传输<br>……<br>10001：18 次传输<br>传输的地址公式如下：<br>传输的地址=TMRx_CTRL1 的地址（从地址）+DBADDR+DMA 索引；<br>DMA 索引=DBLEN。<br>例如：DBLEN=7，DBADDR=TMR2_CTRL1(从地址)表示待传输数据的地址，则 TMRx_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址，数据的传输将发生在：TMRx_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。<br>根据设置的 DMA 数据长度不同，数据传输也会发生变化：<br>当传输数据设置为 16 位时，数据会传输给 7 个寄存器；<br>当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。 |
| 15:13 | 保留 | | |

### 16.8.15 连续模式的 DMA 地址寄存器（TMRx_DMADDR）

偏移地址：0x4C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | DMADDR | R/W | DMA 突发传送寄存器（DMA Register for Burst Transfer）<br>TMRx_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作：<br>TMRx_CTRL1 地址+（DBADDR+DMA 索引）×4<br>其中：<br>“TMRx_CTRL1 地址”是控制寄存器 1（TMRx_CTRL1）所在的地址；<br>“DBADDR”是 TMRx_DCTRL 寄存器中定义的基地址；<br>“DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMRx_DCTRL 寄存器中定义的 DBLEN。 |

# 17 基本定时器（TMR6）

## 17.1 简介

基本定时器 TMR6 有一个无符号的 16 位计数器、自动重装载寄存器、预分频器和触发控制器。

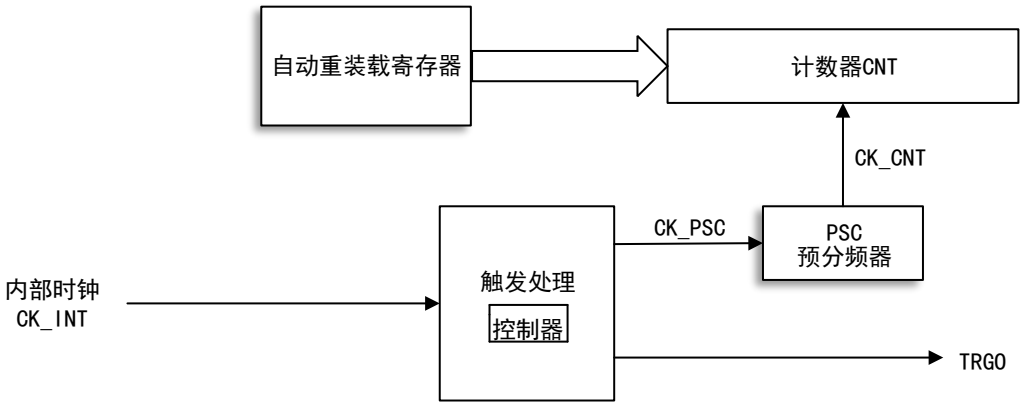
基本定时器为通用定时器提供时间基准，通过配置可以产生 DMA 请求。

## 17.2 主要特征

（1） 计数器：16 位计数器，只能向上计数
（2） 预分频器：16 位可编程预分频器
（3） 时钟源：只有内部时钟

## 17.3 结构框图

图 76 基本定时器结构框图




## 17.4 功能描述

### 17.4.1 时钟源选择

基本定时器由内部时钟源 TMR6_CLK 驱动

配置 TMR6_CTRL1 寄存器的 CNTEN 位使能计数器，置位 CNTEN 位时，内部时钟 CK_INT 经过控制器和预分频器产生 CK_INT 驱动计数器。

### 17.4.2 时基单元

基本定时器的时基单元包含三个寄存器：

- 计数器寄存器（CNT）16 位
- 自动重装载寄存器（AUTORLD）16 位
- 预分频器（PSC）16 位

### 计数器 CNT

基本定时器中只有一种计数模式：向上计数模式

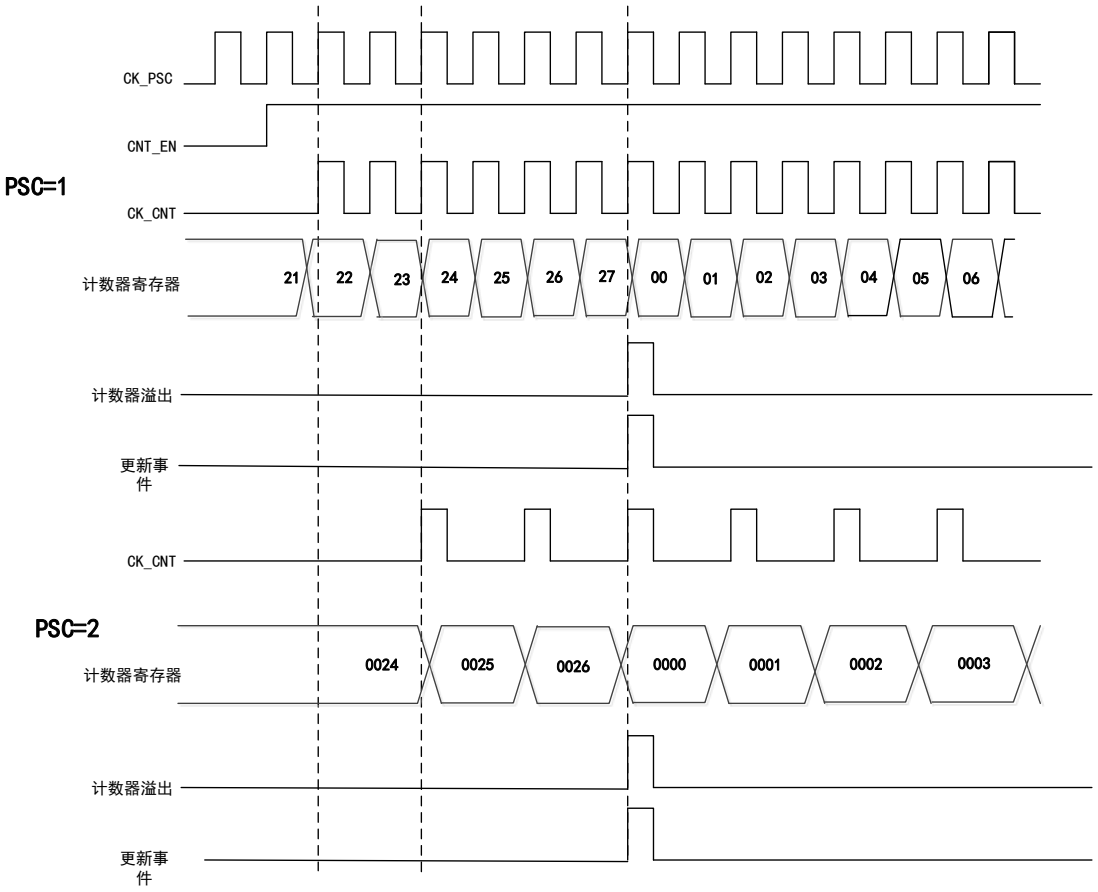
#### 向上计数模式

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMR6_CNT）值与自动重装载（TMR6_AUTORLD）的值相等，然后计数器会重新从 0 开始计数，产生一个计数器向上溢出事件，自动重装载的值（TMR6_AUTORLD）是提前写入的。

禁止更新事件，设置 TMR6_CTRL1 寄存器中的 UD 位置 1。

在发生一个更新事件时，自动重装载寄存器和预分频寄存器都将会被更新。

图 77 计数器时序图，内部时钟分频系数为 1 或 2




### 预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMR6_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

## 17.5 寄存器地址映射

下表中将基本定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 54 TMR6 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| TMR6_CTRL1 | 控制寄存器 1 | 0x00 |
| TMR6_DIEN | DMA/中断使能寄存器 | 0x0C |
| TMR6_STS | 状态寄存器 | 0x10 |
| TMR6_CEG | 控制事件产生寄存器 | 0x14 |
| TMR6_CNT | 计数器寄存器 | 0x24 |
| TMR6_PSC | 预分频寄存器 | 0x28 |
| TMR6_AUTORLD | 自动重装载寄存器 | 0x2C |

## 17.6 寄存器功能描述

### 17.6.1 控制寄存器 1（TMR6_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CNTEN | R/W | 使能计数器（Counter Enable）<br>0：禁止<br>1：使能<br>定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。 |
| 1 | UD | R/W | 禁止更新（Update Disable）<br>更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。<br>0：允许更新事件（UEV）<br>更新事件可以由以下任一情况产生：<br>计数器溢出；<br>设置 UEG 位；<br>从模式控制器产生的更新。<br>1：禁止更新事件 |
| 2 | URSSEL | R/W | 更新请求源（Update Request Source Select）<br>如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。<br>0：计数器上溢<br>设置 UEG 位<br>通过从模式控制器产生的更新<br>1：计数器上溢 |
| 3 | SPMEN | R/W | 使能单脉冲模式（Single Pulse Mode Enable）<br>当该位置位时，在产生更新事件时，会清除 CNTEN 位，停止计数器。<br>0：禁用<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6:4 | 保留 | | |
| 7 | ARPEN | R/W | TMR6_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）<br>禁止缓存区时，程序修改 TMR6_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMR6_AUTORLD 会在下一个更新事件修改装入计数器的数值。<br>0：禁止<br>1：使能 |
| 15:8 | 保留 | | |

### 17.6.2 DMA/中断使能寄存器（TMR6_DIEN）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIEN | R/W | 使能更新中断（Update Interrupt Enable）<br>0：禁止<br>1：使能 |
| 7:1 | 保留 | | |
| 8 | UDIEN | R/W | 使能更新的 DMA 请求（Update DMA Request Enable）<br>0：禁止<br>1：使能 |
| 15:9 | 保留 | | |

### 17.6.3 状态寄存器（TMR6_STS）

偏移地址：0x10

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UIFLG | RC_W0 | 产生更新事件中断标志位（Update Event Interrupt Generate Flag）<br>0：没有发生更新事件中断<br>1：发生更新事件中断<br>计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况：<br>（1）TMR6_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件；<br>（2）TMR6_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器； |
| 15:1 | 保留 | | |

### 17.6.4 控制事件产生寄存器（TMR6_CEG）

偏移地址:0x14

复位值:0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEG | W | 产生更新事件（Update Event Generate）<br>0：无效<br>1：初始化计数器，产生更新事件<br>此位由软件置 1，硬件清 0。<br>注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。 |
| 15:1 | 保留 | | |

### 17.6.5 计数器寄存器（TMR6_CNT）

偏移地址：0x24

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CNT | R/W | 当前计数器数值（Counter Value） |

### 17.6.6 预分频寄存器（TMR6_PSC）

偏移地址：0x28

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | PSC | R/W | 预分频器数值（Prescaler Value）<br>计数器的时钟频率（CK_CNT）＝$f_{CK_PSC}$/（PSC+1） |

### 17.6.7 自动重装载寄存器（TMR6_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | AUTORLD | R/W | 自动重装载数值（Auto Reload Value）<br>自动重装载的值为空时，计数器不进行计数。 |

# 18 红外定时器（IRTMR）

## 18.1 简介

IRTMR 是一个用于遥控的红外接口，可以使用一个红外 LED 来实现遥控功能。

## 18.2 功能描述

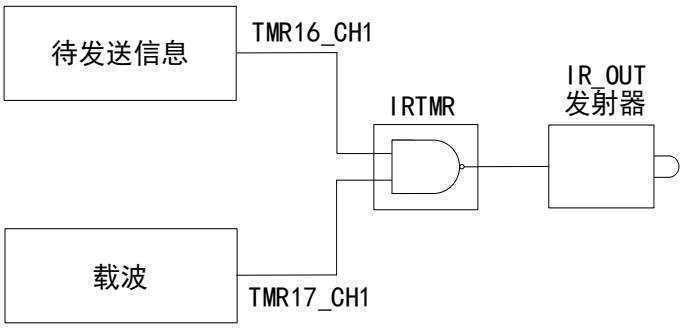
### 18.2.1 IRTMR 接收

红外接收可通过外部 IR 接收器模块的输出连接到控制器的 GPIO 或者定时器的输入捕获通道来实现数据的接收。

### 18.2.2 IRTMR 发送

IRTMR 内部连接到 TMR16 和 TMR17，具体框图如下：

图 78 IRTMR 结构框图




为了产生正确的红外遥控信号，需要正确配置 TMR17_CH1 提供一个高频载波信号，而 TMR16 提供我们发送的信息即可。

最终的调制信号通过 IR_OUT 引脚输出，通过使能 GPIOx_ALFx 寄存器中的相关复用功能位来激活此功能。

# 19 看门狗定时器（WDT）

## 19.1 简介

看门狗是用来监测由软件错误引起的系统故障。片上一共有两个看门狗设备：独立看门狗和窗口看门狗，它们提高了安全性、使时间更加精确以及使用变得更加灵活。

独立看门狗在计数器减到 0 时，会复位；同时，在没有减到 0 之前，当计数器值大于窗口值时被重载也会复位。

窗口看门狗在计数器减到 0x3F 时会发生复位，当计数器计数的值在配置寄存器的窗口值之前，刷新计数器也会发生复位。

## 19.2 独立看门狗定时器（IWDT）

### 19.2.1 简介

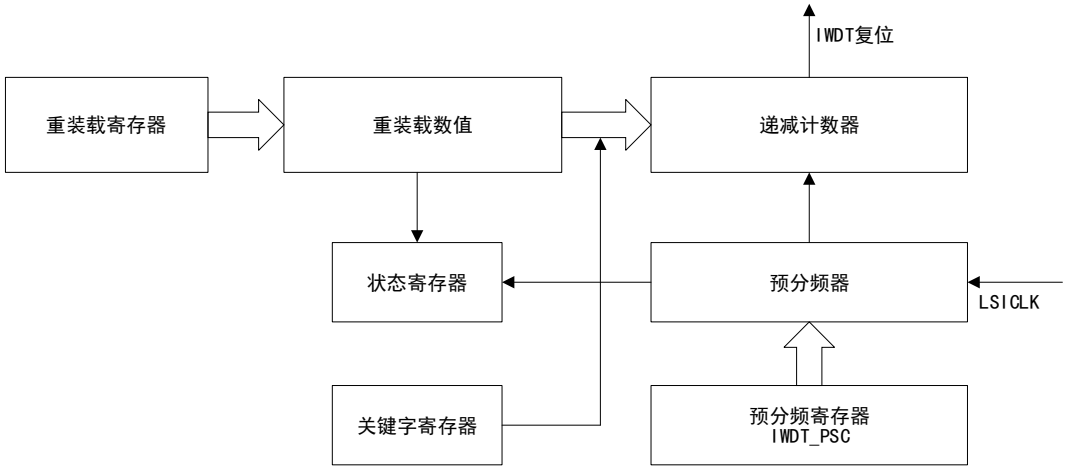
独立看门狗是由一个八位预分频器 IWDT_PSC、12 位递减计数器、12 位重装载寄存器 IWDT_CNTRLD、键寄存器 IWDT_KEY 和状态寄存器 IWDT_STS 组成。

独立看门狗有独立的时钟源，即使是在主时钟失效的情况下，它仍然有效。

独立看门狗适用于需要独立的环境但对精确度要求不高的场所。

### 19.2.2 结构框图

图 79 独立看门狗结构框图




注：预分频器、重装载数值和递减计数器在 $V_{DD}$ 供电区内；预分频寄存器、状态寄存器、重装载寄存器和关键字寄存器在 1.2V 供电区。看门狗功能处于 $V_{DD}$ 供电区，可以在停机或者待机模式下正常工作。

### 19.2.3 功能描述

#### 19.2.3.1 关键字寄存器

在关键字寄存器中写入 0xCCCC 开启独立看门狗，此时计数器由复位值 0xFFF 开始向下计数，当计数器计数到 0x000 时，产生一次复位。

在关键字寄存器中写入 0xAAAA，重装载寄存器的值会被重新加载到计数器，以此来阻止看门狗复位。

在键寄存器中写入 0x5555，用来改写预分频寄存器、重装载寄存器和窗口寄存器的值。

#### 19.2.3.2 窗口寄存器

窗口寄存器 IWDT_WIN 默认值为 0xFFF，在没有更新的情况下，禁用窗口选项，当窗口值被改变时，会执行重装载操作，看门狗计数器的值会被置为 IWDT_CNTRLD 的值，可以延缓复位需要的事件周期。

独立看门狗可以工作在窗口看门狗模式下，需要设置窗口寄存器 IWDT_WIN 适当的值。

#### 19.2.3.3 配置 IWDT

**使用窗口寄存器时配置 IWDT**

- 使能 IWDT（将 0xCCCC 写入关键字寄存器 IWDT_KEY）
- 打开寄存器访问许可（将 0x5555 写入关键字寄存器 IWDT_KEY）
- 配置 IWDT_PSC 预分频寄存器（将 0~7 的值写入 IWDT_PSC）
- 等待状态寄存器 IWDT_STS 的值更新为 0x00
- 配置窗口寄存器 IWDT_WIN（可以将自动重装载寄存器 IWDT_CNTRLD 的值更新到看门狗寄存器）

注意：状态寄存器 IWDT_STS 的值为 0x00 时，对窗口值进行写操作使自动重装载的值刷新计数器。

**禁止窗口寄存器时配置 IWDT**

- 使能 IWDT（将 0xCCCC 写入关键字寄存器 IWDT_KEY）
- 打开寄存器访问许可（将 0x5555 写入关键字寄存器 IWDT_KEY）
- 配置 IWDT_PSC 预分频寄存器（将 0~7 的值写入 IWDT_PSC）
- 配置重装载寄存器 IWDT_CNTRLD
- 等待状态寄存器 IWDT_STS 的值更新为 0x00
- 使用 IWDT_CNTRLD 寄存器刷新看门狗的计数器

#### 19.2.3.4 寄存器访问保护

预分频寄存器 IWDT_PSC、重装载寄存器 IWDT_CNTRLD 和窗口寄存器 IWDT_WIN 具有写保护功能，如果要改写这三个寄存器则需要写 0x5555 到关键字寄存器中，如果将其他的值写入键寄存器将会再次启动对寄存器的保护。

写 0xAAAA 到关键字寄存器中，也会启动写保护功能。

可以通过状态寄存器来观察预分频寄存器、重装载寄存器和窗口寄存器。

#### 19.2.3.5 硬件看门狗

启动了“硬件看门狗”功能之后，当系统上电复位，看门狗会自动运行。如果没有向关键字寄存器中写入 0xAAAA，计数器计数结束后，产生复位。

#### 19.2.3.6 调试模式

独立看门狗可以在调试模式下配置，选择停止还是继续工作。取决于 DBGMCU 模块中的 DBGMCU_APB1F 寄存器的 IWDT_STS 位。

## 19.3 窗口看门狗定时器（WWDT）

### 19.3.1 简介

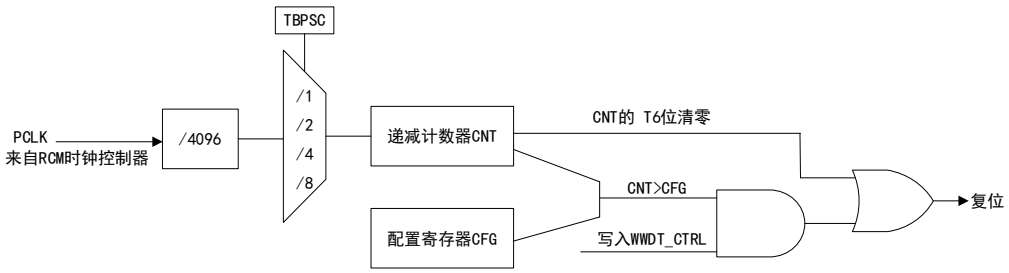
窗口看门狗含有一个 7 位自由运行递减计数器、预分频器、控制寄存器 WWDT_CTRL、配置寄存器 WWDT_CFG 和状态寄存器 WWDT_STS。

窗口看门狗时钟来自 PCLK，计数器时钟由 CK 计数器时钟经过预分频分频得到（由配置寄存器配置）。

窗口看门狗适用于需要精确计时的场合。

### 19.3.2 结构框图

图 80 窗口看门狗结构框图




### 19.3.3 功能描述

使能窗口看门狗定时器，复位条件：

- 计数器计数小于 0x40 时，产生复位。
- 计数器计数到窗口寄存器的值之前，重装载计数器产生复位。

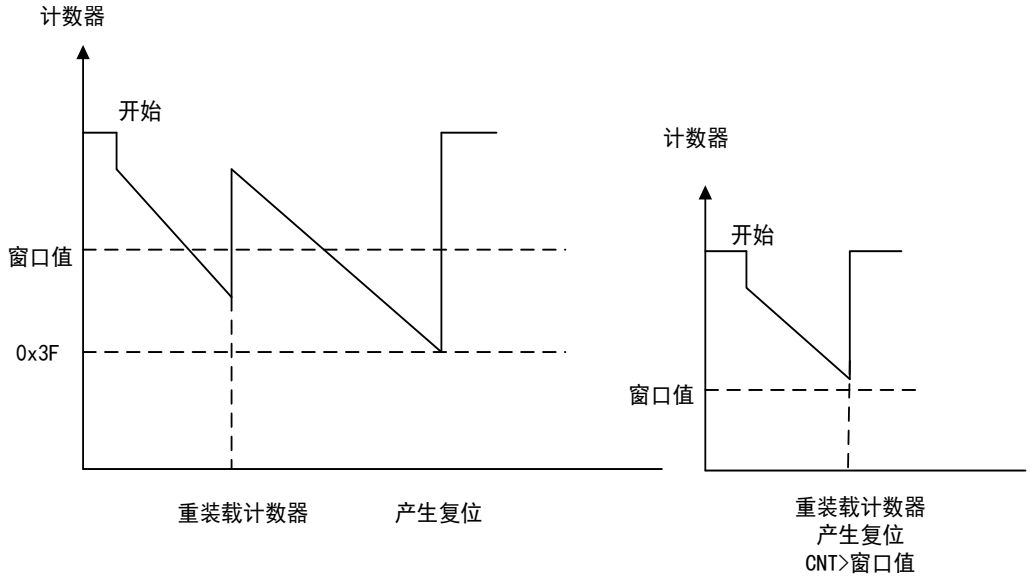
发生复位后，看门狗总是关闭状态，需要设置 WWDT_CTRL 控制寄存器的 WWDTEN 位才能开启看门狗。

窗口看门狗的计数器是自由状态，在看门狗禁止的情况下，计数器仍然继续递减计数。计数器必须要在窗口寄存器的值和 0x40 之间重装载，来避免复位。

设置配置寄存器的 EWIEN 位可以开启提前唤醒中断，当计数到 0x40 会产生中断，进入中断服务程序（ISTS）可以用来防止窗口看门狗复位。如果要清除 EWIEN 中断需要在状态寄存器中写入 0。

窗口看门狗特有的窗口可以有效地监测程序是否故障，例如：假定一个程序段运行的时间是 T，设定窗口寄存器的值稍稍小于（TR-T）如果在窗口内没有重装载寄存器，说明程序出现了故障，当计数器计数到 0x3F 时，则会产生复位。

图 81 窗口看门狗时序图




窗口看门狗定时器超时的计算公式：

$$T_{WWDT}=T_{PCLK}\times 2^{TBPSC}\times（CNT[6:0]+WIN[6:0）$$

其中：

- $T_{WWDT}$: WWDT 超时时间
- $T_{PCLK}$: APB1 以 ms 为单位的时钟周期
- 当 WIN[6:0]≤0x3F 时，取值采用 0x3F

表格 55 在 PCLK1=36MHz 时的最小/最大超时值

| TBPSC | 最小超时值 | 最大超时值 |
|---|---|---|
| 0 | 113μs | 7.28ms |
| 1 | 227μs | 14.56ms |
| 2 | 455μs | 29.12ms |
| 3 | 910μs | 58.25ms |

#### 19.3.3.1 调试模式

独立看门狗可以在调试模式下配置，选择停止还是继续工作。取决于 DBGMCU 模块中的 DBGMCU_APB1F 寄存器的 WWDT_STS 位。

## 19.4 IWDT 寄存器地址映射

表格 56 IWDT 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| IWDT_KEY | 关键字寄存器 | 0x00 |
| IWDT_PSC | 预分频寄存器 | 0x04 |
| IWDT_CNTRLD | 计数器重装载寄存器 | 0x08 |
| IWDT_STS | 状态寄存器 | 0x0C |
| IWDT_WIN | 窗口寄存器 | 0x10 |

## 19.5 IWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

### 19.5.1 关键字寄存器（IWDT_KEY）

偏移地址：0x00

复位值：0x0000 0000（在待机模式复位）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | KEY | W | 允许访问 IWDT 寄存器键值（Allow Access IWDT Register Key Value）<br>写入 0x5555 表示允许访问 IWDT_PSC、IWDT_CNTRLD 和 IWDT_WIN 寄存器；软件写入 0xAAAA 表示执行重装载计数器，需要一定的间隔写入，防止看门狗复位。<br>写入 0xCCCC，启动看门狗（硬件看门狗不受此命令字限制）；<br>该寄存器只写，读出值为 0x0000。 |
| 31:16 | 保留 | | |

### 19.5.2 预分频寄存器（IWDT_PSC）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | PSC | R/W | 配置预分频系数（Prescaler Factor Configure）<br>有写保护功能，向 IWDT_KEY 寄存器写入 0x5555 时允许访问该寄存器；写该寄存器过程中，当 IWDT_STS 寄存器的 PSCUFLG=0 时，才能改变预分频因子；读该寄存器过程中，当 PSCUFLG=0 时，读取 PSC 寄存器的数值才有效。<br>000：PSC=4<br>001：PSC=8<br>010：PSC=16<br>011：PSC=32<br>100：PSC=64<br>101：PSC=128<br>110：PSC=256<br>111：PSC=256 |
| 31:3 | 保留 | | |

### 19.5.3 计数器重装载寄存器（IWDT_CNTRLD）

偏移地址：0x08

复位值：0x0000 0FFF（待机模式时复位）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 11:0 | CNTRLD | R/W | 设置看门狗计数器重装载值（Watchdog Counter Reload Value Setup）<br>有写保护功能，定义 IWDT_KEY 寄存器写入 0xAAAA 时载入看门狗计数器的值；在写该寄存器过程中，CNTUFLG=0 时，才能对此寄存器进行修改。在读该寄存器过程中，当 IWDT_STS 寄存器中的 CNTUFLG=0 时，读取的数值才是有效的。<br>看门狗超时周期可通过此重装载值和时钟预分频值来计算。 |
| 31:12 | 保留 | | |

### 19.5.4 状态寄存器（IWDT_STS）

偏移地址：0x0C

复位值：0x0000 0000（待机模式时不复位）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | PSCUFLG | R | 更新看门狗预分频器系数标志（Watchdog Prescaler Factor Update Flag）<br>更新预分频器系数时，由硬件置 1；预分频器系数更新结束后，由硬件清 0；预分频器系数只有在 PSCUFLG 位被清 0 时更新。 |
| 1 | CNTUFLG | R | 更新看门狗计数器重装载值标志（Watchdog Counter Reload Value Update Flag）<br>更新计数器重装载值时，由硬件置 1；计数器重装载值更新结束后，由硬件清 0；计数器重装载值只有在 CNTUFLG 位被清 0 时更新。 |
| 2 | WINUFLG | R | 更新看门狗计数器窗口值标志（Watchdog Counter Window Value Update Flag）<br>更新窗口值时，由硬件置 1；计数器窗口值更新结束后，由硬件清 0；窗口值只有在使能 IWDT_WIN 寄存器时才有效。 |
| 31:3 | 保留 | | |

### 19.5.5 窗口寄存器（IWDT_WIN）

偏移地址：0x10

复位值：0x0000 0FFF（待机模式时复位）

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 11:0 | WIN | R/W | 设置看门狗计数器窗口值（Watchdog Counter Window Value）<br>这些位包含窗口值和向下计数器的初始值<br>要在 STS_WINUFLG=0 时才能修改这些位，在计数器的值的窗口之间对计数器重装载可防止产生复位。<br>注：读取此寄存器时返回 $V_{DD}$ 供电域的值，因此如果要读取数据要保证 STS_WINUFLG=0。 |
| 31:12 | 保留 | | |

注：如果重装载设置、预分频设置和窗口值设置在运行，如果要改变重装载值、预分频值和窗口值需要先确认相关的标志为 0。更新之后不需要再等待，除非要进入低功耗模式。

## 19.6 WWDT 寄存器地址映射

表格 57 WWDT 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| WWDT_CTRL | 控制寄存器 | 0x00 |
| WWDT_CFG | 配置寄存器 | 0x04 |
| WWDT_STS | 状态寄存器 | 0x08 |

## 19.7 WWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

### 19.7.1 控制寄存器（WWDT_CTRL）

偏移地址：0x00

复位值：0x0000 007F

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6:0 | CNT | R/W | 设置计数器数值（Counter Value Setup）<br>该计数器是 7 位，CNT6 是最高有效位<br>这些位用来存储看门狗的计数器值，当计数值从 0x40 减到 0x3F 时，产生 WWDT 复位。 |
| 7 | WWDTEN | R/S | 使能窗口看门狗（Window Watchdog Enable）<br>该位由软件置 1 且只能在复位后由硬件清除。当 WWDTEN=1,WWDT 可以产生复位。<br>0：禁止<br>1：使能 |
| 31:8 | 保留 | | |

### 19.7.2 配置寄存器（WWDT_CFG）

偏移地址：0x04

复位值：0x0000 007F

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6:0 | WIN | R/W | 设置窗口值（Window Value Setup）<br>该窗口值是 7 位，用来和向下计数器 CNT 作比较。 |
| 8:7 | TBPSC | R/W | 配置时基预分频系数（Timer Base Prescaler Factor Configure）<br>PCLK1/4096 的基础上再分频。<br>00：不分频<br>01：2 分频<br>10：4 分频<br>11：8 分频 |
| 9 | EWIEN | R/S | 使能提前唤醒中断（Early Wakeup Interrupt Enable）<br>0：无作用<br>1：则当计数器值达到 0x40 时，即产生中断；此中断在复位后由硬件清除。 |
| 31:10 | 保留 | | |

### 19.7.3 状态寄存器（WWDT_STS）

偏移地址：0x08

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | EWIFLG | RC_W0 | 发生提前唤醒中断标志（Early Wakeup Interrupt Occur Flag）<br>0：未发生<br>1：当计数器值达到 0x40 时由硬件置 1；若中断未被使能，该位也会被置 1；由软件写 0 清除。 |
| 31:1 | 保留 | | |

# 20 实时时钟（RTC）

## 20.1 术语全称、缩写描述

表格 58 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 秒 | Second | SEC |
| 闹钟 | Alarm | ALR |
| 预分频器 | Prescaler | PSC |

## 20.2 简介

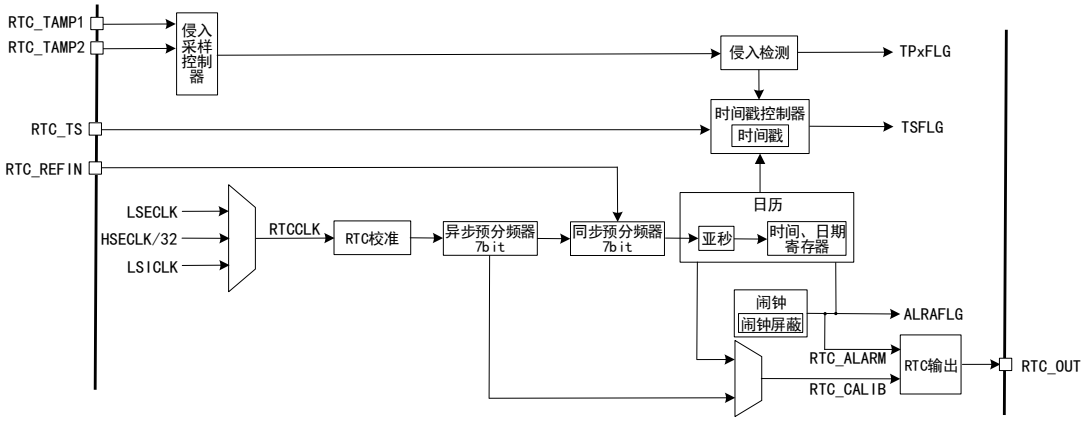
拥有采取 BCD 编码的亚秒、时间、日期寄存器，以及相应的闹钟寄存器，结合外部引脚可实现时间戳功能。带时钟校准功能及时间补偿。

## 20.3 主要特征

（1） 时基单元
（2） 时钟校准
（3） 亚秒、时间、日期
（4） 时间误差补偿
（5） 闹钟（亚秒、时间、日期屏蔽）
（6） 时间戳
（7） 侵入检测
（8） 3 种 RTC 输出
（9） 多种中断控制

## 20.4 结构框图

图 82 RTC 结构框图



注意：

1） 复用功能输出：RTC_OUT 是由以下两种的其中一种形式输出
   - RTC_CALIB：通过 RTC_CTRL 寄存器的 CALOEN 位开启此输出，当 LSECLK 的频率 32.768KHz 时，时钟输出为 512Hz 或者 1Hz。
   - RTC_ALARM：通过 RTC_CTRL 寄存器的 OUTSEL 位开启此输出，闹钟 A。
2） 复用功能输入：
   - RTC_TS：时间戳事件
   - RTC_TAMP1：侵入事件检测 1
   - RTC_TAMP2：侵入事件检测 2
   - RTC_REFIN：50 或 60Hz 参考时钟输入

## 20.5 功能描述

### 20.5.1 RTC 控制的 I/O 引脚

RTC 中的 RTC_OUT 和 RTC_TS 可以映射到同一个引脚（PC13）上。

RTC_ALARM 的输出选择通过 RTC_TACFG 寄存器配置，其中 RTC_TACFG 寄存器的 PC13VAL 位用来选择 RTC_ALARM 配置为推挽输出还是开漏输出。

当 PC13 引脚不使用 RTC 复用功能时，通过设置 RTC_TACFG 寄存器的 PC13EN 位将 PC13 引脚强制为推挽输出；PC13VAL 位设置 PC13 引脚输出数据的值。此时 PC13 引脚推挽输出和数据的值可以保持在待机模式下。

下表是输出机制遵循的优先级顺序：

表格 59 RTC 控制的 PC13 引脚

| 引脚配置和功能 | RTC_ALARM 输出使能 | RTC_CALIB 输出使能 | RTC_TS 输入使能 | PC13EN | PC13VAL |
|---|---|---|---|---|---|
| RTC_ALARM 开漏输出 | 1 | 无影响 | 无影响 | 无影响 | 0 |
| RTC_ALARM 推挽输出 | 1 | 无影响 | 无影响 | 无影响 | 1 |
| RTC_CALIB 推挽输出 | 0 | 1 | 无影响 | 无影响 | 无影响 |
| RTC_TAMP1 浮空输入 | 0 | 0 | 1 | 无影响 | 无影响 |
| RTC_TS 和 RTC_TAMP1 浮空输入 | 0 | 0 | 1 | 无影响 | 无影响 |
| 强制为推挽输出 | 0 | 0 | 0 | 1 | PC13 输出数据值 |
| 唤醒引脚或标准 GPIO | 0 | 0 | 0 | 0 | 无影响 |

当 PC14 和 PC15 不使用 LSECLK 振荡器时，通过设置 RTC_TACFG 寄存器的 PC14EN 和 PC15EN 位将 PC14/PC15 引脚强制为推挽输出；PC14VAL 和 PC15VAL 位设置输出的数据，此时 PC14 和 PC15 推挽输出和数据的值可以保持在待机模式下。

下表是输出机制遵循的优先级顺序：

表格 60 LSECLK 控制的 PC14 引脚

| 引脚配置和功能 | RCM_BDCTRL 寄存器的 LSEEN 位 | RCM_BDCTRL 寄存器的 LSEBCFG 位 | PC14EN | PC14VAL |
|---|---|---|---|---|
| LSECLK 振荡器 | 1 | 0 | 无影响 | 无影响 |
| LSECLK 旁路 | 1 | 1 | 无影响 | 无影响 |
| 强制为推挽输出 | 0 | 无影响 | 1 | PC14 输出数据的值 |
| 标准 GPIO | 0 | 无影响 | 0 | 无影响 |

表格 61 LSECLK 控制的 PC15 引脚

| 引脚配置和功能 | RCM_BDCTRL 寄存器的 LSEEN 位 | RCM_BDCTRL 寄存器的 LSEBCFG 位 | PC14EN | PC14VAL |
|---|---|---|---|---|
| LSECLK 振荡器 | 1 | 0 | 无影响 | 无影响 |
| 强制为推挽输出 | 1 | 1 | 1 | PC15 输出数据的值 |
| | 0 | 无影响 | 1 | PC15 输出数据的值 |
| 标准 GPIO | 0 | 无影响 | 0 | 无影响 |

### 20.5.2 时基单元

#### 时钟源

RTC 有 3 个时钟源 RTC_CLK：

- 外部 LSECLK 晶振
- 内部 LSICLK
- 外部 HSECLK 晶振的 32 分频

不同时钟源通过时钟控制器 RCM 的 RCM_BDCTRL 寄存器的 RTCSRCSEL 配置。

#### 预分频器

RTC 外设的功耗需尽量降到最低，为了兼顾功耗问题，RTC 内部采用双预分频器，7bit 的异步预分频器 APSC、15bit 的同步预分频器 SPSC。

RTC_CLK 先经过异步预分频器，分频后的时钟到达同步预分频器，合理配置两个预分频器，能产生 1Hz 的时钟供日期使用。使用预分频器时，建议异步预分频器尽可能调高，降低功耗。同步预分频值同时也会用作亚秒计数器重载值。

### 20.5.3 时钟校准

#### 时钟同步

RTC 根据外部高精度时钟，结合寄存器 RTC_SHIFT 可实现时钟同步。主要通过前后两次获取亚秒时段的时间戳，检测到 RTC 时钟与外部时钟的偏差。由于同步预分频值用作亚秒计数器重载值，而寄存器 RTC_SHIFT 的 SFSEC 位又作用于亚秒计数器，因而调节 SFSEC 位，即可实现对 RTC 时钟的微调，人为增加、

减少几个周期。

**参考时钟**

RTC 内部拥有参考时钟检测，可用来补偿外部 LSECLK 晶振的偏差。设置 RCLKDEN 位使能参考时钟检测，外部 50Hz 或 60Hz 的参考时钟经 RTC_REFIN 引脚与 RTC 内部 1Hz 时钟比较，通过这种机制自动补偿 LSECLK 分频后的 1Hz 时钟。

使能参考时钟检测后，时钟单元的同步、异步预分频器必须配置为默认值。参考时钟检测不能与时钟同步同时使用，在待机模式下需要禁用参考时钟检测。

**RTC 数字校准**

RTC 默认采用 $2^{20}$ 个 RTC_CLK 为一个校准周期，另外也可通过寄存器 CAL16CFG、CAL8CFG 设置为 $2^{19}$ 、$2^{18}$ 个 RTC_CLK 为一个校准周期。当采用 LSECLK 作 RTC_CLK 时钟源，RTC 的校准周期为 32s、16s、8s。

- 16s 校准周期，硬件设定 RECALF[0]为‘0’。
- 8s 校准周期，硬件设定 RECALF[1:0]为‘00’。

以 32s 的校准周期为例，校准的机制是在校准周期内，增添或减少一部分 RTC_CLK 信号。

- 当使用 RECALF 时，每 $2^{20}$ 个 RTC_CLK 减少 RECALF 个 RTC_CLK。
- 当使用 ICALFEN，ICALFEN=1 时，每 $2^{11}$ 个 RTC_CLK 增添 1 个 RTC_CLK。
- 当使用 RECALF，ICALFEN 时，每 $2^{20}$ 个 RTC_CLK 增添（512 *ICALFEN - RECALF）个 RTC_CLK。

### 20.5.4 RTC 写保护

为防止意外写入导致 RTC 计数异常，RTC 寄存器采用写保护机制，只有解除写保护，才能对写保护的寄存器进行操作。

上电后，RTC 寄存器默认进入写保护状态，系统复位不能解除写保护。当需要解除写保护时，通过往寄存器 RTC_WRPROT 依次写入特殊的关键字‘0xCA’、‘0x53’。如果写入其它的关键字，RTC 寄存器开启写保护。

### 20.5.5 日历寄存器

RTC 拥有采用 BCD 编码的亚秒、时间、日期影子寄存器，分别为 RTC_SUBSEC、RTC_TIME、RTC_DATE。访问影子寄存器可以获得当前的日历，或者直接从日历计数器获取日期。通过配置寄存器 RTC_CTRL 的 TIMEFCFG 位，可选取 24 小时、12 小时的时间制。

RTC 每两个 RTC_CLK 周期更新影子寄存器，并将标志位 RSFLG 置起，当从停机或待机唤醒后，一般不会更新影子寄存器，需要等待最多两个 RTC_CLK 周期。系统复位引发影子寄存器的复位。

影子寄存器与 $f_{APB1}$ 同步。

通过配置寄存器 RTC_CTRL 的 RCMCFG 位，可选择读取日历的方式。

**RCMCFG=0，从影子寄存器读取日历**

该模式下，建议 $f_{APB1}$ 大于 $7*f_{RTC_CLK}$ 。

影子寄存器更新后，标志位 RSFLG 置起，软件必须等待 RSFLG 置位后读取日期，每次读取日期后，需手动清除 RSFLG 标志。为确保读取日历值正常，需两次读取影子寄存器，两次获取的日历相同，则日历读取成功。

从停机或待机唤醒，由于影子寄存器未更新，因而第一时间需要清除 RSFLG 标志。

**RCMCFG=1，从日历计数器读取日历**

当 $f_{APB1}$ 小于 $7*f_{RTC_CLK}$ ， 或者从低功耗唤醒时，建议直接从日历计数器读取日历。

读取日期时未等待 RSFLG 标志置 1，并且刚好处于日历计数器变化的阶段，则需读取两次日历。因而也建议读取两次日历计数器，当两次读取日历值相同时，说明日历读取成功。

### 20.5.6 时间补偿

由于季节变化，有些时候需要进行时间补偿，使其更适合日常需求。RTC 内部集成时间补偿单元及其夏令时标志，用户可根据自身需求选择是否开启时间补偿。

通过设置寄存器 RTC_CTRL 的 STCCFG 位，令夏季增加 1 小时；设置寄存器 RTC_CTRL 的 WTCCFG 位，令冬季减少 1 小时。BAKP 标志用于记录夏令时是否设置。

### 20.5.7 可编程的闹钟

作为一个实时时钟，RTC 内部集成闹钟功能，主要通过闹钟配置寄存器、闹钟屏蔽，结合日期寄存器运作。

通过寄存器 RTC_ALRMA、RTC_ALRMASS 配置闹钟及其闹钟屏蔽，闹钟屏蔽告知 RTC 需要关注闹钟的时段。使能闹钟功能后，当关注的时段到了设定值时，闹钟才会触发，此时闹钟标志置起，如果开启了闹钟中断，则触发中断处理。

选取“秒”作为闹钟的时段，同步预分频值需要大于 3，闹钟才能正常运作。

### 20.5.8 时间戳

RTC 具有时间戳功能，RTC_TS 引脚结合时间戳寄存器工作。

通过寄存器 RTC_CTRL 的 TSETECFG 位设置时间戳检测极性，当 RTC_TS 引脚识别到外部时间戳边沿信号时，RTC 自动将当前日期锁存在亚秒、时间、日期时间戳寄存器中，同时时间戳标志位 TSFLG 置 1。如果开启时间戳中断，则触发时间戳中断处理。

当 TSFLG 标志位置 1 时，此时又有一个时间戳事件，将导致时间戳溢出，标志位 TSOVRFLG 置 1。如果在清除 TSFLG 标志后，又立马检测到时间戳事件，

TSFLG、TSOVRFLG 标志都会置 1。

### 20.5.9 侵入检测

侵入检测是一种防止侵入造成数据泄露的数据自毁型保护装置，通过硬件电路设计，把侵入检测信号传送到侵入检测引脚。

侵入检测有多个侵入检测引脚，每个引脚由单独寄存器位使能。为更好地检测到真实的侵入事件，信号滤波可配置，同时每个引脚都可配置侵入检测极性。

#### 侵入检测极性

通过寄存器 RTC_TACFG 中的 TPxALCFG 位，可选取低电平/上升沿、高电平/下降沿作为侵入检测极性。

#### 侵入信号滤波器

寄存器 RTC_TACFG 中的 TPSFSEL 位用于配置侵入检测的采样频率，RTC_TACFG 中的 TPFCSEL 位用于配置连续检测多少个有效侵入信号，才产生侵入事件。

特别地，如果在使能侵入检测引脚前，侵入检测引脚上已产生过侵入信号，此时使能侵入检测引脚会立即产生一个侵入事件。

#### 侵入时间戳

某些时刻，为更好地记录侵入检测事件，RTC 能够把当前侵入时间戳锁存，通过寄存器 RTC_TACFG 中的 TPTSEN 位即可快速使能该功能，无需额外使能时间戳功能。

### 20.5.10 RTC 输出

RTC 可以输出通过 PC13 引脚，把内部的闹钟信号和校准时钟输出给外部。

#### RTC 校准时钟

校准时钟输出一般用于观察 RTC 时钟源的精度，观测值用于时钟源的校准。通过 RTC_CTRL 寄存器的 CALOSEL 位选取 512Hz、1Hz 信号输出源，RTC_CTRL 寄存器的 CALOEN 位使能校准输出。

#### 闹钟

当闹钟运行的情况下，闹钟事件可作为脉冲信号对外输出。RTC_CTRL 寄存器的 OUTSEL 位选取信号输出源，POLCFG 位配置输出极性。

## 20.6 寄存器地址映射

表格 62 RTC 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| RTC_TIME | RTC 时间寄存器 | 0x00 |
| RTC_DATA | RTC 日期寄存器 | 0x04 |

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| RTC_CTRL | RTC 控制寄存器 | 0x08 |
| RTC_STS | RTC 状态寄存器 | 0x0C |
| RTC_PSC | RTC 预分频器寄存器 | 0x10 |
| - | - | - |
| RTC_ALRMA | RTC Alarm A 寄存器 | 0x1C |
| RTC_WRPROT | RTC 写保护寄存器 | 0x24 |
| RTC_SUBSEC | RTC 亚秒寄存器 | 0x28 |
| RTC_SHIFT | RTC 移位寄存器 | 0x2C |
| RTC_TSTIME | RTC 时间戳时间寄存器 | 0x30 |
| RTC_TXDATE | RTC 时间戳日期寄存器 | 0x34 |
| RTC_RSSUBSEC | RTC 时间戳亚秒寄存器 | 0x38 |
| RTC_CAL | RTC 校准寄存器 | 0x3C |
| RTC_TACFG | RTC 侵入和复用配置寄存器 | 0x40 |
| RTC_ALRMASS | RTC Alarm A 亚秒寄存器 | 0x44 |

## 20.7 寄存器功能描述

### 20.7.1 RTC 时间寄存器（RTC_TIME）

RTC_TIME 是日期时间影子寄存器，该寄存器只能在初始化模式下写入，处于写保护状态。

偏移地址：0x00

上电复位值：0x0000 0000

系统复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | SECU | R/W | 设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup） |
| 6:4 | SECT | R/W | 设置秒十位的值以 BCD 格式存储（Second Ten’s Unit in BCD Format Setup） |
| 7 | 保留 | | |
| 11:8 | MINU | R/W | 设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup） |
| 14:12 | MINT | R/W | 设置分十位的值以 BCD 格式存储（Minute Ten’s Unit in BCD Format Setup） |
| 15 | 保留 | | |
| 19:16 | HRU | R/W | 设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup） |
| 21:20 | HRT | R/W | 设置小时十的值以 BCD 格式存储（Hour Ten’s Unit in BCD Format Setup） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 22 | TIMEFCFG | R/W | 时间格式（Time Format）<br>0：AM 或 24 小时制<br>1：PM |
| 31:23 | 保留 | | |

### 20.7.2 RTC 日期寄存器（RTC_DATE）

RTC_DATE 是日期影子寄存器，该寄存器只能在初始化模式下写入，处于写保护状态。

偏移地址：0x04

复位值：0x0000 2101

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | DAYU | R/W | 设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup） |
| 5:4 | DAYT | R/W | 设置日十位的值以 BCD 格式存储（Day Ten’s Unit in BCD Format Setup） |
| 7:6 | 保留 | | |
| 11:8 | MONU | R/W | 设置月个位的值以 BCD 格式存储（Month Ones Unit in BCD Format Setup） |
| 12 | MONT | R/W | 设置月十位的值以 BCD 格式存储（Month Ten’s Unit in BCD Format Setup） |
| 15:13 | WEEKSEL | R/W | 选择日期单位（Week Day Units Select）<br>000：禁用<br>001：星期一<br>010：星期二<br>…<br>111：星期日 |
| 19:16 | YRU | R/W | 设置年个位的值以 BCD 格式存储（Year Ones Unit in BCD Format Setup） |
| 23:20 | YRT | R/W | 设置年十位的值以 BCD 格式存储（Year Ten’s Unit in BCD Format Setup） |
| 31:24 | 保留 | | |

### 20.7.3 RTC 控制寄存器（RTC_CTRL）

（1） 该寄存器的位 7，6 和 4 只能在初始化模式下写入。

（2）不建议在日期的小时数在增加的时候去改写此寄存器，因为可能会屏蔽正确的小时增量。

（3）改写 STCCFG 和 WTCCFG 的值将在下一秒生效。

（4）该寄存器处于写保护下。

偏移地址：0x08

上电复位值：0x0000 0000

系统复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 3 | TSETECFG | R/W | 配置时间戳事件触发边沿（Time Stamp Event Trigger Edge Configure）<br>该位表示 RTC_TS 是在上升沿还是下降沿生成一个时间戳事件。<br>0：上升沿<br>1：下降沿<br>该位要在 TSEN=0 时改变。 |
| 4 | RCLKDEN | R/W | 使能 RTC_REFIN 参考时钟检测（RTC_REFIN reference clock detection enable）<br>0：禁止<br>1：使能<br>SPSC 必须为 0x00FF。 |
| 5 | RCMCFG | R/W | 配置读取日历值模式（Read Calendar Value Mode Configure）<br>0：从影子寄存器读取日历值，影子寄存器每两个 RTCCLK 周期更新一次<br>1：从日历计数器读取日历值<br>如果 APB1 时钟频率低于 RTCCLK 频率的 7 倍，RCMCFG 必须置 1。 |
| 6 | TIMEFCFG | R/W | 配置时间格式（Time Format Configure）<br>0：24 小时/天格式<br>1：AM/PM 时间格式 |
| 7 | 保留 | | |
| 8 | ALREN | R/W | 使能报警功能（Alarm A Function Enable）<br>0：禁止<br>1：使能 |
| 10:9 | 保留 | | |
| 11 | TSEN | R/W | 使能时间戳（Time Stamp Enable）<br>0：禁止<br>1：使能 |
| 12 | ALRIEN | R/W | 使能报警中断（Alarm A Interrupt Enable）<br>0：禁止<br>1：使能 |
| 14:13 | 保留 | | |
| 15 | TSIEN | R/W | 使能时间戳中断（Time Stamp Interrupt Enable）<br>0：禁止<br>1：使能 |
| 16 | STCCFG | W | 配置夏季时间变化（Summer Time Change Configure）<br>读过程中该位会一直保持为 0；如果在初始化模式以外设置该位，日期时间加 1。<br>0：无效<br>1：当前时间增加 1 小时，用于校准夏季时间变化 |
| 17 | WTCCFG | W | 配置冬季时间变化（Winter Time Change Configure）<br>读过程中该位会一直保持为 0；如果在初始化模式以外设置该位，RCT_TIME 寄存器的 HRx 为 0 时，该位无效，HRx 不为 0 时，日期时间减 1。<br>0：无效<br>1：当前时间减少 1 小时，用于校准冬季时间变化 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 18 | BAKE | R/W | 设置备份值（Backup Value Setup）<br>该位表示夏季时间是否已经发生变化，由用户写入。 |
| 19 | CALOSEL | R/W | 选择校准输出值（Calibration Output Value Select）<br>CALOEN=1 时，该位用于选择 RTC_CALIB 的输出信号。<br>0：512Hz<br>1：1Hz<br>上述频率在 RTCCLK 为 32.768kHz 和预分频器处于默认值(APSC=127，SPSC=255)时有效。 |
| 20 | POLCFG | R/W | 配置输出极性（Output Polarity Configure）<br>该位表示 ALRAFLG 位置 1 时（取决于 OUTSEL 位），引脚的电平状态。<br>0：高电平<br>1：低电平 |
| 22:21 | OUTSEL | R/W | 选择输出方式（Output Way Select）<br>该位用于选择 RTC_ALARM 输出关联的标志位。<br>00：输出禁用<br>01：闹钟 A 输出启用<br>10：保留<br>11：保留 |
| 23 | CALOEN | R/W | 使能校准输出（Calibration Output Enable）<br>该位使能 RTC_CAL 输出。<br>0：禁止<br>1：使能 |
| 31:24 | 保留 | | |

### 20.7.4 RTC 控制/状态寄存器（RTC_STS）

该寄存器（除 RTC_STS[13:8]位外）处于写保护状态。

偏移地址：0x0C

上电复位值：0x0000 0007

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ALRWFLG | R | 发生闹钟 A 写入标志（Alarm A Write Occur Flag）<br>当 RTC_CTRL 的 ALREN=0 后，闹钟 A 的值发生变化，由硬件置 1；<br>在初始化模式下由硬件清除。<br>0：不可以更新闹钟 A<br>1：可以更新闹钟 A |
| 2:1 | 保留 | | |
| 3 | SOPFLG | R | 发生移位操作挂起标志（Shift Operation Pending Occur Flag）<br>0：未发生<br>1：发生<br>当通过向 RTC_SHIFT 寄存器写入产生一个移位操作时，该位立即由硬件置 1。当相应的移位操作执行完毕后，该位由硬件清 0。对 SOPFLG 写入无效。 |
| 4 | INITSFLG | R | 发生日期初始化状态标志（Initialization State Occur Flag） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 当日期中“年”字段不为“0”时，该位由硬件置位。<br>0：未发生<br>1：发生 |
| 5 | RSFLG | RC_W0 | 发生日期影子寄存器同步标志（Registers Synchronization Occur Flag）<br>当日期寄存器中的内容复制到影子寄存器(RTC_SUBSEC、RTC_TIME 和 RTC_DATE)中时，该位由硬件置 1；当移位操作被挂起(SOPFLG=1)或处于忽略影子寄存器模式（RCMCFG=1）时，在初始化模式下该位由硬件清 0；该位也可由软件清除。<br>在初始化模式下，该位由硬件/软件清除。<br>0：未同步<br>1：同步 |
| 6 | RINITFLG | R | 发生日期寄存器初始化标志（Register Initialization Occur Flag）<br>该位置“1”，RTC 处在初始化状态，时间、日期和预分频器寄存器可被更新。<br>0：不可以初始化<br>1：初始化 |
| 7 | INITEN | R/W | 使能初始化模式（Initialization Mode Enable）<br>0：自由运行模式<br>1：初始化模式，可以用来编程 RTC_TIME 和 RTC_DATE，以及 RTC_PSC。计数器停止计数，一直到 INITEN 复位之后，计数器从新值开始计数。 |
| 8 | ALRAFLG | RC_W0 | 发生闹钟 A 匹配标志（Alarm A Match Occur Flag）<br>当 RTC_TIME 和 RTC_DATE 与闹钟 A 寄存器 RTC_ALRMA 匹配时，该标志由硬件置位。<br>该标志由软件写 0 清除。 |
| 10:9 | 保留 | | |
| 11 | TSFLG | RC_W0 | 发生时间戳标志（Time Stamp Occur Flag）<br>当产生时间戳事件时该标志由硬件置 1；由软件写 0 清除。 |
| 12 | TSOVRFLG | RC_W0 | 发生时间戳溢出标志（Time Stamp Overflow Occur Flag）<br>在 TSFLG=1 且产生时间戳事件时该标志位由硬件置 1；由软件写 0 清除。<br>该位建议在 TSFLG 标志位清除后再清除。 |
| 13 | TP1FLG | RC_W0 | 发生 RTC_TP1FLG 检测标志（RTC_TP1FLG Detection Occur Flag）<br>在 RTC_TP1FLG 输入检测到侵入事件时该标志由硬件置 1；由软件写 0 清除。 |
| 14 | TP2FLG | RC_W0 | 发生 RTC_TP2FLG 检测标志（RTC_TP2FLG Detection Occur Flag）<br>当在 RTC_TP2FLG 输入检测到侵入事件时该标志由硬件置 1；由软件写 0 清除。 |
| 15 | 保留 | | |
| 16 | RCALPFLG | R | 发生重新校准挂起标志（Recalibration Pending Occur Flag）<br>当软件向 RTC_CAL 做写操作时该位自动置 1，此时 RTC_CAL 寄存器被锁定。<br>当有其他新的校准设置执行时，该位返回 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:17 | 保留 | | |

### 20.7.5 RTC 预分频寄存器（RTC_PSC）

该寄存器只能在初始化模式下写入，初始化必须由两次独立的写访问完成，处于写保护状态。

偏移地址：0x10

上电复位值：0x007F 00FF

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 14:0 | SPSC | R/W | 同步预分频器系数（Synchronous Prescaler Coefficient）<br>ck_spre 频率=ck_apre 频率/(SPSC+1) |
| 15 | 保留 | | |
| 22:16 | APSC | R/W | 异步预分频器系数（Asynchronous Prescaler Coefficient）<br>ck_apre 频率=RTCCLK 频率/(APSC+1) |
| 31:23 | 保留 | | |

### 20.7.6 RTC 闹钟 A 寄存器（RTC_ALRMA）

该寄存器只能在 RTC_STS 的 ALRWFLG 置 1 或初始化模式下写入，处于写保护状态。

偏移地址：0x1C

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | SECU | R/W | 设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup） |
| 6:4 | SECT | R/W | 设置秒十位的值以 BCD 格式存储（Second Ten’s Unit in BCD Format Setup） |
| 7 | SECMEN | R/W | 使能 Alarm A“秒”屏蔽（Alarm A Seconds Mask Enable）<br>0：若“秒”匹配，置位 Alarm A<br>1：屏蔽“秒”的值对 Alarm A 的影响 |
| 11:8 | MINU | R/W | 设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup） |
| 14:12 | MINT | R/W | 设置分十位的值以 BCD 格式存储（Minute Ten's Place in BCD Format Setup） |
| 15 | MINMEN | R/W | 使能 Alarm A“分”屏蔽（Alarm A Minutes Mask Enable）<br>0：若“分”匹配，置位 Alarm A<br>1：屏蔽“分”的值对 Alarm A 的影响 |
| 19:16 | HRU | R/W | 设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup） |
| 21:20 | HRT | R/W | 设置小时十位的值以 BCD 格式存储（Hour Ten's Place in BCD Format Setup） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 22 | TIMEFCFG | R/W | 配置时间格式（Time Format Configure）<br>0：AM 或 24 小时制<br>1：PM |
| 23 | HRMEN | R/W | 使能 Alarm A “时”屏蔽（Alarm A Hours Mask Enable）<br>0：若“小时”匹配，置位 Alarm A<br>1：屏蔽“小时”的值对 Alarm A 的影响 |
| 27:24 | DAYU | R/W | 设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup） |
| 29:28 | DAYT | R/W | 设置日十位的值以 BCD 格式存储（Day Ten's Place in BCD Format Setup） |
| 30 | WEEKSEL | R/W | 选择日期（Week Day Select）<br>0：DAYU 表示日期<br>1：DAYU 表示星期数。此时 DAYT [1:0]无作用。 |
| 31 | DAYEMEN | R/W | 使能 Alarm A 日期屏蔽（Alarm A Date Mask Enable）<br>0：若日期/星期匹配，置位 Alarm A<br>1：屏蔽日期/星期的值对 Alarm A 的影响 |

### 20.7.7 RTC 写保护寄存器（RTC_WRPROT）

偏移地址：0x24

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | KEY | W | 设置写保护键值（Write Protection Key Value Setup）<br>此字节由软件编写，读取此字节始终为 0x00。<br>依次写入 0xCA、0x53 后解除 RTC 寄存器写保护；当写入其它值时，RTC 寄存器进入写保护状态。 |
| 31:16 | 保留 | | |

### 20.7.8 RTC 亚秒寄存器（RTC_SUBSEC）

偏移地址：0x28

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | SUBSEC | R | 设置亚秒值（Sub Second Value Setup）<br>SUBSEC 是同步预分频器计数器中的值。由下列公式决定：<br>亚秒值=(SPSC-SUBSEC)/(SPSC+1)<br>当一个移位操作执行完毕后，SUBSEC 可能大于 SPSC。那么正确的时间/日期比 RTC_TIME/RTC_DATE 少一秒。 |
| 31:16 | 保留 | | |

### 20.7.9 RTC 移位寄存器（RTC_SHIFT）

该寄存器处于写保护状态。

偏移地址：0x2C

上电复位值：0x0000 0000

系统复位值：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 14:0 | SFSEC | W | 设置减少若干分之一秒（Subtract a Fraction of a Second Setup）<br>此位域只能写入，读取此字节始终为 0。当正在执行一个操作时，对此位进行写操作无效。<br>设置的 SFSEC 值将会被添加到同步预分频器计数器中。如果计数器是倒计时的，时钟会被延迟，延迟时间由以下公式决定：<br>Delay (seconds)=SFSEC/(SPSC+1)<br>当与 ADD1SECEN 同时作用时，推进时钟将增加若干分之一秒，具体的增加值由以下公式决定：<br>Advance(seconds)=(1-(SFSEC/(SPSC+1)))<br>对此位写操作可清除 RSFLG 位。软件持续运行直到 RSFLG 置 1，以此确保影子寄存器的值与移位时间同步。 |
| 30:15 | 保留 | | |
| 31 | ADD1SECEN | W | 使能增加一秒（Add One Second Enable）<br>0：不增加<br>1：时钟/日期增加一秒<br>此位只能写入，读取此字节始终为 0。当正在执行一个操作时，对此位进行写操作无效。<br>当与 SFSEC 同时作用时，可以增加时钟的值，增加值为若干分之一秒。 |

### 20.7.10 RTC 时间戳时间寄存器（RTC_TSTIME）

当 RTC_STS 中 TSFLG 置 1 时，该寄存器才有效。当 TSFLG 位复位时，清除该寄存器的内容。

偏移地址：0x30

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | SECU | R | 设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup） |
| 6:4 | SECT | R | 设置秒十位的值以 BCD 格式存储（Second Ten’s Unit in BCD Format Setup） |
| 7 | 保留 | | |
| 11:8 | MINU | R | 设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup） |
| 14:12 | MINT | R | 设置分十位的值以 BCD 格式存储（Minute Ten's Place in BCD Format Setup） |
| 15 | 保留 | | |
| 19:16 | HRU | R | 设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup） |
| 21:20 | HRT | R | 设置小时十位的值以 BCD 格式存储（Hour Ten's Place in BCD Format Setup） |
| 22 | TIMEFCFG | R | 配置时间格式（Time Format Configure）<br>0：AM 或 24 小时制<br>1：PM |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:23 | 保留 | | |

### 20.7.11 RTC 时间戳日期寄存器（RTC_TSDATE）

当 RTC_STS 的 TSFLG 位置 1 时，该寄存器才有效。当 TSFLG 位复位时清除该寄存器。

偏移地址：0x34

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | DAYU | R | 设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup） |
| 5:4 | DAYT | R | 设置日十位的值以 BCD 格式存储（Day Ten's Place in BCD Format Setup） |
| 7:6 | 保留 | | |
| 11:8 | MONU | R | 设置月个位的值以 BCD 格式存储（Month Ones Unit in BCD Format Setup） |
| 12 | MONT | R | 设置月十位的值以 BCD 格式存储（Month Ten's Place in BCD Format Setup） |
| 15:13 | WEEKSEL | R | 选择日期单位（Week Day Units Select）<br>000：禁用<br>001：星期一<br>...<br>111：星期日 |
| 31:16 | 保留 | | |

### 20.7.12 RTC 时间戳亚秒寄存器（RTC_TSSUBSEC）

当 RTC_STS 寄存器的 TSFLG 位置 1 时，该寄存器才有效。当 TSFLG 位复位时清除该寄存器的内容。

偏移地址：0x38

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | SUBSEC | R | 设置亚秒值（Sub Second Value Setup）<br>当发生时间戳事件时，SUBSEC[15:0]是同步预分频器计数器中的值。 |
| 31:16 | 保留 | | |

### 20.7.13 RTC 校准寄存器（RTC_CAL）

该寄存器处于写保护状态。

偏移地址：0x3C

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 8:0 | RECALF | R/W | 减少校准频率（Reduced Calibration Frequency）<br>减少日期频率：在 $2^{20}$ 个 RTCCLK 脉冲内(若输出频率为 32768 Hz，则 32 秒)屏蔽 RECALF 个脉冲将减少日期的频率（分辨率为 0.9537 ppm）。增加日期频率：与 ICALFEN 同时作用 |
| 12:9 | 保留 | | |
| 13 | CAL16CFG | R/W | 配置 16 秒校准周期（16 Second Calibration Cycle Period Configure）<br>当 CAL16CFG 置 1，使用 16 秒校准周期，不能和 CAL8CFG 位同时置 1。<br>当 CAL16CFG=1 时，RECALF[0]始终为 0。 |
| 14 | CAL8CFG | R/W | 配置 8 秒校准周期（8 Second Calibration Cycle Period Configure）<br>当 CAL8CFG 置 1，使用 8 秒校准周期，不能和 CAL16CFG 位同时置 1。<br>当 CAL8CFG=1 时，RECALF[1:0]始终为 00。 |
| 15 | ICALFEN | R/W | 使能增加校准频率（Increase Calibration Frequency Enable）<br>0：不增加 RTCCLK 脉冲<br>1：每 $2^{11}$ 个脉冲增加一个 RTCCLK 脉冲（频率增加 488.5 ppm）<br>与 RECALF 同时作用，使用高分辨率时会降低日期的频率。若输入频率为 32768Hz,则在 32 秒窗口中增加 RTCCLK 脉冲的数量由下列公式决定：(512*ICALFEN) – RECALF。 |
| 31:16 | 保留 | | |

### 20.7.14 RTC 侵入和复用配置寄存器（RTC_TACFG）

偏移地址：0x40

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | TP1EN | R/W | 使能 RTC_TAMP1 输入检测（RTC_TAMP1 Input Detection Enable）<br>0：禁止<br>1：使能 |
| 1 | TP1ALCFG | R/W | 配置 RTC_TAMP1 输入的有效电平（RTC_TAMP1 Input Active Level Configure）<br>当 TPFCSEL!=00 时，该位决定 RTC_TAMP1 输入在保持高/低电平会触发一个侵入检测事件。<br>0：低电平<br>1：高电平<br>当 TPFCSEL=00 时，该位决定 RTC_TAMP1 输入在上升/下降沿时触发一个侵入检测事件。<br>0：上升沿<br>1：下降沿 |
| 2 | TPIEN | R/W | 使能侵入中断（Tamper Interrupt Enable）<br>0：禁止<br>1：使能 |
| 3 | TP2EN | R/W | 使能 RTC_TAMP2 输入检测（RTC_TAMP2 Input Detection Enable） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 0：禁止<br>1：使能 |
| 4 | TP2ALCFG | R/W | 配置 RTC_TAMP2 输入的有效电平（RTC_TAMP2 Input Active Level Configure）<br>当 TPFCSEL !=00 时，该位决定 RTC_TAMP2 在输入保持高/低电平时会触发一个侵入检测事件。<br>0：低电平<br>1：高电平<br>当 TPFCSEL =00 时，该位决定 RTC_TAMP2 是在上升/下降沿触发一个侵入检测事件<br>0：上升沿<br>1：下降沿 |
| 6:5 | 保留 | | |
| 7 | TPTSEN | R/W | 使能侵入检测事件的时间戳（Tamper Detection Event Timestamp Enable）<br>该位决定侵入检测事件产生的时间戳是否保存。<br>0：不保存<br>1：保存<br>该位在 RTC_CTRL 寄存器 TSEN=0 时依然有效。 |
| 10:8 | TPSFSEL | R/W | 选择侵入采样频率（Tamper Sampling Frequency Select）<br>这些位决定每个 RTC_TAMPx 输入的采样频率。<br>000：RTCCLK/32768<br>001：RTCCLK/16384<br>010：RTCCLK/8192<br>011：RTCCLK/4096<br>100：RTCCLK/2048<br>101：RTCCLK/1024<br>110：RTCCLK/512<br>111：RTCCLK/256 |
| 12:11 | TPFCSEL | R/W | 选择 RTC_TAMPx 过滤器计数（RTC_TAMPx Filter Count Select）<br>这些位决定在特定电平（TAMP*TRG）上连续几次采样后激活入侵事件。TPFCSEL 对每次 RTC_TAMPx 输入都有效。<br>00：在 RTC_TAMPx 输入转换为有效电平的边沿激活入侵事件<br>01：连续 2 次采样<br>10：连续 4 次采样<br>11：连续 8 次采样 |
| 14:13 | TPPRDUSEL | R/W | 选择 RTC_TAMPx 预充电时长（RTC_TAMPx Precharge Duration Select）<br>这些位决定采样前上拉电阻启用几个 RTCCLK 周期；对每次 RTC_TAMPx 输入都有效。<br>00：1<br>01：2<br>10：4<br>11：8 |
| 15 | TPPUDIS | R/W | 禁止 RTC_TAMPx 上拉功能（RTC_TAMPx Pull-up Function Disable）<br>该位决定是否所有 RTC_TAMPx 引脚在采样前进行预充电。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 0：使能(使能内部上拉)<br>1：禁止 |
| 17:16 | 保留 | | |
| 18 | PC13VAL | R/W | 配置 RTC_ALARM 输出形式/PC13 值（RTC_ALARM Output Type/PC13 Value Configure）<br>当 PC13 用于输出 RTC_ALARM 时,该位决定 RTC_ALARM 的输出模式：<br>0：开漏输出<br>1：推挽输出<br>当禁用所有 RTC 复用功能且 PC13EN=1 时,该位设置 PC13 输出值。 |
| 19 | PC13EN | R/W | 使能 PC13 模式（PC13 Mode Enable）<br>0：PC13 由 GPIO 配置寄存器控制，在待机模式下，PC13 浮空。<br>1：当禁用 RTC 复用功能时，PC13 强制设置为推挽输出模式。 |
| 20 | PC14VAL | R/W | 设置 PC14 输出值（PC14 Output Value Setup）<br>禁用 LSECLK 且 PC14EN=1，该位设置 PC14 的输出值。 |
| 21 | PC14EN | R/W | 使能 PC14 模式（PC14 Mode Enable）<br>0：PC14 由 GPIO 配置寄存器控制，在待机模式下，PC14 浮空。<br>1：当禁用 LSECLK 时，PC14 强制设置为推挽输出模式 |
| 22 | PC15VAL | R/W | 设置 PC15 输出值（PC15 Output Value Setup）<br>禁用 LSECLK 且 PC15EN=1,该位设置 PC15 的输出值。 |
| 23 | PC15EN | R/W | 使能 PC15 模式（PC15 Mode Enable）<br>0：PC15 由 GPIO 配置寄存器控制，在待机模式下，PC15 浮空。<br>1：当禁用 LSECLK 时，PC15 强制设置为推挽输出模式。 |
| 31:24 | 保留 | | |

### 20.7.15 RTC 闹钟 A 亚秒寄存器（RTC_ALRMASS）

仅当 RTC_CTRL 寄存器的 ALREN 复位时或在初始化模式下，该寄存器才可被写入。

该寄存器处在写保护状态。

偏移地址：0x44

上电复位值：0x0000 0000

系统复位：0xXXXX XXXX

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 14:0 | SUBSEC | R/W | 设置亚秒值（Sub Second Value Setup）<br>亚秒值与同步预分频器计数器中的值进行比较来确定是否激活闹钟 A，仅比较位 0 到 MASKSEL-1。 |
| 23:15 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 27:24 | MASKSEL | R/W | 选择屏蔽从此位开始的最有效位（Mask the Most-significant Bits Starting at This Bit Select）<br>0000：不对闹钟 A 进行比较。闹钟在秒单元增加 1 时设置<br>0001：在对闹钟 A 比较时，SUBSEC[14:1]不参与，仅 SUBSEC[0]参与<br>0010：在对闹钟 A 比较时，SUBSEC[14:2]不参与，仅 SUBSEC[1:0]参与<br>0011：在对闹钟 A 比较时，SUBSEC[14:3]不参与，仅 SUBSEC[2:0]参与<br>...<br>1100：在对闹钟 A 比较时，SUBSEC[14:12]不参与，仅 SUBSEC[11:0]参与<br>1101：在对闹钟 A 比较时，SUBSEC[14:13]不参与，仅 SUBSEC[12:0]参与<br>1110：在对闹钟 A 比较时，SUBSEC[14]不参与，仅 SUBSEC[13:0] 参与<br>1111：在对闹钟 A 比较时，15 个 SUBSEC 位都要参与，只有全部匹配才能激活闹钟。<br>同步计数器溢出位(位 15)从不进行比较。仅在移位操作后，该位不为 0。 |
| 31:28 | 保留 | | |

# 21 通用同步异步收发器（USART）

## 21.1 术语全称、缩写描述

表格 63 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 清除发送 | Clear to Send | CTS |
| 请求发送 | Request to Send | RTS |
| 最高有效位 | Most Significant Bit | MSB |
| 最低有效位 | Least Significant Bit | LSB |
| 保护 | Guard | GRD |
| 过载 | Overrun | OVR |

## 21.2 简介

USART（通用同步异步收发器）是一个可以灵活地与外部设备进行全双工、半双工数据交换的串行通信设备，且同时满足外部设备对工业标准 NRZ 异步串行数据格式的要求。USART 还提供宽范围的波特率选择，且支持多处理器通信。

USART 不仅支持标准的异步收发模式，也支持一些其他的串行数据交换模式，USART 还支持使用 DMA 功能，以实现高速数据通信。

## 21.3 主要特征

（1）全双工异步通信
（2）单线半双工通
（3）NRZ 标准格式
（4）可编程的串口特性：
- 数据位：8 位或 9 位
- 校验位：偶校验、奇校验、无校验
- 支持 1、2 个停止位

（5）校验控制
- 发送校验位
- 校验接收的数据

（6）选择速度和时钟容忍度采用可编程的 8 倍或 16 倍过采样率
（7）可编程高位优先或低位优先
（8）独立的发送器和接收器使能位
（9）独立的信号极性控制发送器和接收器
（10）可切换 TX/RX 引脚
（11）支持超时检测
（12）可编程的波特率发生器，波特率最高可达 6Mbits/s
（13）波特率自动检测

（14）多处理器通信：
- 若地址不匹配，则进入静默模式
- 通过空闲总线检测或地址标记检测，从静默模式中唤醒

（15）同步传输模式

（16）支持硬件流控制和 RS485 驱动使能

（17）可利用 DMA 连续通信

（18）状态标志位：
- 传输检测标志：发送寄存器为空、接收寄存器不为空、发送完成
- 错误检测标志：溢出错误、噪音错误、奇偶校验错误、帧错误

（19）多个中断源：
- 发送寄存器为空
- 发送完成
- CTS 改变
- 接收寄存器不为空
- 过载错误
- 总线空闲
- 奇偶校验错误
- 噪音错误
- 溢出错误
- 帧错误
- 地址/字符匹配
- 未按时接收中断

## 21.4 功能描述

表格 64 USART 引脚描述

| 引脚 | 类型 | 描述 |
|---|---|---|
| USART_RX | 输入 | 数据接收 |
| USART_TX | 输出<br>I/O（单线模式/智能卡模式） | 数据发送<br>当发送器被使能且不发送数据时，默认为高电平 |
| USART_CK | 输出 | 时钟输出 |
| USART_nRTS | 输出 | 硬件流控制模式中请求发送 |
| USART_nCTS | 输入 | 硬件流控制模式中清除发送 |
| USART_DE | 输入 | 驱动使能激活外部发送/接收器 |

### 21.4.1 单线半双工通信

USART_CTRL3 寄存器的 HDEN 位决定是否进入单线半双工模式。

当 USART 进入单线半双工模式时：
- USART_CTRL2 寄存器的 CLKEN 位必须清 0。
- 禁止使用 RX 引脚。
- TX 脚应配置成开漏输出，并在芯片内部与 RX 引脚相连。

- 发送数据和接收数据不可同时进行，在数据发送前，不可以接收数据。若需要接收数据，必须在 USART_STS 寄存器的 TXCFLG 位置 1 后才可开启使能接收。
- 若总线上出现数据冲突，需要使用软件管理分配通信过程。

### 21.4.2 时钟源选择

在启用 USART1 之前必须通过时钟控制系统选择时钟源。

（1） 根据传输速度和 USART1 在低功耗模式下的使用可能性选择时钟源。

（2） 时钟源频率为 $f_{CK}$ 。

- 通信速度范围由时钟源决定，需先使能 USART1 再选择时钟源。
- 当 USART1 使用双时钟域或唤醒停机模式时，PCLK、LSECLK、HSICLK 或 SYSCLK 都可以是时钟源，否则，时钟源是 PCLK。
- 若选择 LSECLK、LSICLK 为时钟源，可以使 USART1 在低功耗模式下也能接收到数据。并根据接收到的数据和唤醒模式选择，在需要时唤醒 MCU，以便 DMA 读取接收到的数据。
- 接收器实现用户配置的不同的过采样技术的数据恢复来区分有效的传入数据和噪音，这需要在最大通信速度和噪音/时钟不准确抗扰之间权衡。

### 21.4.3 帧格式

通过 USART_CTRL1 寄存器控制数据帧的帧格式

- DBLCFG 位控制字符长度，可设置为 8 位或 9 位。
- PCEN 位控制是否开启校验位。
- PCFG 位控制校验位为奇校验还是偶校验。

表格 65 帧格式

| DBLCFG 位 | PCEN 位 | USART 数据帧 |
|---|---|---|
| 0 | 0 | 起始位+8 位数据+停止位 |
| 0 | 1 | 起始位+7 位数据+奇偶检验位+停止位 |
| 1 | 0 | 起始位+9 位数据+停止位 |
| 1 | 1 | 起始位+8 位数据+奇偶检验位+停止位 |

**可配置的停止位**

可以通过 USART_CTRL2 寄存器的 STOPCFG 位来配置 4 种不同的停止位。

- 1 个停止位：默认的停止位。
- 2 个停止位：常规模式、单线模式、硬件流控制模式使用。

**校验位**

USART_CTRL1 的 PCFG 位决定奇偶校验位，当 PCFG=0 时，为偶校验，反之为奇校验。

- 偶校验：帧数据和校验位 1 的个数为偶数时，偶校验位为 0，否则为 1。
- 奇校验：帧数据和校验位 1 的个数为偶数时，奇校验位为 1，否则为 0。
- 校验生成：发送数据时，置位 USART_CTRL1 寄存器 的 PCEN 位，校验位会替换数据的 MSB 位被发送。
- 校验检查：
  - 若校验检查失败，USART_STS 寄存器的 PEFLG 标志位置位。
  - 如果使能校验控制，将引发相应中断。向 USART_INTFCLR 寄存器的 PECLR 位写 1，可以清除 PEFLG 标志位。

### 21.4.4 发送器

当寄存器 USART_CTRL1 的 TXEN 位被设置时，发送移位寄存器将通过 TX 脚输出数据，相应的时钟脉冲通过 CK 脚输出。

#### 21.4.4.1 字符发送

USART 发送期间，数据的最低有效位会先被 TX 引脚移出。在此模式下，USART 发送寄存器则 USARTx_TXDATA 发送数据寄存器和发送移位寄存器组成。

一个数据帧由起始位、字符、停止位组成的，所以每个字符前面都有一个低电平的起始位；之后有一个数目可配置的高电平的停止位。

**发送配置步骤**

- 通过设置 USART_CTRL1 寄存器的 DBLCFG 位来决定字长。
- 通过设置 USART_CTRL2 寄存器的 STOPCFG 位来决定停止位位数。
- 若选择多缓冲器通信，需在 USART_CTRL3 寄存器中使能 DMA。
- 在 USART_BR 寄存器中设置通信的波特率。
- 置位 USART_CTRL1 寄存器的 UEN 位，使能 USART。等待 USART_STS 寄存器的 TXBEFLG 位置 1。
- 使能 USART_CTRL1 寄存器的 TXEN 位，发送一个空闲帧。
- 向 USART_DATA 寄存器写入数据（如果未使能 DMA，则每个需要发送的字节都要重复步骤 7）。
- 等待 USART_STS 寄存器的 TXCFLG 位置 1，表示发送完成。

注意：不能在发送数据期间复位 TXEN 位，否则 TX 脚上的数据会被破坏，因为波特率发生器停止计数，正在传输的数据也将丢失。

#### 21.4.4.2 单字节通信

对 USART_TXDATA 寄存器进行写操作可以将 TXBEFLG 位清零。当 TXBEFLG 位被硬件置位时，移位寄存器接收到由数据发送寄存器转移过来的数据，数据发送就开始了，此时数据发送寄存器被清空。可以在数据寄存器中写入下一个数据，且不会覆盖前面的数据。

（1） 若 USART_CTRL1 寄存器中的 TXBEIEN 置 1，则会产生一个中断。

（2） 若 USART 处于发送数据的状态时，对数据寄存器进行写操作，把数据存

到 TXDATA 寄存器，并在当前数据发送结束时把该数据转移到移位寄存器中。

（3） 若 USART 处于空闲状态时，对数据寄存器进行写操作，把数据放到移位寄存器中，开始发送数据，TXBEFLG 位置 1。

（4） 当一个数据发送完成并设置了 TXBEFLG 位时，TXCFLG 位被置 1，此时若 USART_CTRL1 寄存器中的 TXCIEN 位被置 1，则会产生一个中断。

（5） 在 USART_TXDATA 寄存器中写入最后一个数据后，在进入低功耗模式之前或关闭 USART 模块之前，必须先等待 TXCFLG 置 1。

#### 21.4.4.3 断开帧

断开帧被视为在一个帧周期内全部收到 0。设置 USART_REQUEST 寄存器的 TXBFQ 位可发送一个断开帧，断开帧的长度由 USART_CTRL1 寄存器的 DBLCFG 位决定。若将 TXBFQ 位置位，则当前数据发送完成后，TX 线上将发送一个断开帧，断开帧发送完成时 TXBFQ 位被复位。在断开帧结束时，发送器再插入 1 或 2 个停止位来应答起始位。

注意：若在开始发送断开帧之前就复位了 TXBFQ 位，将不再发送断开帧。若要发送两个连续的断开帧，应该在前一个断开符的停止位之后置起 TXBFQ 位。

#### 21.4.4.4 空闲帧

空闲帧被视为完全由 1 组成的一个完整的数据帧，后面跟着包含了数据的下一帧的开始位。将 USART_CTRL1 寄存器的 TXEN 位置 1，可以在第一个数据帧前发送一个空闲帧。

### 21.4.5 接收器

#### 21.4.5.1 字符接收

USART 接收期间，RX 脚会首先移入数据的最低有效位。在此模式下，USART 接收寄存器由 USARTx_RXDATA 接收数据寄存器和接收移位寄存器组成。数据一位一位地送入寄存器，接收满后，对应的接收寄存器不为空，此时用户可读取 USART_RXDATA。

**接收配置步骤**

（1） 编程过采样率为 8 倍或 16 倍

（2） 通过设置 USART_CTRL1 寄存器的 DBLCFG 位来决定字长

（3） 通过设置 USART_CTRL2 寄存器的 STOPCFG 位来决定停止位位数

（4） 若选择多缓冲器通信，需在 USART_CTRL3 寄存器中使能 DMA

（5） 在 USART_BR 寄存器中设置通信的波特率

（6） 置位 USART_CTRL1 寄存器的 UEN 位，使能 USART

（7） 设置 USART_CTRL1 的 RXEN 位，使能接收

注意：

（1） 不能在接收数据期间复位 RXEN 位，否则将丢失正在接收的字节。

（2） 收器在接收一个数据帧的过程中，若检测到溢出错误,噪音错误，帧错误等，错误标志被置 1。

（3） 当数据从移位寄存器中被转移到 USART_RXDATA 寄存器中时，USART_STS 寄存器的 RXBNEFLG 位被硬件置位。

（4） 若设置 RXBNEIEN 位将产生一个中断。

（5） 单缓冲器模式中，软件读取 USART_RXDATA 寄存器能清除 RXBNEFLG 位，也可对其写 0 清除。

（6） 多缓冲器模式中，每个字节被接收后，USART_STS 寄存器的 RXBNEFLG 位都会被置 1，且 DMA 对数据寄存器进行读操作而清零。

#### 21.4.5.2 断开帧

当接收器接收到一个断开帧时，USART 会像接收到帧错误一样处理它。

#### 21.4.5.3 空闲帧

当接收器接收到一个空闲帧时，USART 会像接收到普通数据帧一样处理它，如果设置 USART_CTRL1 的 IDLEIEN 位，将产生一个中断。

#### 21.4.5.4 过采样率

USART_CTRL1 寄存器的 OSMCFG 位决定过采样率。

若过采样率为波特率的 8 倍，则速度较高，但时钟容忍度较小，若为 16 倍则相反。

#### 21.4.5.5 溢出错误

若 USART_STS 寄存器的 RXBNEFLG 位置 1，同时接收到一个新的字符，则会产生溢出错误。只有当 RXBNEFLG 复位后才能把数据从移位寄存器转移到 RXDATA 寄存器。接收到字节后 RXBNEFLG 位会置 1。该位需要在接收到下一个数据或还没接收新的 DMA 请求前复位，否则将产生溢出错误。

**当产生溢出错误时**

- USART_STS 的 OVREFLG 位置 1。
- 不会丢失 RXDATA 寄存器中的数据。
- 覆盖之前接收到的移位寄存器中的数据，但不会保存后面接收到的数据。
- 若 USART_CTRL1 的 RXBNEIEN 位或 ERRIEN 位，则会产生一个中断。
- 当 OVREFLG 位置 1 时，表明已经有数据丢失。可分为两种可能：
  - 当 RXBNEFLG=1 时，上一个有效数据还在 RXDATA 寄存器上，可以进行读操作。
  - 当 RXBNEFLG=0 时，RXDATA 寄存器中没有有效数据。
- 对 USART_INTFCLR 寄存器的 OVERCLR 写“1”，可以复位 OVREFLG 位。

#### 21.4.5.6 噪音错误

当接收器在接收过程中检测到噪音时：

- 在 USART_STS 寄存器的 RXBNEFLG 位的上升沿设置 NEFLG 标志。

- 无效数据从移位寄存器发送到 USART_RXDATA 寄存器。
- 在单字节通信时不会产生中断，但在多缓冲区通信时置位 USART_CTRL3 寄存器的 ERRIEN 位就会产生一个中断

#### 21.4.5.7 帧错误

若因为噪音过大或没有同步而没有在预计的接收时间接收和识别到停止位，会检测到帧错误。

当接收器在接收过程中检测到帧错误时：

（1） 置位 USART_STS 寄存器的 FEFLG 位。

（2） 无效数据从移位寄存器发送到 USART_RXDATA 寄存器。

（3） 在单字节通信时不会产生中断，但在多缓冲区通信时置位 USART_CTRL3 寄存器的 ERRIEN 位就会产生一个中断。

### 21.4.6 接收器对时钟的变化容忍度

只有当总时钟系统偏差小于 USART 接收器的容差时，才能使 USART 接收器正常工作。

当发生以下情况时，会造成偏差：

（1） DTRA：因发送器误差引起的偏差

（2） DQUANT：因接收器波特率量化引起的偏差

（3） DREC：接收器振荡器的变化

（4） DTCL：因传输线引起的偏差

### 21.4.7 波特率发生器

波特率分频系数（USARTDIV）是一个 16 位的数字，包含 12 位整数部分和 4 位小数部分。

当配置为 16 倍过采样时（即 USARTx_CTRL1 寄存器的 OSMCFG=0），波特率的计算公式：

$$波特率 = \frac{f_{CK}}{USARTDIV}$$

当配置为 8 倍过采样时（即 USARTx_CTRL1 寄存器的 OSMCFG=1），波特率的计算公式：

$$波特率 = \frac{2 \times f_{CK}}{USARTDIV}$$

注：

（1） $f_{CK}$ 的值为 PCLK，其中 USART2 的外设时钟为 PCLK1；而 USART1 的外设时钟为则需要参考 RCM_CFG3 寄存器的 USART1SEL 的值选择而确定，同时 PCLK 为 PCLK2。

（2） USARTDIV 的为 USARTx_BR 寄存器的无符号值的十进制取值；但当 OSMCFG=1 时，USARTDIV[3:0]的值向右移一位，同时保持

USARTDIV[3]=0。必须在时钟控制单元使能相应的外设时钟之后再使能相应的 USART。

### 21.4.8 波特率自动检测

在接收到一个字符时，USART 能够检测和自动设置 USART_BR 寄存器的值。波特率自动检测作用于在不知道系统的通信速度时、或在使用低精度时钟源时，不测量时钟偏差获取正确的比特率时。时钟源必须与预期的通信速度兼容。

必须写入一个非零波特率来初始化，确认字符内容，再打开波特率自动检测。可以设置 USART_CTRL2 寄存器的 ABRDCFG 位来选择字符内容，可能的字符内容：

（1） 所有以 1 开头的 bit，在这种情况下，对起始位的长度进行测量（下降沿到上升沿的持续时间）。
（2） 所有以 10xx 开头的 bit，在这种情况下，对起始位和首个数据位长度进行测量下降沿之间的时长，确保小信号摆率的情况下更好的准确性。

USART_CTRL2 寄存器中的 ABRDEN 位决定是否打开波特率自动检测。打开波特率自动检测后等待 RX 线上的第一个字符。检测结束后，USART_STS 寄存器中的 ABRDFLG 标志位被置位。

注意：
（1） 如果线路噪音过大，则无法保证正确的波特率，在这种情况下，BR 值可能被损坏，ABRDEFLG 标志位被置位。如果通信速度与波特率自动检测不兼容，也会发生这种情况。
（2） 检测结束后会产生 RXBNEFLG 中断。
（3） 在任何时候，波特率自动检测都可能通过重置 ABRDFLG 标志（写一个 0）重启。
（4） 不能在波特率自动检测时禁用 USART，否则可能损坏 BR 的值。

### 21.4.9 多处理器通信

在多处理器通信中，多个 USART 连接组成一个网络。在该网络中，两个设备进行通信，其余不参与通信的设备，为减轻 USART 的负担，可启用静默模式。在静默模式中，不会设置任何接收状态位，禁止所有接收中断。

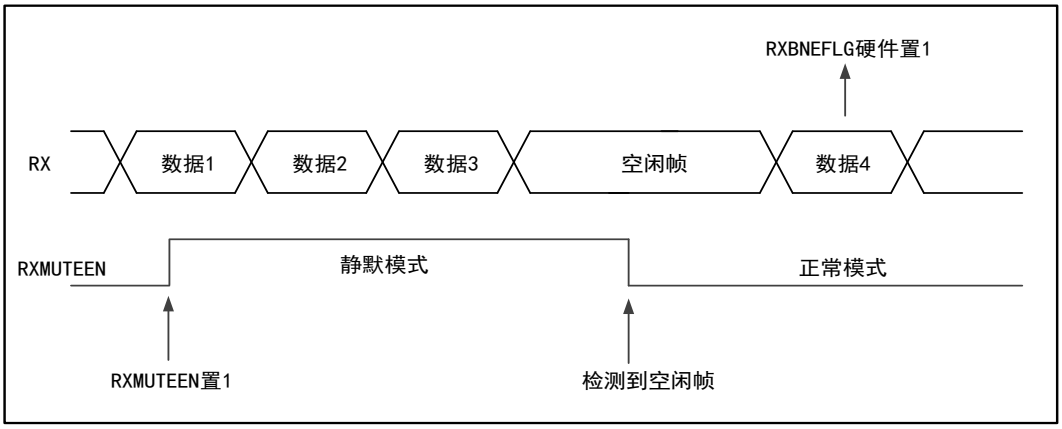
当启用静默模式后，有两种方法可退出静默模式：

- WUPMCFG = 0 时，总线空闲可退出静默模式。
- WUPMCFG = 1 时，收到地址标记可退出静默模式。

**空闲总线检测（WUPMCFG=0）**

当 RXMUTEEN 置 1 时，USART 则进入静默模式，当检测到空闲帧时，能从静默模式中被唤醒，同时 RXMUTEEN 位被硬件清 0。RXMUTEEN 还可以通过软件清 0。

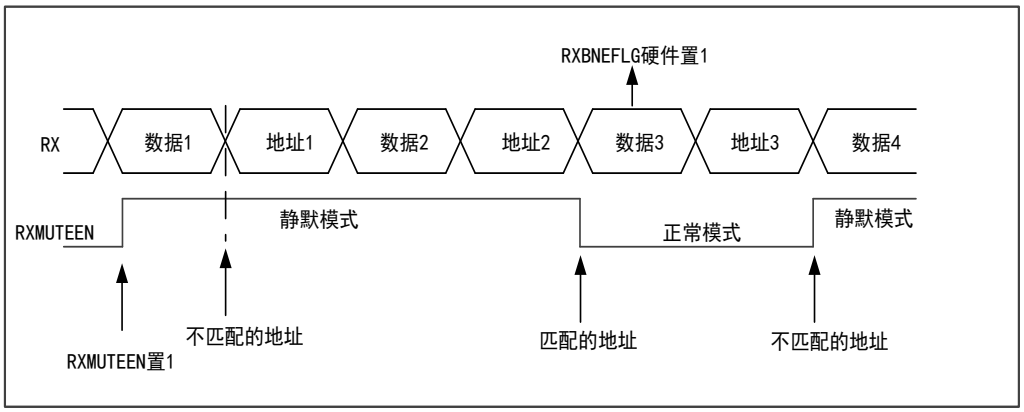
图 83 空闲总线退出静默模式




**地址标记检测（WUPMCFG=1）**

如果地址标志位为 1，该字节被认为是地址。地址字节低 4 位存放地址，当接收器收到地址字节时，会先与自己的地址作比较。若地址不匹配，则进入静默模式，若地址匹配，则接收器从静默模式中被唤醒，并准备接收下一个字节。若退出静默模式后再次收到地址字节，但地址与自己的地址不匹配，则接收器会再次进入静默模式。

图 84 地址标记退出静默模式




### 21.4.10 同步模式

同步模式支持主模式下的全双工同步串行通信，比异步模式多了一个可以输出同步时钟的信号线 USART_CK。

USART_CTRL2 寄存器的 CLKEN 位决定是否进入同步模式。

当 USART 进入同步模式时：

- USART_CTRL3 寄存器的 HDEN 位必须清 0。
- 数据帧的起始位和停止位无时钟输出。
- 数据帧的最后一个数据位是否产生 USART_CK 时钟，由寄存器 USART_CTRL2 的 LBCPOEN 位决定。
- USART_CK 的时钟极性由 USART_CTRL2 寄存器的 CPOL 位决定。
- USART_CK 的相位由 USART_CTRL2 寄存器的 CPHA 位决定。

- 总线空闲或出现断开帧时不能激活外部 CK 时钟。

图 85 USART 同步传输的例子

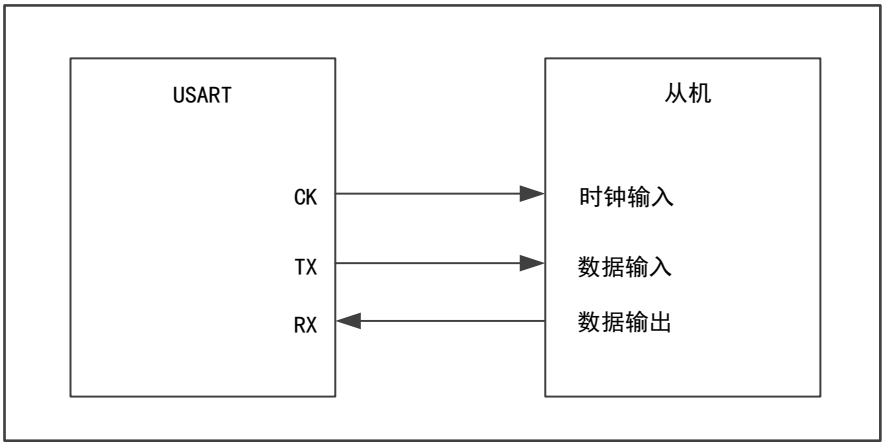



图 86 USART 同步传输时序图（DBLCFG=0）

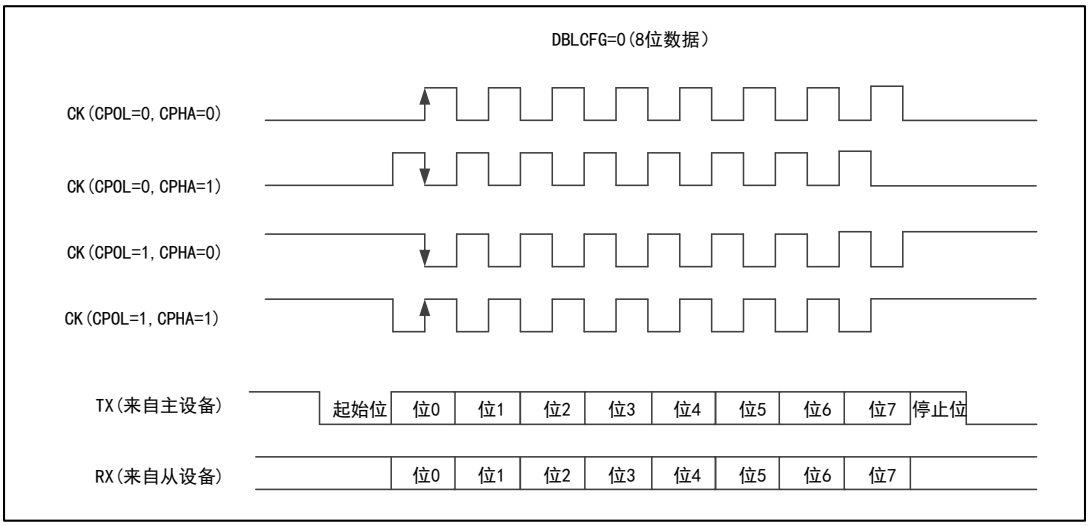
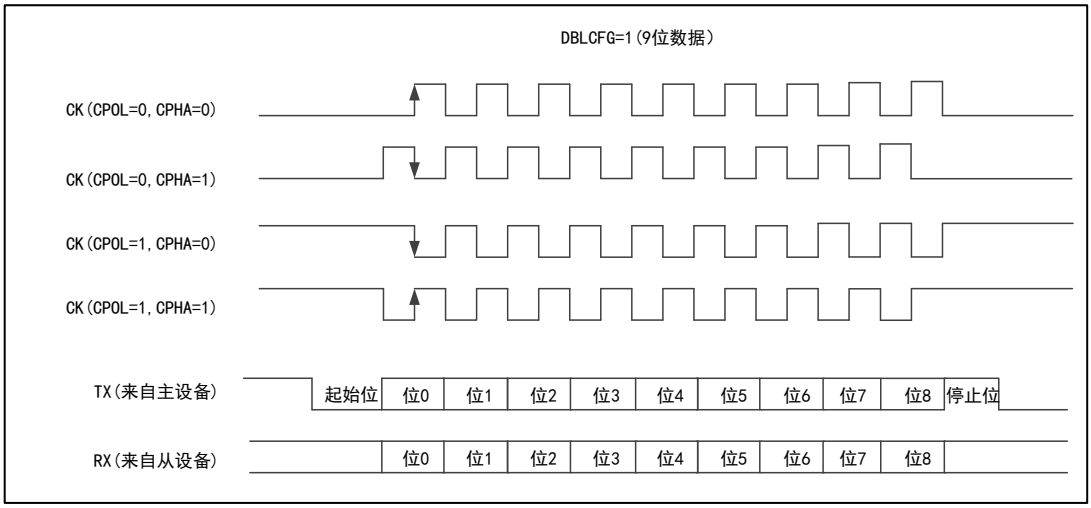


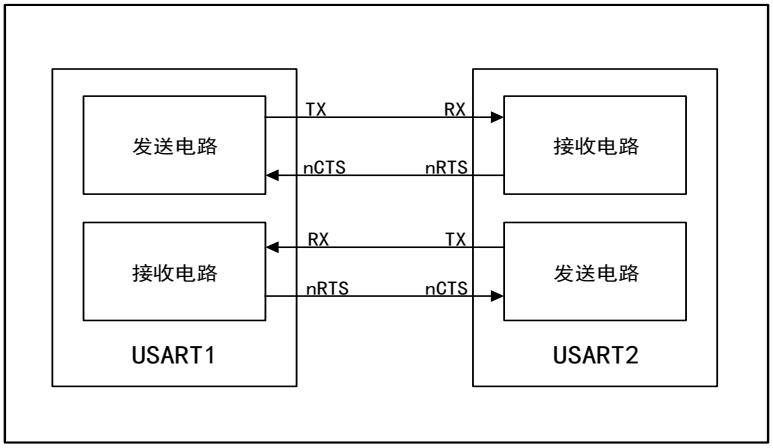

图 87 USART 同步传输时序图（DBLCFG=1）



### 21.4.11 硬件流控制和 RS485 驱动使能

硬件流控制功能是通过 nCTS 引脚和 nRTS 引脚来控制两个设备间的串行数据流。

图 88 两个 USART 之间的硬件流控制




**CTS 流控制**

USART_CTRL3 寄存器的 CTSEN 位决定是否使能 CTS 流控制，若使能 CTS 流控制，发送器会检测 nCTS 引脚的数据帧是否可以被发送。若 USART_STS 寄存器的 TXBEFLG 位=0 且 nCTS 被拉成低电平，则数据帧可以被发送。若 nCTS 在传输期间变为高电平，那么在当前的数据帧发送完成后，发送器将停止发送。

**RTS 流控制**

USART_CTRL3 寄存器的 RTSEN 位决定是否使能 RTS 流控制，若使能 RTS 流控制，当接收器接收数据时，nRTS 被拉成低电平，当一个数据帧接收完成时，nRTS 变为高电平以通知发送器停止发送数据帧。

**RS485 驱动使能**

USART_CTRL3 寄存器的 DEN 位决定是否打开驱动使能功能，这个功能能够允许 DE 信号打开外部收发器的控制端。

提前时间：驱动使能信号和第一个字节的起始位之间的时间间隔。由 USART_CTRL1 寄存器的 DLTEN[4:0]控制。

滞后时间：最后一个字节的停止位和释放 DE 信号之间的时间间隔。由 USART_CTRL1 寄存器的 DDLTEN[4:0]控制。

### 21.4.12 DMA 多缓冲器通信

为了减轻处理器的负担，USART 可以用 DMA 方式访问数据缓冲区。

**使用 DMA 方式发送**

USART_CTRL3 寄存器上的 DMATXEN 位决定是否使用 DMA 方式发送。当用

DMA 发送时，在指定的 SRAM 区的数据会被 DMA 传输到发送缓冲区。

用 DMA 方式发送的配置步骤：

（1） 清零 USART_STS 寄存器的 TXCFLG 位。

（2） 把存放数据的 SRAM 存储器的地址设置为 DMA 源地址。

（3） 把 USART_TXDATA 寄存器的地址设置为 DMA 目的地址。

（4） 设置要传输的数据字节数。

（5） 设置通道优先级。

（6） 设置中断使能。

（7） 使能 DMA 通道。

（8） 等待 USART_STS 寄存器的 TXCFLG 位置 1，表示发送完成。

**使用 DMA 方式接收**

USART_CTRL3 寄存器的 DMARXEN 位决定是否使用 DMA 方式接收，当用 DMA 接收时，每收到一个字节，接收缓冲区的数据会被 DMA 传输到指定的 SRAM 区。

用 DMA 方式接收的配置步骤：

（1） 把 USART_RXDATA 寄存器的地址设置为 DMA 源地址。

（2） 把存放数据的 SRAM 存储器的地址设置为 DMA 目的地址。

（3） 设置要传输的数据字节数。

（4） 设置通道优先级。

（5） 设置中断使能。

（6） 使能 DMA 通道。

### 21.4.13 中断请求

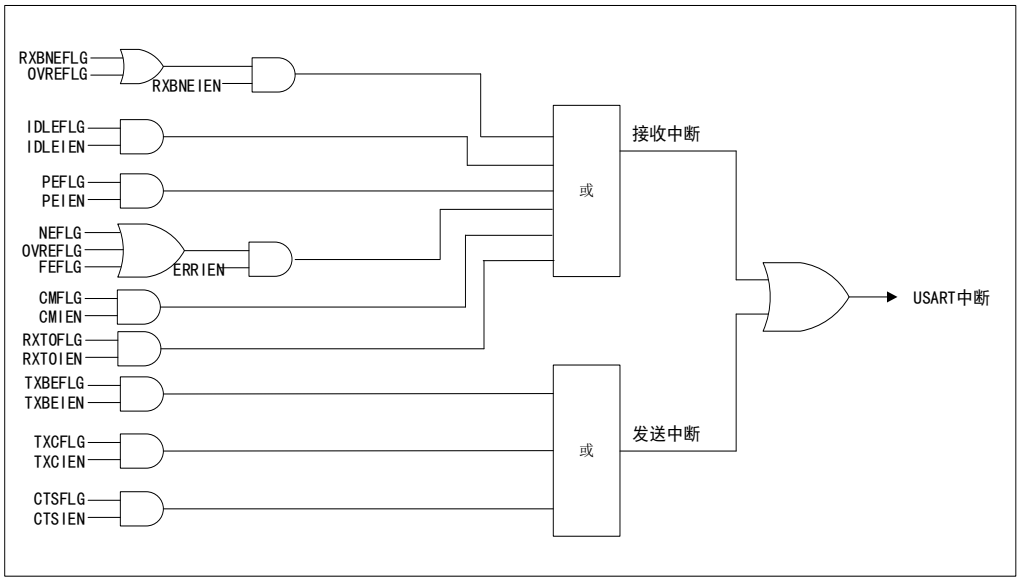
表格 66 USART 中断请求

| 中断事件 | | 事件标志位 | 使能位 |
|---|---|---|---|
| 接收寄存器不为空 | | RXBNEFLG | RXBNEIEN |
| 过载错误 | | OVREFLG | |
| 检测到线路空闲 | | IDLEFLG | IDLEIEN |
| 奇偶检验错误 | | PEFLG | PEIEN |
| DMA 模式下的接收错误 | 噪音错误 | NEFLG | ERRIEN |
| | 溢出错误 | OVREFLG | |
| | 帧错误 | FEFLG | |

| 中断事件 | 事件标志位 | 使能位 |
|---|---|---|
| 匹配字符 | CMFLG | CMIEN |
| 未按时接收错误 | RXTOFLG | RXTOIEN |
| 数据发送寄存器空 | TXBEFLG | TXBEIEN |
| 发送完成 | TXCFLG | TXCIEN |
| CTS 标志 | CTSFLG | CTSIEN |

USART 的中断请求都连接在同一个中断控制器上，中断请求在发送到中断控制器之前都是逻辑或关系。

图 89 USART 中断映射




### 21.4.14 USART 支持功能对比

表格 67 USART 支持功能对比

| USART 模式 | USART1 | USART2 |
|---|---|---|
| 硬件流控制 | √ | √ |
| 多缓存通讯（DMA） | √ | √ |
| 多处理器通讯 | √ | √ |
| 同步 | √ | √ |
| 半双工（单线模式） | √ | √ |
| 接收超时中断 | √ | √ |
| 支持波特率自动检测的模式 | 2 | 4 |

注意：“ √ ”表示支持该功能，“—”表示不支持该功能。

## 21.5 寄存器地址映射

表格 68 USART 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| USART_CTRL1 | 控制寄存器 1 | 0x00 |
| USART_CTRL2 | 控制寄存器 2 | 0x04 |
| USART_CTRL3 | 控制寄存器 3 | 0x08 |
| USART_BR | 波特率寄存器 | 0x0C |
| USART_RXTO | 接收超时寄存器 | 0x14 |
| USART_REQUEST | 请求寄存器 | 0x18 |
| USART_STS | 中断和状态寄存器 | 0x1C |
| USART_INTFCLR | 中断标志清除寄存器 | 0x20 |
| USART_RXDATA | 数据接收寄存器 | 0x24 |
| USART_TXDATA | 数据发送寄存器 | 0x28 |

## 21.6 寄存器功能描述

### 21.6.1 控制寄存器 1（USARTx_CTRL1）

偏移地址：0x00

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | UEN | R/W | 使能 USART（USART Enable）<br>0：禁用 USART 分频器和输出<br>1：使能 USART 模块<br>由软件置 1 或清 0；清除此位将取消当前的操作且 USART 的预分频器和输出立即停止工作。不会复位对 USART 的设置，但会复位 USART_STS 中的状态标志。 |
| 1 | 保留 | | |
| 2 | RXEN | R/W | 使能接收（Receive Enable）<br>0：禁止<br>1：使能，并开始检测 RX 引脚上的起始位<br>由软件置 1 或清 0。 |
| 3 | TXEN | R/W | 使能发送（Transmit Enable）<br>0：禁止<br>1：使能<br>由软件置 1 或清 0。 |
| 4 | IDLEIEN | R/W | 使能 IDLE 中断（IDLE Interrupt Enable）<br>0：禁止<br>1：当 IDLEFLG 置位时，产生中断<br>由软件置 1 或清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 5 | RXBNEIEN | R/W | 使能接收数据寄存器非空中断（Receive Data Register Not Empty Interrupt Enable）<br>0：禁止<br>1：当 OVREFLG 或 RXBNEFLG 置位时，产生中断<br>由软件置 1 或清 0。 |
| 6 | TXCIEN | R/W | 使能发送完成中断（Transmit Complete Interrupt Enable）<br>0：禁止<br>1：当 TXCFLG 置位时，产生中断<br>由软件置 1 或清 0。 |
| 7 | TXBEIEN | R/W | 使能发送数据寄存器空中断（Transmit Data Register Empty Interrupt Enable）<br>0：禁止产生中断<br>1：当 TXBEFLG 置位时，产生中断<br>由软件置 1 或清 0。 |
| 8 | PEIEN | R/W | 使能校验错误中断（Parity Error Interrupt Enable）<br>0：禁止产生中断<br>1：当 PEFLG 置位时，产生中断<br>由软件置 1 或清 0。 |
| 9 | PCFG | R/W | 配置奇偶校验位（Odd/Even Parity Configure）<br>0：偶校验<br>1：奇校验<br>由软件置 1 或清 0。<br>只有在未使能 USART 时才能置位此位。 |
| 10 | PCEN | R/W | 使能检验控制（Parity Control Enable）<br>0：禁止<br>1：使能<br>若置位此位，发送数据时在最高位插入一个校验位；接收数据时，检查接收的数据的校验位是否正确。<br>只有在未使能 USART 时才能置位此位。 |
| 11 | WUPMCFG | R/W | 配置唤醒方式（Wakeup Method Configure）<br>0：空闲总线唤醒<br>1：地址标记唤醒<br>由软件置 1 或清 0。<br>只有在未使能 USART 时才能置位此位。 |
| 12 | DBLCFG0 | R/W | 配置数据位长度（Data Bits Length Configure）<br>0：1 个起始位，8 个数据位，n 个停止位<br>1：1 个起始位，9 个数据位，n 个停止位<br>由软件置 1 或清 0 传输数据时不能修改此位。 |
| 13 | RXMUTEEN | R/W | 使能接收静默模式（Receive Mute Mode Enable）<br>0：正常工作模式<br>1：可以在正常模式和静默模式间切换<br>由软件置 1 或清 0。 |
| 14 | CMIEN | R/W | 使能字符匹配中断（Character Match Interrupt Enable）<br>0：禁止<br>1：当 CMFLG 置位时产生中断<br>由软件置 1 或清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15 | OSMCFG | R/W | 配置过采样模式（Oversampling Mode Configure）<br>0：16 倍过采样<br>1：8 倍过采样<br>只有在未使能 USART 时才能置位此位。 |
| 20:16 | DDLTEN[4:0] | R/W | 使能驱动程序滞后时间（Driver De-lead Time Enable）<br>此位域是传输时最后一个停止位和 DE 信号之间的时间间隔。它的单位是采样时间，由过采样率决定。<br>如果在 DDLTEN 时间内对 USART_TXDATA 寄存器进行写操作，在 DDLTEN 和 DLTEN 时间过去之后才会发送刚写入的数据。<br>只有在未使能 USART 时才能设置此位域。 |
| 25:21 | DLTEN[4:0] | R/W | 使能驱动程序提前时间（Driver Lead Time Enable）<br>此位域是传输时 DE 信号和第一个起始位的时间间隔。它的单位是采样时间，由过采样率决定。<br>只有在未使能 USART 时才能设置此位域。 |
| 26 | RXTOIEN | R/W | 使能接收超时中断（Receiver Timeout Interrupt Enable）<br>0：禁止<br>1：当 RXTOFLG 置位时产生中断<br>由软件置位或清 0。 |
| 31:27 | 保留 | | |

### 21.6.2 控制寄存器 2（USARTx_CTRL2）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | 保留 | | |
| 4 | ADDRLEN | R/W | 配置地址长度（Slave Address Length Configure）<br>0：4 位地址<br>1：7 位地址<br>只有在未使能 USART 时才能设置此位域。 |
| 7:5 | 保留 | | |
| 8 | LBCPOEN | R/W | 使能输出最后一位时钟脉冲（Last Bit Clock Pulse Output Enable）<br>0：不从 CK 输出<br>1：从 CK 输出<br>此位只作用于同步模式。 |
| 9 | CPHA | R/W | 配置时钟相位（Clock Phase Configure）<br>此位表明在第几个时钟边沿进行采样<br>0：第一个<br>1：第二个<br>此位只作用于同步模式。<br>只有在未使能 USART 时才能置位此位。 |
| 10 | CPOL | R/W | 配置时钟极性（Clock Polarity Configure）<br>当 USART 处于空闲状态时，CK 引脚的状态<br>0：低电平<br>1：高电平<br>此位只作用于同步模式。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 只有在未使能 USART 时才能置位此位。 |
| 11 | CLKEN | R/W | 使能时钟（CK 引脚）（Clock Enable（CK pin））<br>0：禁止<br>1：使能<br>只有在未使能 USART 时才能置位此位。 |
| 13:12 | STOPCFG | R/W | 配置停止位（STOP Bit Configure）<br>00：1 个停止位<br>01：保留<br>10：2 个停止位<br>11：保留<br>只有在未使能 USART 时才能置位此位。 |
| 14 | 保留 | | |
| 15 | SWAPEN | R/W | 使能交换 TX/RX 引脚功能（Swap TX/RX Pins Function Enable）<br>0：按标准分配使用<br>1：TX 和 RX 的引脚功能交换使用，与其它 USART 进行交叉互联时起作用。<br>由软件置位或清 0。<br>只有在未使能 USART 时才能置位此位。 |
| 16 | RXINVEN | R/W | 使能 RX 脚有效电平反向（RX Pin Active Level Inversion Enable）<br>0：标准逻辑电平(V DD =1/IDLE, Gnd=0/mark)<br>1：反向(V DD =0/mark, Gnd=1/IDLE)，RX 线上带有外部反相器时起作用。<br>由软件置位或清 0。<br>只有在未使能 USART 时才能置位此位。 |
| 17 | TXINVEN | R/W | 使能 TX 脚有效电平反向（TX Pin Active Level Inversion Enable）<br>0：标准逻辑电平(V DD =1/IDLE, Gnd=0/mark)<br>1：反向(V DD =0/mark, Gnd=1/IDLE)，TX 线上带有外部反相器时起作用。由软件置位或清 0。<br>只有在未使能 USART 时才能置位此位。 |
| 18 | BINVEN | R/W | 使能二进制数反向（Binary Data Inversion Enable）<br>0：正/直接逻辑(0=L,1=H)<br>1：负/反向逻辑(0=H,1=L)<br>由软件置位或清 0。<br>只有在未使能 USART 时才能置位此位。<br>置位此位时校验位也反向。 |
| 19 | MSBFEN | R/W | 使能最高有效位首位传输（Most Significant Bit First Enable）<br>0：第 0 位数据紧跟着起始位<br>1：最高位数据紧跟着起始位<br>由软件置位或清 0。<br>只有在未使能 USART 时才能置位此位。 |
| 20 | ABRDEN | R/W | 使能自动波特率检测（Auto Baud Rate Detection Enable）<br>0：禁止<br>1：使能<br>由软件置位或清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 22:21 | ABRDCFG | R/W | 配置自动波特率检测模式（Auto Baud Rate Detection Mode Configure）<br>00：测量起始位<br>01：测量下降沿<br>10：0x7F 帧检测<br>11：0x55 帧检测<br>由软件置位或清 0。 |
| 23 | RXTODEN | R/W | 使能接收超时检测功能（Receive Timeout Detection Function Enable）<br>0：禁止<br>1：使能<br>由软件置位或清 0。<br>置位此位，当 RX 线检测到空闲达到 RXTO 寄存器配置的时间长度后，RXTOFLG 位被硬件置位。 |
| 27:24 | ADDRL | R/W | 设置 USART 设备节点地址低位（USART Device Node Address Low Setup）<br>此位域作用于多机通讯且进入静默状态或者停机模式时的 7 位地址标记唤醒检测。<br>只有在关闭接收器或未使能 USART 时才能置位此位。 |
| 31:28 | ADDRH | R/W | 设置 USART 设备节点地址高位（USART Device Node Address High Setup）<br>此位域不仅作用于多机通讯且进入静默状态或者停机模式时的 7 位地址标记唤醒检测。（发送器的字符最高位应该为 1）也用于正常接收过程中的字符检测。（此时禁用静默状态）此时，若接收到的 8 位字节与 ADDRH 匹配，则 CMFLG 位被置位。<br>只有在关闭接收器或未使能 USART 时才能置位此位。 |

### 21.6.3 控制寄存器 3（USARTx_CTRL3）

偏移地址：0x08

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ERRIEN | R/W | 使能错误中断（Error Interrupt Enable）<br>0：禁止<br>1：使能，当 FEFLG、OVREFLG 或 NEFLG 其中一个置位时，产生中断。 |
| 2:1 | | | |
| 3 | HDEN | R/W | 使能半双工模式（Half-duplex Mode Enable）<br>0：禁止<br>1：使能<br>只有在未使能 USART 时才能置位此位。 |
| 5:4 | 保留 | | |
| 6 | DMARXEN | R/W | 使能 DMA 接收（DMA Receive Enable）<br>0：禁止<br>1：使能<br>由软件置位或清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7 | DMATXEN | R/W | 使能 DMA 发送（DMA Transmit Enable）<br>0：禁止<br>1：使能<br>由软件置位或清 0。 |
| 8 | RTSEN | R/W | 使能 RTS 硬件流控制功能（RTS Hardware Flow Control Function Enable）<br>0：禁止<br>1：使能<br>RTS：Require To Send 发送请求，为输出信号，说明已准备好接收。<br>当接收缓冲区有空间时才请求接收数据；当可以接收数据时，RTS 输出被拉至低电平。<br>只有在未使能 USART 时才能置位此位。 |
| 9 | CTSEN | R/W | 使能 CTS 硬件流控制功能（CTS Hardware Flow Control Function Enable）<br>0：禁止<br>1：使能<br>CTS：Clear To Send 发送清除，为输入信号<br>当 CTS 输入信号为低电平时，才能发送数据，否则无法发送数据；若在传输数据时，CTS 信号被拉高，那么当这个数据发送完成后，将停止数据传输；如果在 CTS 为高电平时对数据寄存器进行写操作，则要等 CTS 有效时才会将这个数据发送出去。<br>只有在未使能 USART 时才能置位此位。 |
| 10 | CTSIEN | R/W | 使能 CTS 中断（CTS Interrupt Enable）<br>0：禁止<br>1：CTSFLG 置位时产生中断 |
| 11 | SAMCFG | R/W | 配置采样方法（Sample Method Configure）<br>0：三次采样<br>1：单次采样，禁止噪音检测标志<br>只有在未使能 USART 时才能置位此位。 |
| 12 | OVRDEDIS | R/W | 禁止溢出检测（Overrun Detection Disable）<br>0：使能。当 RXBNEFLG 位被置位且接收到新数据时，OVREFLG 位被置位。<br>1：禁止。若接收到新数据时 RXBNEFLG 仍然置位，但 OVREFLG 没有被置位，那么还未被读出的数据会被新数据覆盖。<br>只有在未使能 USART 时才能置位此位。 |
| 13 | DDISRXEEN | R/W | 使能在接收错误时禁用 DMA（DMA Disable on Receive Error Enable）<br>0：不禁用 DMA。对应的错误标志位被置位，但为了避免数据溢出覆盖，RXBNEFLG 不会被置位。<br>1：禁用 DMA。若 RXBNEFLG 置位，那么对应的错误标志位也会被置位。直到对应的错误标志位清零，DMA 请求才会解除屏蔽。所以需要先禁止 DMA 请求或在先清除 RXBNEFLG 标志再清除错误标志。<br>只有在未使能 USART 时才能置位此位。 |
| 14 | DEN | R/W | 使能驱动器（Driver Enable）<br>允许用户通过 DE 信号来激活外部收发器的控制端。<br>0：禁止 DE 功能<br>1：使能 DE 功能，在 RTS 脚输出 DE 信号<br>只有在未使能 USART 时才能置位此位。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15 | DPCFG | R/W | 配置驱动输出脚极性（Driver Polarity Configure）<br>0：DE 信号高电平有效<br>1：DE 信号低电平有效<br>只有在未使能 USART 时才能置位此位。 |
| 31:16 | 保留 | | |

### 21.6.4 波特率寄存器（USARTx_BR）

只有在未使能 USART 时才能设置此寄存器。在自动波特率检测时，可能会被硬件置位。

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3:0 | FBR | R/W | USART 波特率分频系数的小数部分（Fraction of USART Baud Rate Divider factor）<br>USART 波特率分频系数的小数部分 USARTDIV[3:0]由这 4 位决定。 |
| 15:4 | IBR | R/W | USART 波特率分频系数的整数部分（Integer of USART Baud Rate Divider factor）<br>USART 波特率分频系数的整数部分 USARTDIV[15:4]由这 12 位决定。 |
| 31:16 | 保留 | | |

### 21.6.5 接收超时寄存器（USARTx_RXTO）

偏移地址：0x14

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 23:0 | RXTO | R/W | 设置接收超时值（Receiver Timeout Value Setup）<br>此位域规定了以波特时钟为单位的接收超时值。<br>在标准模式下，接收到最后一个字节后，若在 RXTO 值的时长内没有检测到新的起始位时，RXTOFLG 被硬件置位。 |
| 31:24 | 保留 | | |

### 21.6.6 请求寄存器（USARTx_REQUEST）

偏移地址：0x18

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ABRDQ | W | 请求自动波特率检测（Auto Baud Rate Detection Request）<br>置位此位会清除 ABRDFLG 标志，并在下一次接收数据时进行一次自动波特率检测。 |
| 1 | TXBFQ | W | 请求发送断开帧（Transmit Break Frame Request）<br>置位此位会置位 TXBFFLG 标志，并在使能发送状态机后发送一个断开帧。 |
| 2 | MUTEQ | W | 请求进入静默模式（Mute Mode Request）<br>置位此位会进入静默模式，并置位 RXWFMUTE 标志。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3 | RXDFQ | W | 请求接收数据寄存器清空（Receive Data Register Flush Request）<br>置位此位会清除 RXBNEFLG 标志。<br>可以丢弃接收寄存器内还没有被读出的数据，以免产生溢出错误。 |
| 31:4 | 保留 | | |

### 21.6.7 中断状态寄存器（USARTx_STS）

偏移地址：0x1C

复位值：0x0000 00C0

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | PEFLG | R | 发生校验错误标志（Parity Error Occur Flag）<br>0：无错误<br>1：检测到校验错误<br>在接收模式中，当出现奇偶校验错误时，由硬件置 1；置位 PECLR 可清除此位。 |
| 1 | FEFLG | R | 发生帧错误标志（Frame Error Occur Flag）<br>0：无帧错误<br>1：检测到帧错误或断开符<br>当出现同步错位、过多噪音或断开符时，由硬件置 1；置位 FECLR 可清除此位。 |
| 2 | NEFLG | R | 发生噪音错误标志（Noise Error Occur Flag）<br>0：无噪音<br>1：检测到噪音<br>当出现噪音错误时，由硬件置 1；置位 NFCLR 可清除此位。 |
| 3 | OVREFLG | R | 发生溢出错误标志（Overrun Error Occur Flag）<br>0：无溢出错误<br>1：检测到溢出错误<br>当 RXBNEFLG 位被置位，且移位寄存器中的数据要传输到接收寄存器时，由硬件置 1；置位 OVRECLR 可清除此位。 |
| 4 | IDLEFLG | R | 检测到空闲总线标志（IDLE Line Detected Flag）<br>0：未检测到空闲总线<br>1：检测到空闲总线<br>当 RXEN=1 时，会自动启动总线空闲检测；当检测到空闲总线时，由硬件置 1；置位 IDLECLR 可清除此位。 |
| 5 | RXBNEFLG | R | 接收数据寄存器不为空标志（Receive Data Register Not Empty Flag）<br>0：接收数据寄存器为空<br>1：接收数据寄存器不为空<br>当接收数据寄存器接收到接收移位寄存器传输的数据时，由硬件置 1；对 RXDATA 寄存器执行读操作或置位 RXDFQ 可清除此位。 |
| 6 | TXCFLG | R | 发送数据完成标志（Transmit Data Complete Flag）<br>0：发送数据未完成<br>1：发送数据完成<br>当数据的最后一帧发送完成且 TXBEFLG 置位时，由硬件置 1；对 TXDATA 寄存器进行写操作或置位 TXCCLR 可清除此位。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7 | TXBEFLG | R | 发送数据寄存器为空标志（Transmit Data Register Empty Flag）<br>0：发送数据寄存器不为空<br>1：发送数据寄存器为空<br>当发送移位寄存器接收到发送数据寄存器传输的数据时，由硬件置 1；对 TXDATA 寄存器进行写操作可清除此位。 |
| 8 | 保留 | | |
| 9 | CTSFLG | R | CTS 变化标志（CTS Change Flag）<br>0：nCTS 状态线上没有变化<br>1：nCTS 状态线上发生变化<br>若 CTSEN 位置位，当 nCTS 输入切换时，由硬件置 1；置位 CTSCLR 可清除此位。 |
| 10 | CTSCFG | R | 配置 CTS 状态（CTS Status Configure）<br>0：设置 nCTS 线<br>1：复位 nCTS 线<br>由硬件置 1 和清 0。<br>此位设置了 nCTS 输入脚的反向状态。 |
| 11 | RXTOFLG | R | 接收超时标志（Receiver Timeout Flag）<br>0：未超时<br>1：已超时<br>若在 RXTO 位设置的时长内没有检测到起始位，由硬件置 1；置位 RXTOCLR 位可清除此位。 |
| 13:12 | 保留 | | |
| 14 | ABRDEFLG | R | 自动波特率检测错误标志（Auto Baud Rate Detection Error Flag）<br>在波特率检测失败时，由硬件置 1；置位 ABRDQ 位可清除此位。<br>0：未发生自动波特率检测错误<br>1：发生自动波特率检测错误 |
| 15 | ABRDFLG | R | 自动波特率检测标志（Auto Baud Rate Detection Flag）<br>当打开自动波特率功能或当自动波特率操作中断时，由硬件置 1；重新开始波特率检测时清除此位。<br>0：未进行自动波特率检测<br>1：自动波特率检测完成 |
| 16 | BSYFLG | R | 忙碌标志（Busy Flag）<br>0：空闲状态<br>1：正在接收数据<br>当检测到起始位时，由硬件置 1，接收结束后被清除。<br>由硬件置 1 和清 0。 |
| 17 | CMFLG | R | 字符匹配标志（Character Match Flag）<br>0：无字符匹配<br>1：有字符匹配<br>当接收到的字符和 ADDR[7:0]设置的值匹配时，由硬件置 1；置位 CMCLR 位可清除此位。 |
| 18 | TXBFFLG | R | 发送断开帧标志（Transmit Break Frame Flag）<br>0：未发送<br>1：将要发送<br>若置位 TXBFQ 位，由软件置 1；在发送断开帧的停止位时，由硬件清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 19 | RXWFMUTE | R | 从静默模式唤醒接收器（Receiver Wakeup From Mute Mode）<br>0：正常模式<br>1：静默模式<br>当切换唤醒模式和静默模式时，由硬件置 1 和清 0；如果由空闲信号唤醒，向 USART_REQUEST 寄存器进行写操作可以将此位置 1。<br>WUPMCFG 位决定静默模式控制顺序。 |
| 31:20 | 保留 | | |

### 21.6.8 中断标志清除寄存器（USARTx_INTFCLR）

偏移地址：0x20

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | PECLR | RC_W1 | 清除校验错误标志（Parity Error Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 PEFLG 标志位。<br>0：无效操作<br>1：清零 PEFLG |
| 1 | FECLR | RC_W1 | 清除帧错误标志（Framing Error Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 FEFLG 标志位。<br>0：无效操作<br>1：清零 FEFLG |
| 2 | NECLR | RC_W1 | 清除噪音检测标志（Noise Detected Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 NEFLG 标志位。<br>0：无效操作<br>1：清零 NEFLG |
| 3 | OVRECLR | RC_W1 | 清除溢出错误标志（Overrun Error Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 OVREFLG 标志位。<br>0：无效操作<br>1：清零 OVREFLG |
| 4 | IDLECLR | RC_W1 | 清除空闲总线检测标志（IDLE Line Detected Clear Flag）<br>置位此位可以清除 USART_STS 寄存器的 IDLEFLG 标志位。<br>0：无效操作<br>1：清零 IDELFLG |
| 5 | 保留 | | |
| 6 | TXCCLR | RC_W1 | 清除发送数据完成标志（Transmission Data Complete Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 TXCFLG 标志位。<br>0：无效操作<br>1：清零 TXCFLG |
| 8:7 | 保留 | | |
| 9 | CTSCLR | RC_W1 | 清除 CTS 变化标志（CTS Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 CTSFLG 标志位。<br>0：无效操作<br>1：清零 CTSFLG |
| 10 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 11 | RXTOCLR | RC_W1 | 清除接收超时标志（Receiver Timeout Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 RXTOFLG 标志位。<br>0：无效操作<br>1：清零 RXTOFLG |
| 16:12 | 保留 | | |
| 17 | CMCLR | RC_W1 | 清除字符匹配标志（Character Match Flag Clear）<br>置位此位可以清除 USART_STS 寄存器的 CMFLG 标志位。<br>0：无效操作<br>1：清零 CMFLG |
| 31:18 | 保留 | | |

### 21.6.9 接收数据寄存器（USARTx_RXDATA）

偏移地址：0x24

复位值：0xXXXX

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 8:0 | RXDATA | R/W | 设置接收数据的值(Receiver Data Value Setup)<br>发送数据值或接收数据值；接收数据时从中读取，发送数据时向该寄存器写入数据。<br>如果使能了奇偶校验位，如果是 9 个数据位，则 DATA 的第 8 位是校验位；如果是 8 个数据位，则 DATA 的第 7 位是奇偶校验位。 |
| 31:9 | 保留 | | |

### 21.6.10 发送数据寄存器（USARTx_TXDATA）

偏移地址：0x28

复位值：0xXXXX

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 8:0 | TXDATA | R/W | 设置发送数据的值（Transmit Data Value Setup）<br>包含要发送的数据字节。<br>提供发送移位寄存器和内部总线之间的并行接口。<br>若在发送数据时打开校验位，那么向最高位进行写操作无效，因为它会被校验位取代之后再发送。 |
| 31:9 | 保留 | | |

# 22 内部集成电路接口（I2C）

## 22.1 术语全称、缩写描述

表格 69 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 串行数据线 | Serial Data | SDA |
| 串行时钟线 | Serial Clock | SCL |
| 系统管理总线 | System Management Bus | SMBus |
| 时钟 | Clock | CLK |
| 高速串行时钟 | Serial Clock High | SCLH |
| 低速串行时钟 | Serial Clock Low | SCLL |
| 地址解析协议 | Address Resolution Protocol | ARP |
| 否认应答 | Negative Acknowledgement | NACK |
| 数据包出错检测 | Packet Error Checking | PEC |

## 22.2 简介

I2C 是一种短距离总线通信协议，物理实现上，I2C 总线由两根信号线（SDA 与 SCL）和一个地线组成，两根信号线为双向传输的。

- 两根信号线，SCL 时钟线、SDA 数据线。由 SCL 为 SDA 提供时序，SDA 串行发送/接收数据
- SCL、SDA 这两根信号线均为双向
- 两个系统使用 I2C 总线通信时共地

## 22.3 主要特征

（1） 可选择主机或从机模式
（2） 多主机功能
（3） 7 位和 10 位寻址模式
（4） 响应广播
（5） 多个 7 位从地址
（6） 三种通信速度
- 标准模式
- 快速模式
- 超快速模式

（7） 可编程的时钟延长
（8） 可编程开始时间和保持时间
（9） 支持 DMA 功能
（10） 可编程噪音滤波器

- EC 错误校验

（11） SMBus 特定功能

- 硬件 PEC
- 地址解析协议
- HOST 通知协议
- SMBus 报警
- SMBus 超时管理

（12） 可选择一个独立的时钟源

## 22.4 结构框图

图 90 I2C1 功能结构图

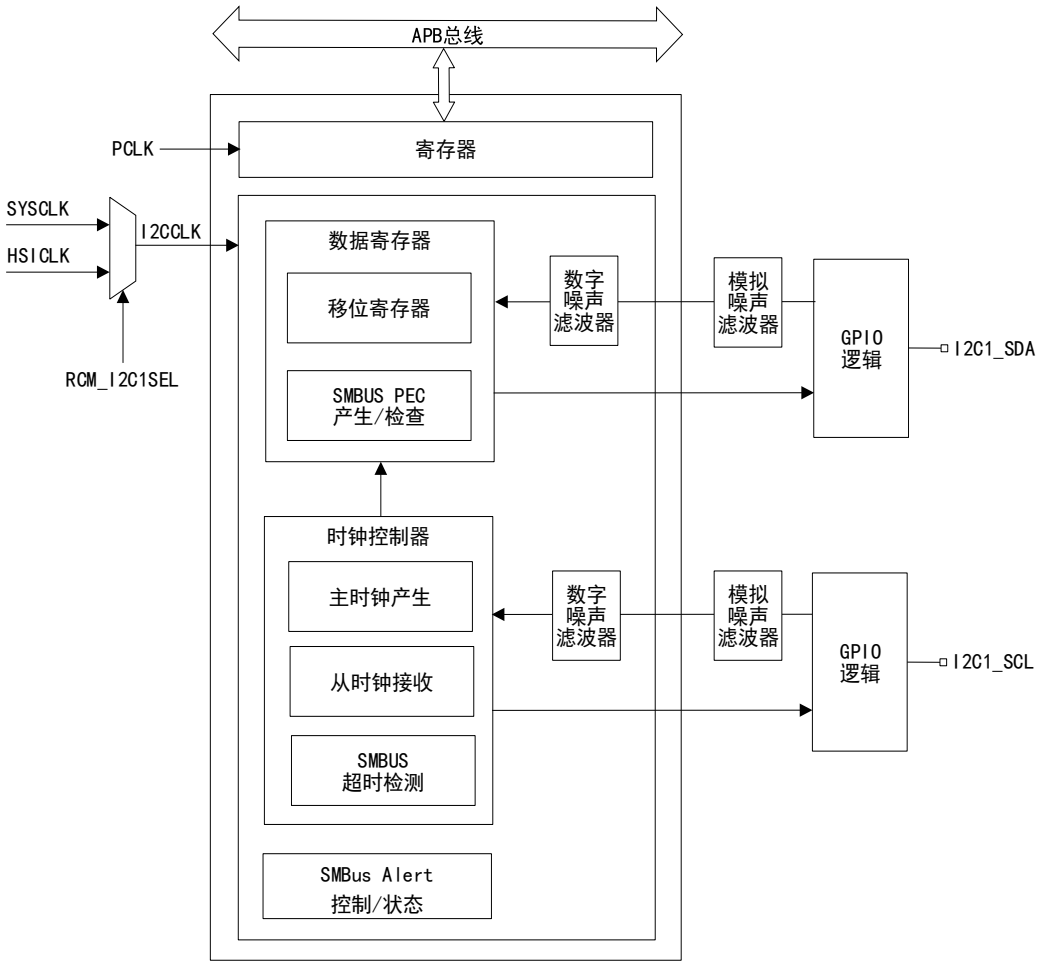
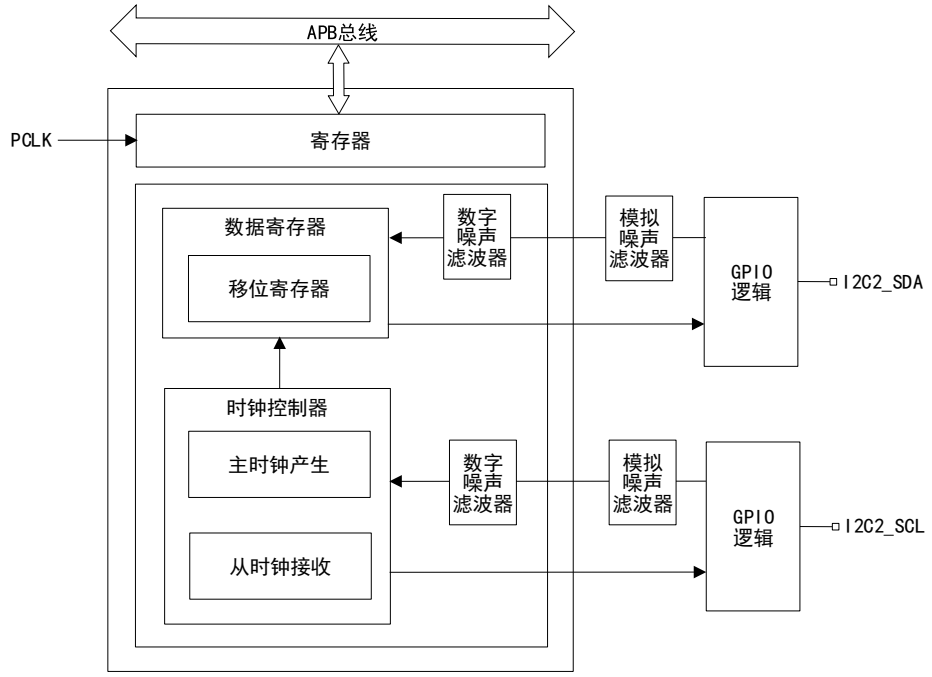


图 91 I2C2 功能结构图




## 22.5 功能描述

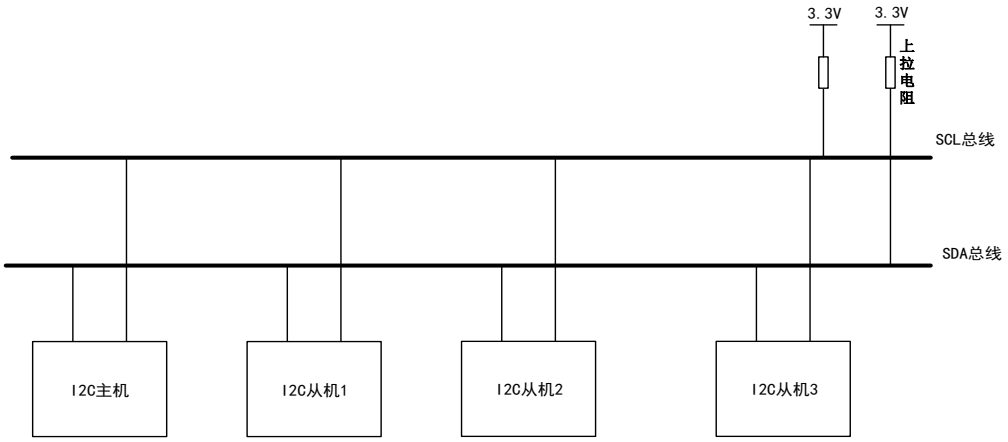
表格 70 I2C 总线专有名词说明

| 专有名词 | 说明 |
|---|---|
| 发送器 | 发送数据到总线的设备 |
| 接收器 | 从总线接收数据的设备 |
| 主机 | 初始化数据传输，产生时钟信号和结束数据传输的设备 |
| 从机 | 由主机寻址的设备 |
| 多主 | 不破坏信息的前提下同时控制总线的多个主机 |
| 同步 | 同步两个或更多设备之间的时钟信号的过程 |
| 仲裁 | 如果超过一个主机同时尝试控制总线时，只有一个主机可控制，且控制的主机信息不被破坏 |

### 22.5.1 I2C 物理层

I2C 通讯设备之间的常用连接方式如下图：

图 92 常见 I2C 通信连接图




**物理层特点：**

（1） 支持多设备的总线（多个设备共用的信号线），在 I2C 通信总线中，可连接多个通信主机与通信从机。

（2） 一个 I2C 总线只使用两条总线线路，一条双向串行数据线（SDA），一条串行时钟线（SCL）。数据线用于传输数据，时钟线用于数据收发同步。

（3） 每一个连接在总线上的设备都具有独立的地址（七位或十位），主机根据设备地址寻址访问从设备。

（4） 总线需要接上拉电阻到电源，I2C 总线空闲状态下，输出为高阻态，所有设备空闲时，都输出高阻态，上拉电阻把总线拉成高电平。

（5） 三种通信模式：标准模式（高达 100KHz） 快速模式（高达 400KHz） 超快速模式（高达 1MHz）。

（6） 多主机同时使用总线时，防止数据冲突，采取总线仲裁方式决定哪个设备占用总线。

（7） 可编程建立和保持时间，可对 I2C 中 SCL 的高电平时间与低电平时间进行编程。

### 22.5.2 I2C 协议层

**协议层特点**

（1） 数据以帧的形式传输，每一帧中由 1 个字节(8 位)组成。

（2） 在 SCL 的上升沿阶段,SDA 需要保持稳定，SDA 在 SCL 为低期间做出改变。

（3） 除了数据帧，I2C 总线还有起始信号，停止信号，应答信号。

- 起始位：在 SCL 为稳定的高电平期间，SDA 的一个下降沿启动传输。
- 停止位：在 SCL 为稳定的高电平期间，SDA 的一个上升沿停止传输。
- 应答位：用于表示一个字节传输成功。总线发送器(无论主机还是从机)，在发送 8 个位的数据后，SDA 将释放(由输出变为输入)，在第九个时钟脉冲期间，接收器将 SDA 拉低，来应答接收到了数据。

**I2C 通信读写过程**

图 93 主机写数据到从机

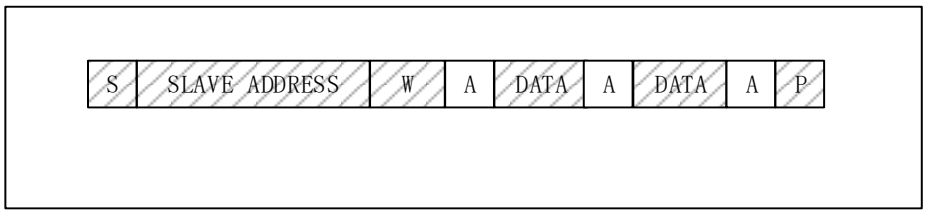
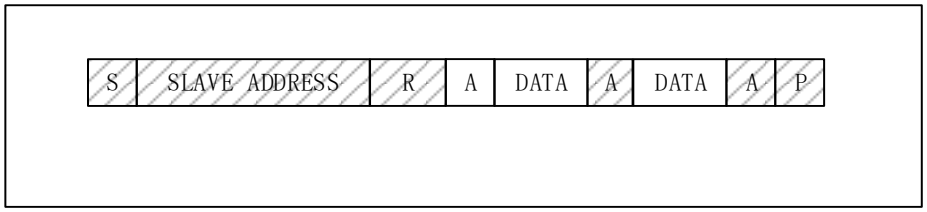



图 94 主机由从机读取数据




备注：

（1） ：此数据由主机传输到从机

（2） S：起始信号

（3） SLAVE ADDRESS：从机地址

（4） ：此数据由从机传输到主机

（5） R/W ：传输方向选择位

（6） 1 为读取

（7） 0 为写入

（8） P：停止信号

起始信号产生后，所有从机都将等待主机发送的从机地址信号，I2C 总线中，每个设备的地址都是唯一的，当地址信号与设备地址匹配后，从机将被选中，没被选中的从机将忽略以后的数据信号。

**主机方向为写数据时**

广播完地址后，接收到应答信号，主机向从机发传输数据，数据长度为一个字

节，主机每次发完一个字节数据后，都需等待从机发送的应答信号，当传输的所有字节完成后，主机向从机发送一个停止信号（STOP），表示为传输完成。

**主机方向为读数据时**

广播完地址后，接收到应答信号，从机开始向主机传输数据，数据包的大小为 8 位，从机每发送完一个字节数据,都要等待主机的应答信号，当主机想停止接收数据时，需要向从机返回一个非应答信号，则从机自动停止数据传输。

### 22.5.3 I2C 时钟介绍

#### 22.5.3.1 I2C 时钟源

I2C 由一个独立的时钟源驱动，可让 I2C1 独立于 PCLK 频率独立运作。

I2C 时钟源可选择 HSICLK 或 SYSCLK。

#### 22.5.3.2 时钟要求

（1）$t_{I2C_CLK} <（t_{low} - t_{filters}）/4$ 并且 $t_{I2C_CLK} < t_{HIGH}$
（2）$t_{low}$：SCL 低电平时间
（3）$t_{HIGH}$：SCL 高电平时间
（4）$t_{filters}$：I2C 启动时，模拟滤波器与数字滤波器所带来的滞后总和

**I2C 时钟配置**

启动外设前，需要配置 I2C_TIMING 寄存器中的 SCLH 与 SCLL 位来配置 I2C 时钟。其中可实现时钟同步机制，支持多主机环境与从机时钟延长。

$$t_{SCL} = t_{SYNC1} + t_{SYNC2} + \{ [ (SCLH+1)+(SCLL+1) ] * (TIMINGPSC+1) * t_{I2C_CLK} \}$$

$t_{SYNC1}$ 取决于：

- SCL 下降斜率
- 模拟滤波器的输入延迟
- 数字滤波器的输入延迟
- SCL 的同步 I2C_CLK 时钟带来的延迟

$t_{SYNC2}$ 取决于：

- SCL 上升斜率
- 模拟滤波器的输入延迟
- 数字滤波器的输入延迟
- SCL 的同步 I2C_CLK 时钟带来的延迟

为了满足 I2C 与 SMBus 模式兼容，时钟时序要求如下表：

表格 71 时钟时序要求

| 符号 | 参数 | 标准模式 | | 快速模式 | | 超快速模式 | | SMBus | | 单位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | 最小值 | 最大值 | 最小值 | 最大值 | 最小值 | 最大值 | 最小值 | 最大值 | |
| $f_{SCL}$ | SCL 时钟频率 | - | 100 | - | 400 | - | 1000 | - | 100 | KHz |
| $t_{HD:STA}$ | START 信号保持时间 | 4 | - | 0.6 | - | 0.26 | - | 4.0 | - | μs |
| $t_{SU:STA}$ | START 信号建立时间 | 5 | - | 0.6 | - | 0.26 | - | 4.7 | - | μs |
| $t_{SU:STO}$ | STOP 信号建立时间 | 4 | - | 0.6 | - | 0.26 | - | 4.7 | - | μs |
| $t_{BUF}$ | 在 STOP 与 START 信号之间总线空闲时间 | 5 | - | 1.3 | - | 0.50 | - | 4.0 | - | μs |
| $t_{LOW}$ | SCL 时钟低电平时间 | 8 | - | 1.3 | - | 0.50 | - | 4.7 | - | μs |
| $t_{HIGH}$ | SCL 时钟高电平时间 | 4 | - | 0.6 | - | 0.26 | - | 4.0 | 50 | μs |
| $t_r$ | SDA 与 SCL 信号的上升沿时间 | - | 1000 | - | 300 | - | 120 | - | 1000 | ns |
| $t_f$ | SDA 与 SCL 信号的下降沿时间 | - | 300 | - | 300 | - | 120 | - | 300 | ns |

#### 22.5.3.3 I2C_TIMING 寄存器配置

表格 72 I2C_TIMING 寄存器配置

| $f_{I2C_CLK}$=72MHz | | | | |
|---|---|---|---|---|
| 参数 | 标准模式 | | 快速模式 | 超快速模式 |
| | 10KHz | 100KHz | 400KHz | 1MHz |
| TIMINGPSC | 0xF | 0x8 | 0x8 | 0x8 |
| SCLL | 0xD8 | 0x27 | 0x9 | 0x3 |
| $t_{SCLL}$ | 217x222ns=48.174μs | 40x125ns=5μs | 10x125ns=1250ns | 4x125ns=500ns |
| SCLH | 0xD8 | 0xF | 0x3 | 0x1 |
| $t_{SCLH}$ | 217x222ns=48.174μs | 16x125ns=2μs | 4x125ns=500ns | 2x125ns=250ns |
| $t_{SCL}$ | 100μs | 10μs | 2500ns | 875ns |
| DATAHT | 0x5 | 0xC | 0x3 | 0 |
| $t_{DATAHT}$ | 5x222ns=1.11μs | 12x125ns=1.5μs | 3x125ns=375ns | 0ns |
| DATAT | 0x5 | 0x4 | 0x3 | 0x1 |
| $t_{DATAT}$ | 6x222ns=1.332μs | 5x125ns=625ns | 4x125ns=500ns | 2x125ns=250ns |

注：

$t_{I2C_CLK} = 1/f_{I2C_CLK}$

$t_{TIMINGPSC} =（TIMINGPSC+1）x\ t_{I2C_CLK}$

$t_{DATAT} =（DATAT+1）x\ t_{TIMINGPSC}$

$t_{DATAHT} = DATAHT\ x\ t_{TIMINGPSC}$

$t_{SCLH} =（SCLH+1）x\ t_{TIMINGPSC}$

$t_{SCLL} =（SCLL+1）x\ t_{TIMINGPSC}$

### 22.5.4 I2C 功能配置模式

接口可配置为以下模式：

- 从机发送
- 从机接收
- 主机发送
- 主机接收

当 I2C 接口初始状态下，工作模式为从机模式。当 I2C 接口发送起始信号后，将自动从从机模式转换为主机模式。

#### 22.5.4.1 从机模式

**从模式发送**

由主机发送起始信号与地址后，寻址成功，清除 ADDRMFLG 位，发送器将把待发送数据从 I2C_TXDATA 寄存器由内部移位寄存器发送到 SDA 线上。

从机每发送一字节，都会等待主机的应答信号（ACK），重复这个过程，直到主机希望停止接收数据时，向从机返回一个非应答信号（NACK），此时从机将停止数据传输。

**从模式接收**

接收到主机的地址后，清除 ADDRMFLG 位，从机通过内部移位寄存器从 SDA 线接收到的数据存储到 I2C_RXDATA 寄存器中。

从机接收到一个字节后，都会向主机发送一个应答信号（ACK），直至主机发送停止信号后，传输结束。

**从时钟延长**

在默认模式下，I2C 从机在下列情况下会拉低 SCL 时钟：

- 接收到的地址与启用的从机地址匹配，拉低 SCL 时钟直至 ADDRMFLG 标志被软件清零后释放。清除 ADDRMFLG 标志位方法是 ADDRMCLR 位置 1。
- 在发送时，如果之前的数据已被传输完毕，然后没有新的数据写入到 I2C_TXDATA 寄存器中，或者 ADDRMFLG 标志被清除，I2C_TXDATA 寄存器没有写入字节，将拉低 SCL 时钟，直至 I2C_TXDATA 寄存器由数据写入，释放 SCL 时钟。
- 在接收时如果 I2C_RXDATA 寄存器内容未被读走，又有新的数据收到，拉低 SCL 时钟，直到 I2C_RXDATA 寄存器被读取后，释放 SCL 时钟。

#### 22.5.4.2 主机模式

**主机发送**

I2C 接口发送起始信号并通过内部移位寄存器将地址送到 SDA 线上，传输方向为写，等待从机应答，当从机应答后，主机通过内部移位寄存器将字节从 I2C_TXDATA 寄存器发送到 SDA 线上,并等待从机发送的应答信号（ACK），如此反复，当 I2C_TXDATA 寄存器写入最后一个字节后，将设置 STOP 位产生一个停止信号。

**主机接收**

I2C 接口发送起始信号并通过内部移位寄存器将地址送到 SDA 线上，传输方向为读，从机应答后，主机进入接收模式，主机通过内部移位寄存器接收 SDA 线上的数据送至 I2C_RXDATA 寄存器中，当主机每接收一个数据后，都将返回一个应答信号（ACK），如此反复，直到主机需要停止读取数据时，发送一个非应答信号（NACK），将停止读取数据。

#### 22.5.4.3 SMBus 特定功能

系统管理总线（SMBus）是一种两线接口，它基于 I2C 总线原理。

**系统管理总线规范指的是三种类型的设备**

从机：接收或相应命令的设备。

主机：下达命令，产生时钟与终止传输的设备。

HOST：一种特殊主机，向系统 CPU 提供接口，HOST 必须具有主机和从机双重功能，并且支持 SMBus HOST 通知协议，一个系统只有一个 HOST。

**总线协议**

对于任何给定的设备有 11 个可能的命令协议，一个设备可以使用任何或者全部的 11 个协议进行通信。

**地址解析协议（ARP ）**

SMBus 从机地址冲突问题可通过为从设备标定一个新的独特的地址方式解决。为了分配地址，需要可区分每种设备的机制，每个设备都拥有一个唯一的设备标识符。这个 128 位的标识符是由软件实现的。

本设备支持地址解析协议（ARP）。将 I2C_CTRL1 寄存器中的 DEADDREN 位置 1，将启用 SMBus 设备的默认地址（0b1100001）。ARP 命令由用户软件实现。

ARP 支持的仲裁也在从机模式下完成。

**命令接收与数据应答控制**

SMBus 接收器对每个接收到的命令与数据都会回应 NACK。启动从机模式下的 ACK 控制，需将 I2C_CTRL1 寄存器的 SBCEN 位置 1，来启动从机字节控制模式。

**HOST 通知协议**

设置 I2C_CTRL1 寄存器的 HADDREN 位，使得本外设支持 HOST 通知协议，这种情况下，HOST 会应答 SMBus 主机地址（0b0001000）。

使用该协议，该设备作为主机，HOST 作为从机。

**SMBus 报警**

本外设可选 SMBus 提醒信号支持。一个仅仅作为从机的设备在想要发起通信

时，可以通过 SMBA 引脚通知 HOST。HOST 会处理这个中断，并且随即通过提醒响应地址（0b0001100）来访问所有 SMBA 设备。只有 SMBA 引脚被拉低的设备会回应提醒响应地址。

**SMBus 超时管理**

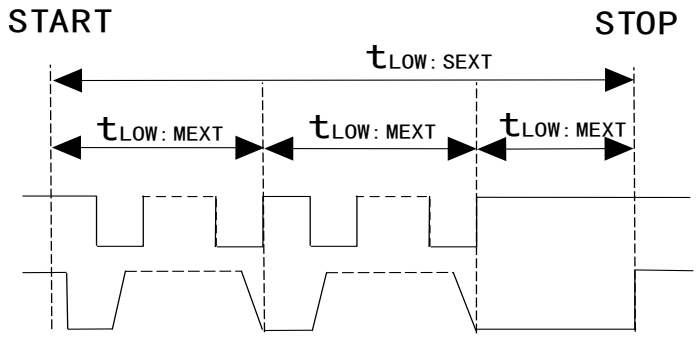
表格 73 SMBus 超时规范

| 符号 | 参数 | 范围 | | 单位 |
|---|---|---|---|---|
| | | 最小值 | 最大值 | |
| $t_{TIMEOUT}$ | 检测时钟低超时 | 25 | 35 | ms |
| $t_{LOW:SEXT}$ | 从机累积时钟低延长时间 | - | 25 | ms |
| $t_{LOW:MEXT}$ | 主机累积时钟低延长时间 | - | 10 | ms |

$t_{LOW:SEXT}$ 是一个从机设备从 START 到 STOP 给定的可延长时钟周期累计。当一个从机设备或主机设备对时钟进行占用导致总时钟低的时间大于 $t_{LOW:SEXT}$。因此这个参数测试条件是从机作为一个全速主机的唯一通信目标。

$t_{LOW:MEXT}$ 是一个主机设备按照 START 到 ACK，ACK 到 ACK，ACK 到 STOP 的方式发送一个字节所允许的时钟周期累计，当另一个从机设备或主机占用时钟时也可能导致总时钟占用时间大于 $t_{LOW:MEXT}$。 因此，这个参数测量条件是只有一个全速从机作为唯一通信目标。

图 95 $t_{LOW:SEXT}$ 与 $t_{LOW:MEXT}$ 时间




**22.5.4.4 错误标志位**

I2C 通信存在以下几种导致通信失败的错误标志位。

**总线错误标志位（BERRFLG ）**

当在 9 倍 SCL 时钟脉冲信号以外检测到一个 START 或者 STOP 条件，会发生一个总线错误。当 SCL 为高的时候，SDA 出现上升沿或下降沿，则会检测为 START 或 STOP 信号。

只有在 I2C 通信传输数据情况下才会发生总线错误（作为主机发送数据或作为从机已地址匹配后），在从机模式地址匹配阶段不会发生这种错误。

当检测到总线错误时，I2C_STS 寄存器中的 BERRFLG 标志位将被硬件置 1，若

I2C_CTRL1 寄存器中的 ERRIEN 位置 1 的话，则产生错误中断。

**仲裁丢失标志位（ALFLG ）**

SDA 线上发送高电平时，在 SCL 上升沿却从 SDA 采样得到低电平时，就会检测为仲裁丢失错误。

- 主机模式下，仲裁丢失在地址阶段、数据阶段及数据确认阶段检测。在这种情况下，SDA 和 SCL 线被释放，START 控制位硬件清除，主机模式自动切换为从机模式。
- 从机模式下，仲裁丢失在数据阶段和数据确认阶段进行检测，在这种情况下，传输被终止，SCL 和 SDA 线被释放。

当检测到仲裁丢失错误时，I2C_STS 寄存器中的 ALFLG 标志位将被硬件置 1,若 I2C_CTRL1 寄存器中的 ERRIEN 位置 1 的话，则产生错误中断。

**过载/欠载错误标志位（OVRURFLG ）**

当时钟延长被禁止（CLKSTRETCHD=1）时，从机模式下有下列条件发生时，检测到欠载或过载错误：

- 接收时，RXDATA 寄存器还未被读取，但是新发送的字节已经接收到。
- 发送时，当应该发送第一个数据字节但 STOPFLG=1。如果 TXBEFLG=0，那么 I2C_TXDATA 寄存器的值发送出去，如果不是 0，那么发送 0xFF。
- 发送时，在一个新的字节应该被写入到 I2C_TXDATA 寄存器，但却没有写，那就会将 0xFF 发送出去。

当检测到过载/欠载错误，I2C_STS 寄存器的 OVRURFLG 标志硬件置 1，如果 I2C_CTRL1 寄存器 ERRIEN 位置 1，则产生中断。

**包错误检查错误标志位（PECEFLG ）**

该错误条件仅针对 SMBus 功能部分。在收到 PEC 字节与 I2C_PEC 寄存器的内容不匹配时，会检测到 PEC 错误，错误的 PEC 接收后，会自动返回一个 NACK。当检测到 PEC 错误，I2C_STS 寄存器的 PECEFLG 标志硬件置 1，如果 I2C_CTRL1 寄存器 ERRIEN 位置 1，则产生中断。

**超时错误标志位（TTEFLG ）**

该错误条件仅针对 SMBus 功能部分。

当以下条件发生时超时错误将会产生：

（1）检测 SMBus 超时：

- IDLECLKTO=0 并且 SCL 保持低的时间达到了 TIMEOUTA[11:0]位域定义的时间。
- IDLECLKTO=1 并且 SDA 与 SCL 高电平时间超过了 TIMEOUTA[11:0]位域定义的时间。

（2）检测 SMBus 空闲超时：

- 主机时钟低延长累计时间达到了 TIMEOUTB[11:0]位域定义的时间（ $t_{LOW:MEXT}$ ）。
- 从机时钟低延长累计时间达到了 TIMEOUTB[11:0]位域定义的时间（ $t_{LOW:SEXT}$ ）。

当检测到 TIMEOUT 错误，I2C_STS 寄存器的 TTEFLG 标志硬件置 1，如果 I2C_CTRL1 寄存器 ERRIEN 位置 1，则产生中断。

#### 22.5.4.5 DMA 请求

通过设置 I2C_CTRL1 寄存器 DMATXEN 位,可以启用 DMA 发送。数据被预先放到 DMA 外设所设定的 SRAM 区域发送到 I2C_TXDATA 寄存器（无需考虑 TXINTFLG 位状态）。

只使用 DMA 传输字节：

- 主机模式下：初始化，从机地址，方向，字节数和起始位由软件设置（当从机地址已被发送后，无法使用 DMA 传输）。当所有数据都使用 DMA 传输时，必须在 START 位置 1 前，初始化 DMA。
- 从机模式下：DMA 必须在地址匹配事件之前初始化。

### 22.5.5 I2C 中断

表格 74 I2C 中断请求

| 中断事件 | 事件标志位 | 事件标志位清除方法 | 中断控制位 |
|---|---|---|---|
| 接收的字符非空 | RXBNEFLG | 读 I2C_RXDATA 寄存器 | RXIEN |
| 发送中断状态 | TXINTFLG | 写 I2C_TXDATA 寄存器 | TXIEN |
| 停止信号检测标志 | STOPFLG | 写 STOPCLR=1 | STOPIEN |
| 传输完成重装载 | TXCRFLG | 写 I2C_CTRL2 且 NUMBYT[7:0]不等于 0 | TXCIEN |
| 传输完成 | TXCFLG | 写 START=1 或 STOP=1 | |
| 地址匹配 | ADDRMFLG | 写 ADDRMCLR=1 | SADDRMIEN |
| 收到 NACK 标志位 | NACKFLG | 写 NACKCLR=1 | NACKRXIEN |
| 总线错误 | BERRFLG | 写 BERRCLR=1 | ERRIEN |
| 仲裁丢失 | ALFLG | 写 ALCLR=1 | |
| 过载/欠载错误 | OVRURFLG | 写 OVRURCLR=1 | |
| PEC 错误 | PECEFLG | 写 PECECLR=1 | |
| 时钟超时 | TTEFLG | 写 TTECLR=1 | |
| SMBus 提醒 | SMBALTFLG | 写 SMBALTCLR=1 | |

使能 I2C 中断，需要：

- 在 NVIC 中配置与启动 I2C 通道
- 配置 I2C 中断使能位

## 22.6 寄存器地址映射

表格 75 I2C 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| I2C_CTRL1 | 控制寄存器 1 | 0x00 |
| I2C_CTRL2 | 控制寄存器 2 | 0x04 |
| I2C_ADDR1 | 主机地址寄存器 1 | 0x08 |
| I2C_ADDR2 | 主机地址寄存器 2 | 0x0C |
| I2C_TIMING | 时序寄存器 | 0x10 |
| I2C_TIMEOUT | 超时寄存器 | 0x14 |
| I2C_STS | 状态寄存器 | 0x18 |
| I2C_INTFCLR | 中断标志清除寄存器 | 0x1C |
| I2C_PEC | PEC 寄存器 | 0x20 |
| I2C_RXDATA | 接收数据寄存器 | 0x24 |
| I2C_TXDATA | 发送数据寄存器 | 0x28 |

## 22.7 寄存器功能描述

### 22.7.1 控制寄存器 1（I2Cx_CTRL1）

偏移地址：0x00

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | I2CEN | R/W | 使能 I2C（I2C Enable）<br>0：禁止<br>1：使能 |
| 1 | TXIEN | R/W | 使能发送中断（Transmit Interrupt Enable）<br>0：禁止<br>1：使能 |
| 2 | RXIEN | R/W | 使能接收中断（RX Interrupt Enable）<br>0：禁止<br>1：使能 |
| 3 | SADDRMIEN | R/W | 使能从机地址匹配中断（Slave Address Match Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4 | NACKRXIEN | R/W | 使能 NACK 接收中断（NACK Received Interrupt Enable）<br>0：禁止<br>1：使能 |
| 5 | STOPIEN | R/W | 使能 STOP 检测中断（STOP Detection Interrupt Enable）<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 6 | TXCIEN | R/W | 使能发送完成中断（Transmit Complete Interrupt Enable）<br>0：禁止<br>1：使能 |
| 7 | ERRIEN | R/W | 使能出错中断（Error Interrupt Enable）<br>0：禁止<br>1：使能以下任何状态寄存器中的位置 1 时，将产生该中断：SMBALTFLG、TTEFLG、PECEFLG、OVRURFLG、ALFLG、STS1_BERRFLG |
| 11:8 | DNFCFG | R/W | 配置数字噪音滤波器（Digital Noise Filter Configure）<br>SDA 和 SCL 的数字噪音滤波器通过这个位域来配置。数字滤波器的长度为 DNFCFG[3:0]*$t_{I2C_CLK}$ 。<br>0000：禁止<br>0001：使能，1 个 $t_{I2C_CLK}$<br>……<br>1111：使能，15 个 $t_{I2C_CLK}$<br>若同时使能模拟滤波器，那么数字滤波器加在模拟滤波器上；此位只能在未置位 I2CEN 时设置。 |
| 12 | ANFD | R/W | 禁止模拟噪音滤波器（Analog Noise Filter Disable）<br>0：使能<br>1：禁止<br>此位只能在未置位 I2CEN 时设置。 |
| 13 | 保留 | | |
| 14 | DMATXEN | R/W | 使能 DMA 发送（DMA Transmit Enable）<br>0：禁止<br>1：使能 |
| 15 | DMARXEN | R/W | 使能 DMA 接收（DMA Receive Enable）<br>0：禁止<br>1：使能 |
| 16 | SBCEN | R/W | 使能从机字节控制（Slave Byte Control Enable）<br>0：禁止<br>1：使能 |
| 17 | CLKSTRETCHD | R/W | 禁止时钟延长时间（Clock Stretching Time Disable）<br>0：使能<br>1：禁止<br>此位只能在未置位 I2CEN 时设置且只适用于从机模式。 |
| 18 | 保留 | | |
| 19 | RBEN | R/W | 使能响应广播（Responds Broadcast Enable）<br>响应广播地址是 0x00。<br>0：禁止<br>1：使能 |
| 20 | HADDREN | R/W | 使能 SMBus HOST 地址（SMBus Host Address Enable）<br>HOST 地址是 0x10/0x11。<br>0：禁止<br>1：使能<br>若不支持 SMBus 模式，保留此位并强制为 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 21 | DEADDREN | R/W | 使能 SMBus 设备的默认地址（SMBus Device Default Address Enable）<br>默认地址是 0xC2/0xC3。<br>0：禁止<br>1：使能<br>若不支持 SMBus 模式，保留此位并强制为 0。 |
| 22 | ALTEN | R/W | 使能 SMBus 通知功能（SMBus Alert Function Enable）<br>设备模式（HADDREN=0）：<br>0：释放 SMBALERT 引脚，禁止 NACK 之后的通知响应地址头。<br>1：拉低 SMBALERT 引脚，使能 ACK 之后的通知响应地址头。<br>HOST 模式（HADDREN=1）：<br>0：不支持<br>1：支持<br>若 ALTEN=0，SMBALERT 引脚可以当作一个 GPIO；<br>若不支持 SMBus 模式，保留此位并强制为 0。 |
| 23 | PECEN | R/W | 使能 PEC（PEC Enable）<br>0：禁止<br>1：使能<br>若不支持 SMBus 模式，保留此位并强制为 0。 |
| 31:24 | 保留 | | |

### 22.7.2 控制寄存器 2（I2Cx_CTRL2）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | SADDR[0] | R/W | 设置从机地址（Slave Address Setup）<br>地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 0 位。 |
| 7:1 | SADDR[7:1] | R/W | 设置从机地址（Slave Address Setup）<br>从机地址的第 7:1 位。 |
| 9:8 | SADDR[9:8] | R/W | 设置从机地址（Slave Address Setup）<br>地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 9:8 位。 |
| 10 | TXDIR | R/W | 设置主机模式的传输方向（Master Mode Transfer Direction Setup）<br>0：写传输<br>1：读传输 |
| 11 | SADDRLEN | R/W | 配置从机地址长度（Slave Address Length Configure）<br>0：7 位寻址模式<br>1：10 位寻址模式 |
| 12 | ADDR10 | R/W | 配置主机发送 10 位地址头（Master Transmit 10-Bit Address Header Configure）<br>0：发送 10 位从机地址读序列：起始位+2 字节 10 位写方向地址+重新起始+10 位读方向地址中的前 7 位<br>1：发送 10 位从机地址读序列的前 7 位+读方向 |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 13 | START | R/S | 发送起始位（Start Bit Transfer）<br>可软件置 1、清 0，在发送起始位和地址序列后、发生仲裁丢失、超时错误或未设置 12CEN 位时由硬件清 0，也可以置位 I2C_INTFCLR 寄存器的 ADDRMCLR 位清 0。<br>在主模式下：<br>0：不发送<br>1：重复发送<br>在从模式下：<br>0：不发送<br>1：总线空闲时发送<br>对此位写 0 无意义；<br>置位 RELOAD 位此位不起作用。 |
| 14 | STOP | R/S | 发送停止位（Stop Bit Transfer）<br>可软件置 1、清 0；当发送停止位时或未设置 I2CEN 位时由硬件清 0。<br>在主模式下：<br>0：不发送<br>1：发送<br>对此位写 0 无意义。 |
| 15 | NACKEN | R/S | 使能发送 NACK（Transmit NACK Enable）<br>可软件置 1、清 0；当发送停止位、NACK、收到地址匹配事件后或未设置 12CEN 位时由硬件清 0。<br>0：发送 ACK<br>1：发送 NACK<br>对此位写 0 无意义且只适用于从模式。<br>在主机接收模式中，在发送最后一个字节后和发送停止位或 RESTART 位之间自动发送。<br>在从机接收模式中，发生过载时，会自动发送 NACK。这时 NACKEN 位不起作用；<br>使能硬件 PEC 检查后，PEC 的确认值也不取决于 NACK 位的值。 |
| 23:16 | NUMBYT | R/W | 设置字节数（Number of Bytes Setup）<br>此位决定要传输的字节数。在从机模式且 SBCEN=0 时，此位无意义。<br>此位只能在未设置 START 位时置位。 |
| 24 | RELOADEN | R/W | 使能 NUMBYT 重装载模式（NUMBYT Reload Mode Enable）<br>由软件置 1、清 0。<br>0：传输完 NUMBYT 个字节后传输结束<br>1：传输完 NUMBYT 个字节后重装载 NUMBYT。当传输完 NUMBYT 个数据后，TXCFLG 标志位置位，SCL 被拉低。 |
| 25 | ENDCFG | R/W | 配置结束模式（End Mode Configure）<br>由软件置 1、清 0。<br>0：软件结束模式：当传输完 NUMBYT 个数据后，TXCFLG 标志位置位，SCL 被拉低。<br>1：自动结束模式：当传输完 NUMBYT 个数据后，自动发送一个停止位。<br>此位在从机模式或 RELOADEN 位置位时无效。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 26 | PEC | R/S | 使能传输包错误检查字节（Transfer Packet Error Checking Byte Enable）<br>可软件置 1，清 0；在 PEC 传输完成、收到停止位、收到地址匹配事件后或未设置 I2CEN 位时由硬件清 0。<br>0：禁止<br>1：使能<br>对此位写 0 无意义。<br>置位 RELOADEN 位或在从机模式下清除 SBCEN 位，此位不起作用；<br>若不支持 SMBus 模式，保留此位并强制为 0。 |
| 31:27 | 保留 | | |

### 22.7.3 主机模式地址寄存器 1（I2Cx_ADDR1）

偏移地址：0x08

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ADDR[0] | R/W | 设置主机地址（Master Address Setup）<br>地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 0 位。 |
| 7:1 | ADDR[7:1] | R/W | 设置主机地址（Master Address Setup）<br>从机地址的第 7:1 位。 |
| 9:8 | ADDR[9:8] | R/W | 设置主机地址（Master Address Setup）<br>地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 9:8 位。 |
| 10 | ADDR1LEN | R/W | 配置主机地址长度（Master Address Length Configure）<br>0：7 位寻址模式<br>1：10 位寻址模式 |
| 14:11 | 保留 | | |
| 15 | ADDR1EN | R/W | 使能主机地址 1（Master Address 1 Enable）<br>0：禁止。收到从机地址 ADDR 后发送 NACK<br>1：使能。收到从机地址 ADDR 后发送 ACK |
| 31:16 | 保留 | | |

### 22.7.4 主机模式地址寄存器 2（I2Cx_ADDR2）

偏移地址：0x0C

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | 保留 | | |
| 7:1 | ADDR2[7:1] | R/W | 设置从机双地址模式地址（Master Address Setup）<br>在双地址模式下地址的 7:1 位。 |
| 10:8 | ADDR2MSK | R/W | 选择屏蔽主机地址 2（Masks Master Address 2 Select）<br>000：无屏蔽<br>001：屏蔽 ADDR2[1]，ADDR2[7:2]进行比较。<br>010：屏蔽 ADDR2[2:1]，ADDR2[7:3]进行比较。<br>011：屏蔽 ADDR2[3:1]，ADDR2[7:4]进行比较。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 100：屏蔽 ADDR2[4:1]，ADDR2[7:5]进行比较。<br>101：屏蔽 ADDR2[5:1]，ADDR2[7:6]进行比较。<br>110：屏蔽 ADDR2[6:1]，ADDR2[7]进行比较。<br>111：屏蔽 ADDR2[7:1]，没有比较，所有接收到的 7 位地址都会发送 ACK。<br>此位只能在未置位 ADDR2EN 位时设置；若 ADDR2MSK 不等于 0，保留的 I2C 地址也没有被响应，匹配也无意义。 |
| 14:11 | 保留 | | |
| 15 | ADDR2EN | R/W | 使能主机地址 2（Master Address 2 Enable）<br>0：禁止。收到从机地址 ADDR2 后发送 NACK。<br>1：使能。收到从机地址 ADDR2 后发送 ACK。 |
| 31:16 | 保留 | | |

### 22.7.5 时序寄存器（I2Cx_TIMING）

偏移地址：0x10

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | SCLL | R/W | 设置 SCL 低电平时间（SCL Low Level Time Setup）<br>$t_{SCLL}$ =(SCLL+1) x $t_{TIMINGPSC}$<br>SCLL 决定 $t_{BUF}$ 和 $t_{SU:STA}$ 时序。 |
| 15:8 | SCLH | R/W | 设置 SCL 高电平时间（SCL High Level Time Setup）<br>$t_{SCLH}$ =(SCLH+1) x $t_{TIMINGPSC}$<br>SCLH 决定 $t_{SU:STO}$ 和 $t_{HD:STA}$ 时序。 |
| 19:16 | DATAHT | R/W | 设置数据延长时间（Data Hold Time Setup）<br>此位域决定发送模式中 SCL 的下降沿和 SDA 的沿之间的延迟 $t_{DATAHT}$ 。<br>$t_{DATAHT}$ =DATAHT x $t_{TIMINGPSC}$<br>DATAHT 决定 $t_{HD:DAT}$ 时序。 |
| 23:20 | DATAT | R/W | 设置数据时间（Data Time Setup）<br>此位域决定发送模式中 SDA 的沿和 SCL 上升沿之间的延迟 $t_{DATAT}$ 。<br>$t_{DATAT}$ =(DATAT+1) x $t_{TIMINGPSC}$<br>$t_{DATAT}$ 决定 $t_{SU:DAT}$ 时序。 |
| 27:24 | 保留 | | |
| 31:28 | TIMINGPSC | R/W | 设置时序预分频器（Timing Prescaler Setup）<br>此位域分频 I2C_CLK，为数据的建立、保持时间计数器以及 SCL 高低电平计数器提供时钟周期 $t_{TIMINGPSC}$ 。<br>$t_{TIMINGPSC}$ =(TIMINGPSC+1) x $t_{I2C_CLK}$ 。 |

注：此寄存器只能在未设置 I2CEN 位时置位。

### 22.7.6 超时寄存器（I2Cx_TIMEOUT）

偏移地址：0x14

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 11:0 | TIMEOUTA | R/W | 设置总线超时 A（Bus Timeout A Setup） |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 当 IDLECLKTO=0 时，SCL 低超时时：<br>$t_{TIMEOUT}$ =(TIMEOUTA+1) x 2048 x $t_{I2C_CLK}$<br>当 IDLECLKTO=1 时，总线空闲时：<br>$t_{IDLE}$ =(TIMEOUTA+1) x 4 x $t_{I2C_CLK}$<br>此位只能在未设置 CLKTOEN 位时置位。 |
| 12 | IDLECLKTO | R/W | 配置空闲时钟超时检测（Idle Clock Timeout Detection Configure）<br>0：检测 SCL 低电平超时<br>1：检测 SCL 和 SDA 高电平超时（总线空闲）<br>此位只能在未设置 CLKTOEN 位时置位。 |
| 14:13 | 保留 | | |
| 15 | CLKTOEN | R/W | 使能时钟超时检测（Clock Timeout Enable）<br>0：禁止<br>1：使能。当 SCL 保持低的时间超过 $t_{TIMEOUT}$ 或保持高的时间超过 $t_{IDLE}$，检测到超时错误。 |
| 27:16 | TIMEOUTB | R/W | 设置总线超时 B（Bus Timeout B Setup）<br>主机模式下，要检测的累积主机时钟低延长时间($t_{LOW:MEXT}$)。<br>从机模式下，要检测的累积从机时钟低延长时间($t_{LOW:SEXT}$)。<br>$t_{TLOW:EXT}$ =(TIMEOUTB+1) x 2048 x $t_{I2C_CLK}$<br>此位域只能在未设置 EXCLKTOEN 位时设置。 |
| 30:28 | 保留 | | |
| 31 | EXCLKTOEN | R/W | 使能延长时钟超时（Extended Clock Timeout Enable）<br>0：禁止<br>1：使能<br>当 SCL 保持低的时间达到 $t_{TLOW:EXT}$，检测到超时错误。 |

### 22.7.7 状态寄存器（I2Cx_STS）

偏移地址：0x18

复位值：0x0000 0001

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | TXBEFLG | R/S | 发送数据缓冲器为空标志（Transmit Data Buffer Empty Flag）<br>0：发送缓冲器不为空<br>1：发送缓冲器为空<br>I2C_TXDATA 寄存器的内容为空时由硬件置 1；当把要发送的数据写到 I2C_TXDATA 寄存器时清除此位。<br>可软件置 1，以清空 I2C_TXDATA 寄存器；I2CEN=0 时由硬件清 0。 |
| 1 | TXINTFLG | R/S | 发送中断状态标志（Transmit Interrupt State Flag）<br>0：未发送<br>1：发送<br>I2C_TXDATA 寄存器为空的时候由硬件置 1，此时把要发送的数据写到 I2C_TXDATA 寄存器。下一个要发送的数据写到 I2C_TXDATA 寄存器时清除此位。<br>可在 CLKSTRETCHD=1 时由软件置 1，以产生 TXINTFLG 标志位；I2CEN=0 时由硬件清 0。 |
| 2 | RXBNEFLG | R | 接收数据缓冲器不为空标志（Receive Data Buffer Not Empty Flag）<br>0：接收缓冲器为空 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 1：接收缓冲器不为空<br>当 RXDATA 寄存器有数据时，由硬件置 1；读 I2C_RXDATA 可清除此位；I2CEN=0 时由硬件清 0。 |
| 3 | ADDRMFLG | R | 从机地址匹配标志（Slave Address Match Flag）<br>0：从机地址不匹配<br>1：从机地址匹配<br>当接收到的从机地址与其中任意一个有效的从机地址匹配时，此位由硬件置 1。将 ADDRMCLR 位置 1，由软件清零；I2CEN=0 时由硬件清 0。 |
| 4 | NACKFLG | R | 接收到 NACK 标志（Receive Not Acknowledge Flag）<br>0：未接收到 NACK 标志<br>1：接收到 NACK 标志<br>当一个字节传输后收到 NACK 时由硬件置 1。将 NACKCLR 位置 1，由软件清 0；I2CEN=0 时由硬件清 0。 |
| 5 | STOPFLG | R | 停止位检测标志（Stop Bit Detection Flag）<br>0：未检测到停止位<br>1：检测到停止位<br>当外设参与传输时，在总线上检测到停止位时由硬件置 1。<br>若在作为主机时由外设发送停止位，或在作为从机时外设在此次传输前被正确寻址，STOPCLR=1 时，由软件清 0；I2CEN=0 时由硬件清 0。 |
| 6 | TXCFLG | R | 发送数据完成标志（Transmit Data Complete Flag）<br>0：发送数据未完成<br>1：发送数据完成<br>在 RELOADEN=0，ENDCFG=0 且发送 NUMBYT 个数据完毕后由硬件置 1；START=1 或 STOP=1 时清 0；I2CEN=0 时由硬件清 0。 |
| 7 | TXCRFLG | R | 传输完成重加载标志（Transfer Complete Reload Flag）<br>0：传输完成结束<br>1：传输完成重加载<br>在 RELOADEN=1 且发送 NUMBYT 个数据完毕后由硬件置 1；向 NUMBYT 写入是一个非零的值时由软件清 0；I2CEN=0 时，由硬件清 0。此位只作用于主机模式，或从机模式中 SBCEN=1 时。 |
| 8 | BERRFLG | R | 总线错误标志（Bus Error Flag）<br>0：未发生总线错误<br>1：发生总线错误<br>在检测到错误的起始位或停止位时由硬件置 1；设置 BERRCLR 位由软件清 0；I2CEN=0 时由硬件清 0。 |
| 9 | ALFLG | R | 仲裁丢失标志（Arbitration Lost Flag）<br>0：未发生仲裁丢失<br>1：发生仲裁丢失<br>在总线仲裁丢失时由硬件置 1；设置 ALCLR 位由软件清 0；I2CEN=0 时由硬件清 0。 |
| 10 | OVRURFLG | R | 发生过载/欠载标志（Overrun/Underrun Flag）<br>0：未发生过载/欠载<br>1：发生过载/欠载<br>在从机模式下 CLKSTRETCHD=1 时，发生过载/欠载错误时由硬件置 1；设置 OVRURCLR 位由软件清 0；I2CEN=0 时由硬件清 0。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 11 | PECEFLG | R | 接收时出现 PEC 错误标志（PEC Error in Reception Flag）<br>0：未出现 PEC 错误<br>1：出现 PEC 错误<br>在收到的 PEC 值和 PEC 寄存器的值不匹配时由硬件置 1。收到错误的 PEC 时，自动发送一个 NACK。设置 PECECLR 位由软件清 0；I2CEN=0 时由硬件清 0。若不支持 SMBus 模式，保留此位并由硬件强制为 0。 |
| 12 | TTEFLG | R | 超时或 Tlow 错误标志（Timeout or Tlow Error Flag）<br>0：无超时错误<br>1：发生超时错误<br>发生超时或外部时钟超时时由硬件置 1；设置 TTECLR 位由软件清 0；I2CEN=0 时由硬件清 0。若不支持 SMBus 模式，保留此位并由硬件强制为 0。 |
| 13 | SMBALTFLG | R | 发生 SMBus 警报标志（SMBus Alert Occur Flag）<br>0：未发生 SMBus 警报<br>1：发生 SMBus 警报<br>若 HADDREN=1（SMBus HOST 配置）和 ALTEN=1，在 SMBALERT 脚上检测到 SMBALERT 下降沿时由硬件置 1；设置 SMBALTCLR 位由软件清 0；I2CEN=0 时由硬件清 0。若不支持 SMBus 模式，保留此位并由硬件强制为 0。 |
| 14 | 保留 | | |
| 15 | BUSBSYFLG | R | 总线忙碌标志（Bus Busy Flag）<br>0：总线空闲（无通信）<br>1：总线忙（正在通信）<br>检测到一个起始位时由硬件置 1；检测到一个停止位时由硬件清 0；I2CEN=0 时清 0。 |
| 16 | TXDIRFLG | R | 传输方向标志（Transfer Direction Flag）<br>发生地址匹配事件时更新。<br>0：写传输，从机进入接收模式<br>1：读传输，从机进入发送模式 |
| 23:17 | ADDRCMFLG | R | 地址码匹配标志（Address Code Match Flag）<br>由地址匹配事件发生时所接收到的地址更新。<br>0：地址码不匹配<br>1：地址码匹配<br>在 10 位地址时，ADDRCMFLG 提供 10 位地址的头 2 位以后的地址。 |
| 31:24 | 保留 | | |

### 22.7.8 中断标志清除寄存器（I2Cx_INTFCLR）

偏移地址：0x1C

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | 保留 | | |
| 3 | ADDRMCLR | W | 清除从机地址匹配标志（Slave Address Match Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 ADDRMFLG 标志位和 I2C_CTRL2 寄存器的 START 位。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 0：无效操作<br>1：清零 ADDRMFLG 和 START |
| 4 | NACKCLR | W | 清除接收到 NACK 标志（Receive Not Acknowledge Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 NACKFLG 标志位。<br>0：无效操作<br>1：清零 NACKFLG |
| 5 | STOPCLR | W | 清除停止位检测标志（Stop Bit Detection Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 STOPFLG 标志位。<br>0：无效操作<br>1：清零 STOPFLG |
| 7:6 | 保留 | | |
| 8 | BERRCLR | W | 清除总线错误标志（Bus Error Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 BERRFLG 标志位。<br>0：无效操作<br>1：清零 BERRFLG |
| 9 | ALCLR | W | 清除仲裁丢失标志（Arbitration Lost Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 ALFLG 标志位。<br>0：无效操作<br>1：清零 ALFLG |
| 10 | OVRURCLR | W | 清除过载/欠载标志（Overrun/Underrun Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 OVRURFLG 标志位。<br>0：无效操作<br>1：清零 OVRURFLG |
| 11 | PECECLR | W | 清除 PEC 错误标志（PEC Error in Reception Flag Clear）<br>设置此位会清除 I2C_STS 寄存器的 PECEFLG 标志位。<br>0：无效操作<br>1：清零 PECEFLG<br>若不支持 SMBus 模式，保留此位并由硬件强制为 0。 |
| 12 | TTECLR | W | 超时或 Tlow 错误标志（Timeout or Tlow Error Flag Clear）<br>设置此位会清除 I2C_STS 寄存器中的 TTEFLG 标志位。<br>0：无效操作<br>1：清零 TTEFLG<br>若不支持 SMBus 模式，保留此位并由硬件强制为 0。 |
| 13 | SMBALTCLR | W | 清除发生 SMBus 警报标志（SMBus Alert Occur Flag Clear）<br>设置此位会清除 I2C_STS 寄存器中的 SMBALTFLG 标志位。<br>0：无效操作<br>1：清零 SMBALTFLG<br>若不支持 SMBus 模式，保留此位并由硬件强制为 0。 |
| 31:14 | 保留 | | |

### 22.7.9 PEC 寄存器（I2Cx_PEC）

偏移地址：0x20

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 7:0 | PEC | R | 设置 PEC 值（PEC Value Setup）<br>当 PECEN=1 时，此位域表示内部 PEC 值。<br>I2CEN=0 时由硬件清 0。 |
| 31:8 | 保留 | | |

### 22.7.10 接收数据寄存器（I2Cx_RXDATA）

偏移地址：0x24

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 7:0 | RXDATA | R | 8 位接收数据字节（8-Bit Receive Data Byte）<br>从 I2C 总线接收的数据字节。 |
| 31:8 | 保留 | | |

### 22.7.11 发送数据寄存器（I2Cx_TXDATA）

偏移地址：0x28

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 7:0 | TXDATA | R/W | 8 位发送数据字节（8-Bit Transmit Data Byte）<br>要发送到 I2C 总线上的数据字节。<br>此位域位只能在 TXBEFLG=1 时设置。 |
| 31:8 | 保留 | | |

# 23 串行外设接口（SPI）

## 23.1 术语全称、缩写描述

表格 76 SPI 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 最高有效位 | Most Significant Bit | MSB |
| 最低有效位 | Least Significant Bit | LSB |
| 主机输出从机输入 | Master Out Slave In | MOSI |
| 主机输入从机输出 | Master In Slave Out | MISO |
| 串行时钟线 | Serial Clock | SCK |
| 串行数据 | Serial Data | SD |
| 主时钟 | Master Clock | MCK |
| 字选 | Word Select | WS |
| 脉冲编制调制 | Pulse-code Modulation | PCM |
| 发送 | Transmit | TX |
| 接收 | Receive | RX |
| 忙 | Busy | BSY |

## 23.2 简介

串行外设接口（SPI）提供了基于 SPI 协议的数据发送和数据接收功能,允许芯片与外部设备以半双工、全双工、同步和串行方式通信，可以工作于主机或者从机模式。

## 23.3 主要特征

（1） 具有 3 线全双工同步传输接收的主从操作
（2） 2 线可实现（第三根双向数据线可选带/不带）单工同步传输
（3） 选择 8 位或者 16 位传输帧格式
（4） 具有多主设备模式
（5） 具有专用的发送和接收标志，可触发中断
（6） 具有 SPI 总线忙状态标志
（7） SPI 支持摩托罗拉方式
（8） 主从模式的快速通信，最高可达 18MHz
（9） 时钟的极性和相位可编程
（10） 数据顺序可编程，选择 MSB 或者 LSB 在前
（11） 主模式故障、过载以及 CRC 错误标志可触发中断

（12） 具有 DMA 传输和接收缓冲器

（13） 通过硬件 CRC 进行计算、发送和校验

（14）CRC 错误标志

（15）两个 32 位嵌入式 RXFIFO 和 TXFIFO 带有 DMA 功能

## 23.4 SPI 功能描述

### 23.4.1 SPI 信号线描述

表格 77 SPI 信号线描述

| 引脚名称 | 描述 |
|---|---|
| SCK | 主设备：SPI 时钟输出<br>从设备：SPI 时钟输入 |
| MISO | 主设备：输入引脚，接收数据<br>从设备：输出引脚，发送数据<br>数据方向：从设备到主设备 |
| MOSI | 主设备：输出引脚，发送数据<br>从设备：输入引脚，接收数据<br>数据方向：主设备到从设备 |
| NSS | 软件 NSS 模式：NSS 引脚可以它用。<br>主设备硬件 NSS 模式：为 NSS 输出，单主模式。<br>NSS 关闭输出：允许操作多主环境。<br>从设备硬件 NSS 模式：NSS 信号设置为低电平，作为从机的片选信号。 |

### 23.4.2 通信格式

SPI 通信中，接收数据和发送数据可以同时进行，SCK 同步发送并且对数据线上的数据进行采样。通信格式取决于时钟相位、时钟极性和数据帧格式，如果要正常通信，主设备和从设备必须是相同的通信格式。

#### 23.4.2.1 时钟信号的相位和极性

时钟极性和时钟相位是 SPI_CTRL1 寄存器的 CPOL 和 CPHA 位。

时钟极性 CPOL 是指 SPI 处于空闲状态时，SCK 信号线的电平信号。

- CPOL=0 时，SCK 信号线在空闲状态为低电平
- CPOL=1 时，SCK 信号线在空闲状态为高电平

时钟相位 CPHA 是指数据的采样时刻

- CPHA=0 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“奇数边沿”被采样。
- CPHA=1 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“偶数边沿”被采样。

根据时钟相位 CPHA 和时钟极性 CPOL 的不同状态，可以将 SPI 分成四种模式。

表格 78 SPI 的四种模式

| SPI 模式 | CPHA | CPOL | 采样时刻 | 空闲时 SCK 时钟 |
|---|---|---|---|---|
| 0 | 0 | 0 | 奇数边沿 | 低电平 |
| 1 | 0 | 1 | 奇数边沿 | 高电平 |
| 2 | 1 | 0 | 偶数边沿 | 低电平 |
| 3 | 1 | 1 | 偶数边沿 | 高电平 |

注意：

（1） 如果要改变 CPOL 和 CPHA 位，SPI 必须通过 SPIEN 位清零关闭

（2） SCK 在空闲状态下，如果 CPOL=1 上拉 SCK，如果 CPOL=0 下拉 SCK。

#### 23.4.2.2 数据帧格式

可以通过配置 SPI_CTRL1 寄存器的 LSBSEL 位选择是 LSB 还是 MSB 先行。配置 SPI_CTRL2 寄存器的 DSCFG 位选择数据字长，无论是选择了何种，当对 FIFO 进行读访问时必须与 FRTCFG 对齐。当访问 SPI_DATA 寄存器时，数据帧总是右对齐。在通信过程中，只有数据字长范围内的位会随着时钟输出。

### 23.4.3 NSS 模式

软件 NSS 模式：通过配置 SPI_CTRL1 寄存器的 SSEN 位来选择启动或者禁止此模式，内部 NSS 信号电平由 SPI_CTRL1 寄存器的 ISSEL 位驱动。

硬件 NSS 模式：

- 启动 NSS 输出：SPI 处于主模式时，使能 SSOEN 位，NSS 引脚被拉至低电平，SPI 将自动进入从机模式。
- 关闭 NSS 输出：允许操作在多主环境。

### 23.4.4 SPI 模式

#### 23.4.4.1 SPI 主模式初始化

在主模式中，在 SCK 引脚产生串行时钟。

主模式配置：

- 配置 SPI_CTRL1 寄存器中的 MSMCFG=1，设置为主模式
- 通过配置 SPI_CTRL1 寄存器中的 BRSEL 位选择串行时钟波特率
- 通过配置 SPI_CTRL1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位
- 通过配置 SPI_CTRL1 寄存器中的 RXOMEN、BMOEN 和 BMEN 位选择传输模式
- 通过配置 SPI_CTRL2 寄存器中的 DSCFG 位选择数据位宽
- 通过配置 SPI_CTRL2 寄存器中的 NSSPEN 位打开 NSS 脉冲模式（配置该位时，CPHA 位必须置 1）
- 通过配置 SPI_CTRL2 寄存器中的 FRTCFG 位，设置触发 RXBNEFLG 事件的 RXFIFO 的阀值

- 如果使用 DMA 功能则需要配置 SPI_CTRL2 寄存器中的 LDTX 和 LDRX 位
- 如果使用 CRC，需要将 CRC 多项式设置为输入同时设置 CRCEN 位
- 通过配置 SPI_CTRL1 寄存器中 LSBSEL 选择是 LSB 先行还是 MSB 先行
- NSS 配置：
  - NSS 引脚工作在输入模式：硬件模式下，需要在整个数据帧传输期间把 NSS 引脚连接在高电平；软件模式下，需要设置 SPI_CTRL1 寄存器中的 SSEN 位和 ISSEL 位
  - NSS 工作在输出模式中，需要配置 SPI_CTRL2 寄存器的 SSOEN 位
- 配置 SPI_CTRL1 寄存器中的 SPIEN 位，使能 SPI

在主模式中：MOSI 引脚是数据输出，MISO 是数据输入。

#### 23.4.4.2 SPI 从模式初始化

在从模式中，SCK 引脚接收主设备传来的的串行时钟。

从模式配置：

- 配置 SPI_CTRL1 寄存器中的 MSMCFG=0 设置为从模式
- 通过配置 SPI_CTRL1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位
- 通过配置 SPI_CTRL1 寄存器中的 RXOMEN、BMOEN 和 BMEN 位选择传输模式
- 通过配置 SPI_CTRL2 寄存器中的 DSCFG 位选择数据位宽
- 通过配置 SPI_CTRL2 寄存器中的 NSSPEN 位打开 NSS 脉冲模式（配置该位时，CPHA 位必须置 1）
- 通过配置 SPI_CTRL2 寄存器中的 FRTCFG 位，设置触发 XBNEFLG 事件的 RXFIFO 的阀值
- 如果使用 DMA 功能则需要配置 SPI_CTRL2 寄存器中的 LDTX 和 LDRX 位
- 如果使用 CRC，需要将 CRC 多项式设置为输入同时设置 CRCEN 位
- 通过配置 SPI_CTRL1 寄存器中 LSBSEL 选择是 LSB 先行还是 MSB 先行
- NSS 配置：
  - 硬件模式下：在完整的数据帧传输过程中 NSS 引脚必须为低电平
  - 软件模式下：设置 SPI_CTRL1 寄存器中的 SSEN 位并清除 ISSEL 位
- 配置 SPI_CTRL1 寄存器中的 SPIEN 位，使能 SPI

在从模式中：MOSI 引脚是数据输入，MISO 引脚是数据输出。

#### 23.4.4.3 SPI 的全双工通信

通常情况下，SPI 被配置为全双工通信，其中，主机和从机的移位寄存器通过两个单向线 MOSI 和 MISO 进行连接。在 SPI 通信时，根据 SCK 时钟沿进行同步数据传输。主机的数据通过 MOSI 引脚发送到从机，从机的数据通过 MISO 引脚

发送到主机，数据传输完成时，说明信息交换成功。

#### 23.4.4.4 SPI 的半双工通信

**一条时钟线加一条双向数据线**

- 通过设置 SPI_CTRL1 寄存器的 BMEN 启动此模式
- 通过设置 SPI_CTRL1 寄存器的 BMOEN 位控制数据线是输入还是输出
- SCK 引脚作为时钟，主设备中使用 MOSI 引脚传输数据，从设备中使用 MISO 引脚传输数据

#### 23.4.4.5 SPI 的单工通信

**一条时钟线和一条单向数据线（只接收或只发送）**

此模式中，SPI 模块只接收或者只发送。

只发送模式：

- 数据在发送引脚上传输（主模式下是 MOSI、从模式下是 MISO）
- 此时接收引脚可以作为通用 I/O 使用（主模式下是 MISO，从模式下是 MOSI）。

只接收模式：

- 通过设置 SPI_CTRL1 寄存器中 RXOMEN 位关闭 SPI 功能
- 释放发送引脚（主模式下是 MOSI，从模式下是 MISO）
- 主模式下，使能 SPI 启动通信，清除 SPI_CTRL1 寄存器的 SPEN 位可以立即停止接收数据，不需要读取 BSYFLG 标志（一直为 1）。
- 从模式下：NSS 拉至低电平，只要 SCK 由时钟脉冲，SPI 会一直接收。

#### 23.4.4.6 SPI 的多从机设备通信

SPI 可以由多个从设备工作，主设备使用 GPIO 引脚管理从设备的片选线，可以控制两个以及两个以上的独立从设备。

主设备通过拉低从设备的 NSS 引脚，来决定与哪个从设备进行数据传输。

### 23.4.5 SPI 不同模式下数据发送和接收过程

表格 79 SPI 的运行模式

| 模式 | 配置 | 数据引脚 |
|---|---|---|
| 主设备的全双工模式 | BMEN=0，RXOMEN=0 | MOSI 发送；MISO 接收 |
| 主设备的单向接收模式 | BMEN=0，RXOMEN=1 | MOSI 不使用；MISO 接收 |
| 主设备的双向发送模式 | BMEN=1，BMOEN=1 | MOSI 发送；MISO 不使用 |
| 主设备的双向接收模式 | BMEN=1，BMOEN=0 | MOSI 不使用；MISO 接收 |
| 从设备的全双工模式 | BMEN=0，RXOMEN=0 | MOSI 接收，MISO 发送 |
| 从设备的单向接收模式 | BMEN=0，RXOMEN=1 | MOSI 接收，MISO 不使用 |
| 从设备的双向发送模式 | BMEN=1，BMOEN=1 | MOSI 不使用，MISO 发送 |

| 模式 | 配置 | 数据引脚 |
| --- | --- | --- |
| 从设备的双向接收模式 | BMEN=1，BMOEN=0 | MOSI 接收，MISO 不使用 |

图 96 全双工模式连接

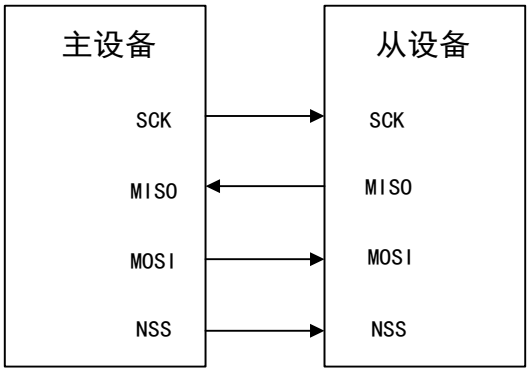



图 97 单工模式连接（主机用来接收，从机用来发送）

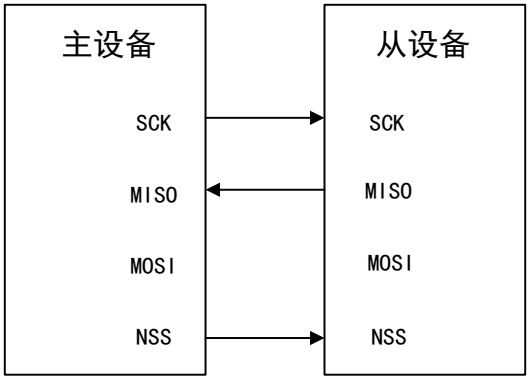



图 98 单工模式连接（主机只发送，从机接收）

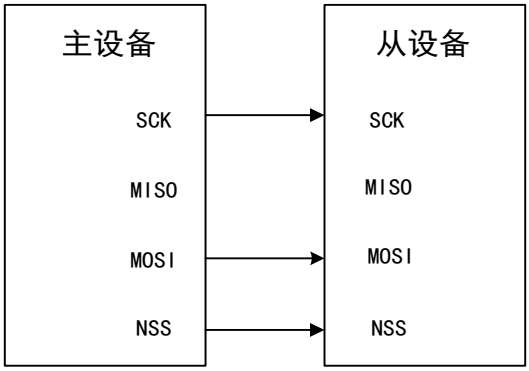
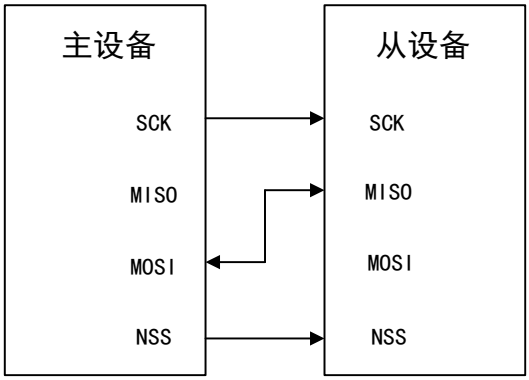


图 99 半双工模式连接




#### 23.4.5.1 数据的发送与接收

为了防止数据帧较短时溢出，保证 SPI 可以连续工作，所有的 SPI 数据都需要通过 32 位的嵌入式 FIFO。每个方向都会有各自的 FIFO，为 TXFIFO 和 RXFIFO。

根据 SPI 单工、双工模式，数据帧格式、FIFO 数据寄存器上执行的访问大小以及访问 FIFO 时是否使用数据打包对 FIFO 进行处理。

对 SPI_DATA 寄存器的读访问将返回存储在 RXFIFO 中尚未读取的最早的值。对 SPI_DATA 的写访问将写入数据存储在发送队列末尾的 TXFIFO 中。读访问必须始终与 SPI_CTRL2 寄存器中 FRTCFG 位配置的 RXFIFO 阈值对齐。FTLSEL 和 FRLSEL 位表示两个 FIFO 的当前占用水平。

对 SPI_DATA 寄存器的读访问必须由 RXBNEFLG 事件管理，当数据存储在 RXFIFO 中并达到阈值(由前位定义)时触发此事件；当 RXBNEFLG 被清除时，RXFIFO 被认为是空的，以相似的方式，对要传输的数据帧的写访问由 TXBEFLG 事件管理。当 TXFIFO 小于或等于其容量的一半时触发 RXBNEFLG 事件，否则 TXBEFLG 被清除，同时认为 TXFIFO 存有数据，因此，当数据帧格式小于或者等于一个字节时，RXFIFO 最多可以存储 4 个数据帧，TXFIFO 可以存储 3 个数据帧。当软件试图以 16 位模式向 TXFIFO 写入更多数据时，这一差异可以防止已经存储在 TXFIFO 中的 3 个 8 位数据帧损坏。TXBEFLG 和 RXBNEFLG 事件都可以轮询或由中断处理。

#### 23.4.5.2 序列处理

在发送数据中，可以将多个数据按照顺序组成一个序列，当开始发送时，TXFIFO 会按照顺序连续发送完成。

在单接收模式中，半双工或者单工模式下，使能 SPI，主设备会马上开始接收序列，直到 SPI 关闭或者单接收模式关闭。当数据帧开始传输时，从设备无法控制数据序列，因此从机必须在传输开始前准备数据，即保证 TXFIFO 中有待发送的数据。

在有多个从设备时，每个序列都需要对应到不同的从设备中，所以需要用 NSS 脉冲分隔序列保证正确。

注意：

（1） 结合 FTLSEL 位和 BSYFLG 位检查数据是否传输完成，当传输完成时钟输出停止。

（2） 在数据包模式中，数据传输是奇数时要特别注意空字节。

（3） 主设备在单接收模式中，需要禁用 SPI 或者单接收模式，停止时钟输出。

（4） 掌握正确接收的时间，保证数据传输正确。

（5） 关闭的动作要在首位采样时间和下一个字节的首位之间。

#### 23.4.5.3 数据打包

当数据帧的大小小于或者等于一个字节时，对 SPI_DATA 寄存器执行 16 位的读写访问时，数据都会自动打包在一起，此时可以并行处理双数据。当对 SPI_DATA 写访问后，会发送 2 个字节的数据；如果 RXFIFO 的阀值设置为 16 位，会生成一个接受 RXBNEFLG 事件。

对单个 RXBNEFLG 事件，数据接收器要对 SPI_DATA 进行一次读操作，才能将数据全部取到。

注：RXFIFO 的阀值要和跟进的数据访问的位宽保持一致。

### 23.4.6 NSS 脉冲模式

通过配置 SPI_CTRL1 寄存器的 NSSPEN 位，设置 NSS 脉冲模式，此模式只有在 SPI 配置为摩托罗拉主模式且捕获第一个边沿时才有效。此模式的发送中，NSS 脉冲在两个连续的数据帧之间产生，NSS 至少会在高电平保持一个周期。NSS 脉冲模式允许从机锁存数据。

### 23.4.7 TI 模式

#### TI 协议主模式

通过配置 SPI_CTRL2 寄存器的 FRFCFG 位令 SPI 接口兼容 TI 协议主模式。

在 TI 协议主模式中，不受 SPI_CTRL1 寄存器设置的影响，时钟极性、相位和 NSS 管理都会保持在符合 TI 协议的要求。在从模式中，SPI 波特率分频器用来控制 MISO 引脚，使 MISO 引脚为高阻态，任何波特率都可以使用，保证了最佳灵活性。

一般情况下会设置波特率为外部主时钟的波特率，MISO 信号成为高阻态的延迟取决于内部在同步和通过 SPI_CTRL1 寄存器中的 BRSEL 位设置波特率。它的公式为：

$$T_{baud_rate}/2+4\times t_{pclk} < t_{release} < t_{baud_rate}+6\times t_{pclk}$$

注：此功能不适用于摩托罗拉 SPI 通信模式（FRFCFG 位设置为 0）。

### 23.4.8 CRC 功能

SPI 模块含有两个 CRC 计算单元分别用来数据接收和数据发送。

CRC 计算单元是在 SPI_CRCPOLY 寄存器来定义多项式（应该是奇数，不支持偶数）。

通过配置 SPI_CTRL1 寄存器中的 CRCEN 位使能 CRC 计算；同时复位 CRC 寄存器（SPI_RXCRC 和 SPI_TXCRC）。

**由 CPU 管理传输时的 CRC**

为了得到传输计算的 CRC 值，当最后一个数据写入发送缓冲器后，需要设置 SPI_CTRL1 的 CRCNXT 位；指示硬件在发送最后一个数据之后，发送 CRC 数值，CRCNXT 位被清除；在 CRC 数据传输期间，CRC 计算会被冻结。

接收到的 CRC 数据会被存储在 RXFIFO 中，一个 CRC 格式的事务通常在数据序列的末尾需要多一个数据帧来通信，然而当设置有个由 16 位 CRC 校检的 8 位数据帧时，需要两个数据帧来发送完整的 CRC。当接收到最后一个 CRC 数据时，对接收的值和 SPI_RXCRC 寄存器的值进行比较。通过检查 SPI_STS 寄存器中的 CRCEFLG 标志位来判断在传输过程中数据是否被破坏，可以通过写 0 来清除 CRCEFLG 位。通过读取 SPI_DATA 寄存器清除 RXBNEFLG 位。

**清除 CRC 数值顺序：**

（1） 关闭 SPI（SPIEN=0）
（2） 将 CRCEN 位清零
（3） 将 CRCEN 位置 1
（4） 使能 SPI（SPIEN=1）

注意：当 SPI 工作在从模式中时，软件必须在时钟稳定的情况下启用 CRC 运算。并且在数据阶段和 CRC 阶段时间，NSS 信号需要拉低并一直保持。

### 23.4.9 DMA 功能

SPI 中的请求/应答 DMA 机制，方便了高速率的数据传输，提高了系统效率，能够及时向 SPI 发送缓冲器传送数据，同时接收缓冲器也能及时读取数据防止溢出。

SPI 只发送数据时，只需要使能 DMA 的发送通道；SPI 只接收数据时，只需要使能 DMA 的接收通道。

通过配置 SPI_CTRL2 寄存器的 TXDEN 和 RXDEN 位，使能 SPI 模式的 DMA 功能。

- 发送时：TXBEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器写数据到 SPI_DATA 寄存器中，此时 TXBEFLG 标志位被清除。
- 接收时：RXBNEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器从 SPI_DATA 寄存器中读取数据，此时 RXBNEFLG 标志位被清除。

通过监视 BSYFLG 标志位确认在发送模式下 DMA 传送所有需要发送的数据后 SPI 通信是否结束，可以避免破坏最后一个数据的传输。

**带 CRC 的 DMA 功能**

结束通信时，如果 SPI 同时使能 CRC 运算和 DMA 功能，CRC 字节的发送和接

收会自动完成。CRCNXT 位不收软件控制，SPI 发送 DMA 通道计数器必须设置为不包含 CRC 数据的数量，但是接收时 DMA 通道计数器必须要多包含一个 CRC 数据的长度。

CRC 校验环节读取 CRC 数据后，SPI_TXCRC 和 SPI_RXCRC 的值会自动清零。此时，可以使用 DMA 循环模式（除了在单接受模式下）实现连续传输。

在数据和 CRC 传输结束时，如果 SPI_STS 寄存器中的 CRCEFLG 标志位置 1，说明传输期间发生了错误。

### 23.4.10 关闭 SPI

数据传输结束后，通过关闭 SPI 模块结束通讯。

当数据还在传输时，或者 TXFIFO 中存在数据时，不可以操作 SPI_CTRL1 寄存器中的 SPIEN 位来关闭 SPI。如果设置了 SPIEN=0，时钟信号会持续发送，一直到重新启用外设。为了预防以上情况的发生需要一定的步骤来关闭 SPI。

**关闭 SPI 步骤：**

（1） 等待 FTLSEL 清零
（2） 等待 BSYFLG 标志位清零
（3） 等待 FRLSEL 清零
（4） 关闭 SPI（SPIEN=0）

**在一些单接收模式中关闭 SPI 步骤：**

（1） 等待 RXOMEN 清零或者 BMOEN 置 1
（2） 等待 BSYFLG 标志位清零
（3） 等待 FRLSEL 清零
（4） 关闭 SPI（SPIEN=0）

### 23.4.11 SPI 中断

在 SPI 运行期间，以下事件的产生可以出发中断：

- TXFIFO 准备装载
- RXFIFO 接收到数据
- 主模式错误
- CRC 错误
- TI 帧格式错误

#### 23.4.11.1 状态标志位

完全监控 SPI 总线的状态有三个标志位。

**发送缓冲器空闲标志 TXBEFLG**

TXBEFLG=1 说明 TXFIFO 有空间存储发送数据，TXBEFLG 标志位是连接到 TXFIFO 位上的，在存入数据过程时，如果 TXFIFO 的存储内容小于或者等于 FIFO/2 时，TXBEFLG 标志位保持为高。当 TXFIFO 的存储内容大于 FIFO/2，TXBEFLG 标志位会清零。其中如果设置了 SPI_CTRL2 寄存器中的 TXBEIEN 位，会产生中断。

**接收缓冲器非空闲标志 RXBNEFLG**

RXBNEFLG 标志位取决于 SPI_CTRL2 寄存器中的 FRTCFG 位的值：

- 如果 FRTCFG=1，当 RXFIFO 的存储内容大于或者等于 8 位时，RXBNEFLG=1
- 如果 FRTCFG=0，当 RXFIFO 的存储内容大于或者等于 16 位时，RXBNEFLG=1

非上述情况，RXBNEFLG 标志位会自动清零。

当 SPI_CTRL2 寄存器中的 RXBNEIEN=1 时，会产生一个中断。

**忙标志 BSYFLG**

BSYFLG 标志由硬件设置和清除，可以表明 SPI 通信层的状态，BSYFLG=1 时，表明 SPI 正在通信， 使用 BSYFLG 标志可以检测传输是否结束，避免破坏最后一次传输数据。

在以下情况中 BSYFLG 标志将会清零：

- 主模式下，结束传输
- 主模式故障
- 从模式下，两次数据传输之间间隔至少一个 SPI 周期
- 关闭 SPI

通讯连续时：

- 主模式中：传输的整个过程，BSYFLG=1
- 从模式中：每个数据的传输之间，BSYFLG 在一个 SCK 时钟周期保持为低

注意：最好使用 TXBEFLG 和 RXBNEFLG 标志来处理每一个数据项的发送和接收。

### 23.4.11.2 错误标志位

**主模式错误 MEFLG**

MEFLG 是一个错误标志位。

主模式错误发生在：

- 在硬件 NSS 模式中，主设备的 NSS 引脚被拉低；
- 在软件 NSS 模式中，ISSEL 位被清零时；
- MEFLG 位被自动置位。

主模式失效的影响：

- MEFLG 置 1，在设置了 ERRIEN 的情况下，产生 SPI 中断；
- SPIEN 被清零（输出停止，关闭 SPI 接口）；
- MSMSEL 被清零，设备强制进入从模式。

清除 MEFLG 标志位的操作：

- MEFLG 标志位置 1 时，需要对 SPI_STS 寄存器进行读或者写操作，然后写入 SPI_CTRL1 寄存器。

- MEFLG 标志位为 1 时，不允许设置 SPIEN 和 MSMSEL 位。

**溢出错误 OVRFLG**

发生以下事件会产生溢出错误：

- 当主设备发送了数据之后，RXBNEFLG 标志位还为 1 时
- 当接收数据时 RXFIFO 中的空间不能存储要接收的数据时
- 当软件或者 DMA 没有能够及时的读取 RXFIFO 中的数据时
- 当 CRC 只在接收模式下启用，RXFIFO 不可用，接收缓冲区被限制在单个数据帧缓冲区中

发生溢出错误时：OVRFLG 位被置 1，如果还设置了 ERRIEN 位，会产生中断。

发生溢出错误后，接受缓冲器的数据不是主设备发送的数据，通过读取 SPI_DATA 值是之前没有读取的数据，之后的数据会被丢弃。

根据顺序读出 SPI_DATA 寄存器和 SPI_STS 寄存器可以清除 OVRFLG 标志。

**CRC 错误标志 CRCEFLG**

通过设置 SPI_CTRL1 寄存器的 CRCEN 位，启动 CRC 计算，CRC 错误标志，可以核对接收的数据是否有效。

当 SPI_TXCRC 寄存器发送的值与 SPI_RXCRC 寄存器中的数值不匹配时，产生 CRC 错误，此时 SPI_STS 寄存器中的 CRCEFLG 标志位置 1。

对 SPI_STS 寄存器的 CRCEFLG 位写 0，清除 CRCEFLG。

**TI 模式帧格式错误（FREFLG ）**

从设备下并且符合 TI 模式协议时，在数据通信期间，NSS 出现一个脉冲时，会导致 TI 模式帧格式错误。当出现 TI 模式帧格式错误时，SPI_STS 寄存器 FREFLG 标志位会置 1，不会禁用 SPI，忽略 NSS 脉冲，SPI 会在重新传输前等待下一个 NSS 脉冲。由于错误检测有可能导致两个数据字节的丢失，数据可能已经损坏。

可以通过读取 SPI_STS 寄存器，清除 FREFLG 标志，如果设置了 ERRIEN 位，就在 NSS 错误时产生一个中断，此时，禁用 SPI，因为不能保证数据的一致性，当 SPI 再次启用时，需要重新初始化主服务器。

表格 80 SPI 中断请求

| 中断标志 | 中断事件 | 使能控制位 | 清除方式 |
|---|---|---|---|
| TXBEFLG | 发送缓冲器空标志 | TXBEIEN | 写 SPI_DATA 寄存器 |
| RXBNEFLG | 接收缓冲器非空标志 | RXBNEIEN | 读 SPI_DATA 寄存器 |
| MEFLG | 主模式失效事件 | ERRIEN | 读/写 SPI_STS 寄存器，然后写 SPI_CTRL1 寄存器 |

| 中断标志 | 中断事件 | 使能控制位 | 清除方式 |
|---|---|---|---|
| OVRFLG | 溢出错误 | | 读 SPI_DATA 寄存器，然后读 SPI_STS 寄存器 |
| CRCEFLG | CRC 错误标志 | | 写 0 到 CRCEFLG 位 |
| FREFLG | TI 模式帧格式错误 | | 读取 SPI_STS 寄存器 |

## 23.5 寄存器地址映射

表格 81 SPI 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| SPI_CTRL1 | SPI 控制寄存器 1 | 0x00 |
| SPI_CTRL2 | SPI 控制寄存器 2 | 0x04 |
| SPI_STS | SPI 状态寄存器 | 0x08 |
| SPI_DATA | SPI 数据寄存器 | 0x0C |
| SPI_CRCPOLY | SPI CRC 多项式寄存器 | 0x10 |
| SPI_RXCRC | SPI 接收 CRC 寄存器 | 0x14 |
| SPI_TXCRC | SPI 发送 CRC 寄存器 | 0x18 |

## 23.6 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

### 23.6.1 SPI 控制寄存器 1（SPIx_CTRL1）

偏移地址：0x00

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | CPHA | R/W | 配置时钟相位（Clock Phase Configure）<br>该位表明在几个时钟边沿开始采样<br>0：在第 1 个时钟边沿<br>1：在第 2 个时钟边沿<br>注：通信进行时，不能修改该位。 |
| 1 | CPOL | R/W | 配置时钟极性（Clock Polarity Configure）<br>当 SPI 处于空闲状态时，SCK 保持的电平状态。<br>0：低电平<br>1：高电平<br>注：通信进行时，不能修改该位。 |
| 2 | MSMCFG | R/W | 配置主/从模式（Master/Salve Mode Configure）<br>0：配置为从模式<br>1：配置为主模式<br>注：通信进行时，不能修改该位。 |
| 5:3 | BRSEL | R/W | 选择波特率分频系数（Baud Rate Divider Factor Selectl）<br>000：DIV=2<br>001：DIV=4 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 010：DIV=8<br>011：DIV=16<br>100：DIV=32<br>101：DIV=64<br>110：DIV=128<br>111：DIV=256<br>波特率=$F_{PCLK}$/DIV<br>注：通信进行时，不能修改该位。 |
| 6 | SPIEN | R/W | 使能 SPI 设备（SPI Device Enable）<br>0：禁用<br>1：使能<br>注：当关闭 SPI 设备时，请按照关闭 SPI 的过程操作。 |
| 7 | LSBSEL | R/W | 选择 LSB 首位传输（LSB First Transfer Select）<br>0：先发送最高有效位（MSB）<br>1：先发送最低有效位（LSB） |
| 8 | ISSEL | R/W | 选择内部从设备（Internal Slave Device Select）<br>当 CTRL1_SSEN=1 时（软件 NSS 模式），可配置该位选择内部 NSS 电平。<br>0：内部 NSS 为低电平<br>1：内部 NSS 为高电平 |
| 9 | SSEN | R/W | 使能软件从设备（Software Slave Device Enable）<br>0：禁止软件 NSS 模式，内部 NSS 电平由外部 NSS 引脚决定<br>1：启用软件 NSS 模式，内部 NSS 电平由 ISSEL 的值决定 |
| 10 | RXOMEN | R/W | 使能仅接收模式（Receive Only Mode Enable）<br>0：同时发送和接收<br>1：仅接收模式<br>RXOMEN 位和 BMEN 位一起决定了双线双向模式下的传输方向，在多个从设备的配置中，为了避免数据传输冲突的发生，需要在未被访问的从设备上使 RXOMEN 位置 1。 |
| 11 | CRCLSEL | R/W | 选择 CRC 长度（CRC Length Select）<br>0：使用 8 位 CRC<br>1：使用 16 位 CRC<br>注：只有在 SPIEN=0 时，才能改变 CRC 错误。 |
| 12 | CRCNXT | R/W | 使能下一个传输数据是 CRC（CRC Transfer Next Enable）<br>0：下一个传输数据来自发送缓冲区<br>1：下一个传输数据来自 CRC 寄存器<br>注：在 SPI_DATA 寄存器写入最后一个数据后，马上设置 CRCNXT 位。 |
| 13 | CRCEN | R/W | 使能 CRC 校验（CRC Calculate Enable）<br>0：禁止 CRC 校验<br>1：使能 CRC 校验<br>CRC 校验功能仅应用于全双工模式；只有在 SPIEN=0 时，才能改变该位。 |
| 14 | BMOEN | R/W | 使能双向模式的输出（Bidirectional Mode Output Enable）<br>0：禁止，即仅接收模式<br>1：使能，即仅发送模式<br>在 BMEN=1 即单线双线模式下，该位决定传输线的传输方向。 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15 | BMEN | R/W | 使能双向模式（Bidirectional Mode Enable）<br>0：双线单向模式<br>1：单线双向模式<br>单线双向传输指：数据主机的 MOSI 引脚和从机的 MISO 引脚之间传输。 |

### 23.6.2 SPI 控制寄存器 2（SPIx_CTRL2）

偏移地址：0x04

复位值：0x0700

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | RXDEN | R/W | 使能接收缓冲区 DMA（Receive Buffer DMA Enable）<br>当 RXDEN=1 时，RXBNEFLG 标志一旦被置位就发出 DMA 请求。<br>0：禁止<br>1：启动 |
| 1 | TXDEN | R/W | 使能发送缓冲区 DMA（Transmit Buffer DMA Enable）<br>当该位被设置时，TXBEFLG 标志一旦被置位就发出 DMA 请求。<br>0：禁止<br>1：启动 |
| 2 | SSOEN | R/W | 使能 SS 输出（SS Output Enable）<br>SS 输出在主模式下<br>0：禁止 SS 输出，可以工作在多主机模式。<br>1：开启 SS 输出，不能工作在多主机模式。<br>注：SPI 的 TI 模式下不可用。 |
| 3 | NSSPEN | R/W | 使能 NSS 脉冲管理（NSS Pulse Management Enable）<br>0：禁止<br>1：使能<br>注：<br>(1) 在连续传输时，允许两个数据传输之间产生 NSS 脉冲。<br>(2) 当处于单数据传输时，传输结束后 NSS 引脚强制拉高。<br>(3) 当 CPHA=1 或者 FRFCFG=1 时，该位无效。<br>(4) 只有在 SPIEN=0 时，才能写该位。<br>(5) SPI 的 TI 模式下不可用。 |
| 4 | FRFCFG | R/W | 配置帧格式（Frame Format Configure）<br>0：SPI 摩托罗拉模式<br>1：SPI TI 模式<br>注：只有在 SPIEN=0 时，才能写该位。 |
| 5 | ERRIEN | R/W | 使能错误中断（Error Interrupt Enable）<br>0：禁止<br>1：使能<br>产生错误时，ERRIEN 位控制是否产生中断。 |
| 6 | RXBNEIEN | R/W | 使能接收缓冲区非空中断（Receive Buffer Not Empty Interrupt Enable）<br>0：禁止<br>1：允许<br>当 RXBNEFLG 标志位置 1 时产生中断请求。 |
| 7 | TXBEIEN | R/W | 使能发送缓冲区空中断（Transmit Buffer Empty Interrupt Enable）<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 当 TXBEFLG 标志位置 1 时产生中断请求。 |
| 11:8 | DSCFG | R/W | 配置数据位宽（Data Size Configure）<br>配置 SPI 传输数据的位宽：<br>0000：保留<br>0001：保留<br>0010：保留<br>0011：4 位<br>0100：5 位<br>0101：6 位<br>0110：7 位<br>0111：8 位<br>1000：9 位<br>1001：10 位<br>1010：11 位<br>1011：12 位<br>1100：13 位<br>1101：14 位<br>1110：15 位<br>1111：16 位<br>注：当软件写入了保留位，此时的值会强制赋值 0111（8 位）。 |
| 12 | FRTCFG | R/W | 配置 FIFO 接收阀值（FIFO Reception Threshold Configure）<br>配置 FIFO 阀值，当超过此阀值时，产生 RXBNEFLG<br>0：16 位<br>1：8 位 |
| 13 | LDRX | R/W | 最后一次 DMA 接收（Last DMA Receive）<br>这些位在数据打包模式中使用，用来定义 DMA 接收的总数是奇数还是偶数。<br>0：偶数<br>1：奇数<br>注：<br>(1) 只有当设置了 SPI_CTRL2 寄存器的 RXDEN 位，并且开启了打包模式这些位才有意义。<br>(2) 只有在 SPIEN=0 时，才能写该位。<br>(3) 需要按照“23.4.10”步骤，关闭 SPI。 |
| 14 | LDTX | R/W | 最后一次 DMA 发送（Last DMA Transmit）<br>这些位在数据打包模式中使用，用来定义 DMA 发送的总数是奇数还是偶数。<br>0：偶数<br>1：奇数<br>注：<br>(1) 只有当设置了 SPI_CTRL2 寄存器的 RXDEN 位，并且开启了打包模式这些位才有意义。<br>(2) 只有在 SPIEN=0 时，才能写该位。<br>(3) 需要按照“23.4.10”步骤，关闭 SPI。 |
| 15 | 保留 | | |

### 23.6.3 SPI 状态寄存器（SPIx_STS）

偏移地址：0x08

复位值：0x0002

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | RXBNEFLG | R | 接收缓冲非空标志（Receive Buffer Not Empty Flag）<br>0：空<br>1：非空 |
| 1 | TXBEFLG | R | 发送缓冲器为空标志（Transmit Buffer Empty Flag）<br>0：非空<br>1：空 |
| 3:2 | 保留 | | |
| 4 | CRCEFLG | RC_W0 | 发生 CRC 错误标志（CRC Error Occur Flag）<br>该位表示接收的 CRC 值和 RXCRC 寄存器的值是否匹配<br>0：匹配<br>1：不匹配<br>该位由硬件置位，软件对该位写 0 清除。 |
| 5 | MEFLG | R | 发生模式错误标志（Mode Error Occur Flag）<br>0：未发生<br>1：发生<br>由硬件置位，软件对该位写 0 清除。 |
| 6 | OVRFLG | R | 发生过载标志（Overrun Occur Flag）<br>0：未发生<br>1：发生<br>由硬件置位，软件对该位写 0 清除。 |
| 7 | BSYFLG | R | SPI 忙标志（SPI Busy Flag）<br>该位表示 SPI 的工作状态。<br>0：SPI 空闲<br>1：SPI 正在通信<br>由硬件置位或者清除。 |
| 8 | FREFLG | R | 帧格式错误标志（Frame Format Error Flag）<br>0：未发生<br>1：发生<br>注：该位由硬件置 1，读取 SPI_STS 寄存器时清 0。 |
| 10:9 | FRLSEL | R | 选择 FIFO 接收水平（FIFO Receive Leve Select）<br>00：FIFO 空<br>01：FIFO/4<br>10：FIFO/2<br>11：FIFO 满<br>该位由硬件置 1 和清 0；有 CRC 校验的 SPI 单接收模式下不使用。 |
| 12:11 | FTLSEL | R | 选择 FIFO 发送水平（FIFO Transmit Leve Select）<br>00：FIFO 空<br>01：FIFO/4<br>10：FIFO/2<br>11：FIFO 满（FIFO 阀值大于 1/2 时认为是满）<br>注：该位由硬件置 1 和清 0。 |
| 15:13 | 保留 | | |

### 23.6.4 SPI 数据寄存器（SPIx_DATA）

偏移地址：0x0C

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | DATA | R/W | 发送接收数据寄存器（Transmit Receive Data register）<br>存储待发送或者接收到的数据。<br>写该寄存器时，会将数据写入发送缓冲区；读该寄存器时，是读取接收缓冲区的数据。<br>缓冲区的大小和数据帧的长度保持一致，即对于 8 位数据，发送、接收数据时只会用到 DATA[7:0]，DATA[15:8]是无效；对于 16 位数据，发送、接收时会用到 DATA[15:0]。 |

### 23.6.5 SPI CRC 多项式寄存器（SPIx_CRCPOLY）

偏移地址：0x10

复位值：0x0007

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CRCPOLY | R/W | 设置 CRC 多项式数值（CRC Polynomial Value Setup）<br>该寄存器是包含了于 CRC 计算的 CRC 多项式，可修改，复位值是 0x0007。 |

### 23.6.6 SPI 接收 CRC 寄存器（SPIx_RXCRC）

偏移地址：0x14

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | RXCRC | R | 接收数据的 CRC 数值（Receive Data CRC Value）<br>硬件计算接收数据的 CRC 数据存储在改寄存器；位数和数据帧的长度一致，即如果接收数据是 8 位的，CRC 计算按 CRC8 方式；如果接收数据是 16 位的，CRC 计算按 CRC16 计算。<br>当 CRCEN 置位时，硬件清除该寄存器。<br>注意：当 BSYFLG 位置 1 时，读取 RXCRC 寄存器数值有可能错误。 |

### 23.6.7 SPI 发送 CRC 寄存器（SPIx_TXCRC）

偏移地址：0x18

复位值：0x0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | TXCRC | R | 发送数据的 CRC 数值（Transmit Data CRC Value）<br>硬件计算发送数据的 CRC 数据存储在改寄存器；位数和数据帧的长度一致，即如果发送数据是 8 位的，CRC 计算按 CRC8 方式；如果发送数据是 16 位的，CRC 计算按 CRC16 计算。<br>当 CRCEN 置位时，硬件清除该寄存器。<br>注意：当 BSYFLG 位置 1 时，读取 RXCRC 寄存器数值有可能错误。 |

# 24 模数转换器（ADC）

## 24.1 术语全称、缩写描述

表格 82 ADC 术语全称、缩写描述

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 模拟看门狗 | Analog watchdog | AWD |
| 转换 | Conversion | C |
| 注入 | Injected | INJ |
| 规则 | Regular | REG |
| 开始 | Start | S |
| 扫描 | Scan | SCAN |
| 单个 | Single | SINGLE |
| 自动 | Automatic | A |
| 组 | Group | G |
| 间断 | Discontinuous | DISC |
| 计数 | Count | CNT |
| 双数 | Dual | DUAL |
| 连续 | Continuous | C |
| 校准 | Calibration | CAL |
| 复位 | Reset | RST |
| 对齐 | Alignment | ALIGN |
| 外部 | External | EXT |
| 事件 | Event | E |
| 触发 | Trigger | TRG |
| 温度 | Temperature | T |
| 传感器 | Sensor | S |
| 时间 | Time | TIM |
| 采样 | Sample | SMP |
| 偏移 | Offset | OF |
| 高 | High | H |
| 低 | Low | L |
| 阈值 | Threshold | T |
| 序列 | Sequence | SEQ |

| 中文全称 | 英文全称 | 英文缩写 |
|---|---|---|
| 长度 | Length | LEN |
| - | | |
| 规则通道 | Regular Channels | REG |
| 注入通道 | Injected Channel | INJ |
| 注入组 | Injected Group | INJG |
| - | | |
| 连续转换 | Continuous Conversion | CONTC |
| 单次转换 | Single Conversion | SINGLEC |
| 外部触发 | External Trigger | EXTTRG |
| 采样时间 | Sample Time | SMPTIM |
| 数目 | Number | NUM |

## 24.2 简介

本系列产品有 1 个 ADC，精度为 12 位，最多有 16 个外部通道和 2 个内部通道。各通道 A/D 转换模式有单次、连续、扫描或间断，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中。

## 24.3 主要特征

（1） ADC 供电要求：2.4V 到 3.6V，默认电源电压为 3.3V

（2） ADC 输入范围：$V_{SSA} \leq V_{IN} \leq V_{DDA}$

（3） 12 位分辨率

（4） 转换模式
- 单次转换模式
- 连续转换模式
- 断续模式

（5） 模式输入通道类别
- 外部 GPIO 输入通道
- 1 个内部温度传感（$V_{SENSE}$）输入通道
- 1 个内部参考电压（$V_{REFINT}$）输入通道

（6） 高性能
- 12 位，10 位，8 位或 6 位可配置分辨率。
- 自校准
- 可编程采样时间
- 数据对齐
- DMA 支持触发方式

（7） 低功耗

- 低功耗运行降低了 PCLK 频率同时保持最佳 ADC 性能
- 自动延时模式：运行在 PCLK 低速下，防止 ADC 超限
- 自动关闭模式：ADC 除了转换期间，其他时间自动断电

（8） 中断

- 转换结束中断
- 序列转换结束中断
- 采样阶段结束中断
- ADC 准备好中断
- 过载中断
- 模拟看门狗状态复位中断

（9） 触发方式

- 外部引脚信号触发
- 片内定时器产生的内部信号触发

## 24.4 功能描述

### 24.4.1 ADC 引脚和内部信号

表格 83 ADC 内部信号

| 名称 | 说明 | 信号类型 |
|---|---|---|
| TMTx_TRG | 从定时器来的内部信息 | 输入 |
| $V_{SENSE}$ | 内部温度传感器输出电压 | 输入 |
| $V_{REFINT}$ | 内部参考电压的输出 | 输入 |

表格 84 ADC 引脚

| 名称 | 说明 | 信号类型 |
|---|---|---|
| $V_{DDA}$ | 等效于 $V_{DD}$ 的模拟电源且：2.4V≤$V_{DDA}$≤$V_{DD}$(3.6V) | 输入，模拟电源 |
| $V_{SSA}$ | 等效于 $V_{SS}$ 的模拟电源地 | 输入，模拟电源地 |
| ADC_IN[15:0] | 16 个模拟输入通道 | 模拟输入信号 |

### 24.4.2 校准

校准的作用是消除各芯片 A/D 转换的偏移误差，所以应在 A/D 转换前进行校准，在校准期间应用不能使用 ADC 模块。

校准配置过程：

- 配置寄存器 ADC_CTRL 的 ADCEN 位为 0，禁用 ADC
- 配置寄存器 ADC_CTRL 的 CAL 位置 1，启动校准
- 校准完成后，CAL 位由硬件自动清零
- 校准因子在寄存器 ADC_DATA 的 CDATA[6:0]位中读取

### 24.4.3 ADC 转换模式

#### 24.4.3.1 单次转换模式

该模式对单个通道而言之只对此通道进行一次转换，对多通道而言只对此组通道进行一次转换。

配置寄存器 ADC_CFG1 的 CMODESEL 位为 0 时，ADC 设置为单次转换模式；通过软件配置寄存器 ADC_CTRL 的 STARTCEN 位置 1 或硬件触发事件开启 ADC 转换。

每个通道转换结束后，转换数据将存储到 16 位 ADC_DATA 寄存器，EOCFLG 位置 1，若 EOCIEN 位置 1，则产生中断。通道序列转换结束后，EOSEQFLG 位置 1，若 EOSEQIEN 位置 1，则产生中断。

#### 24.4.3.2 连续转换模式

该模式对单通道而言对此通道进行连续转换，对多通道而言对此组通道进行连续转换。

配置寄存器 ADC_CFG1 的 CMODESEL 位置 1 时，ADC 设置为连续转换模式；通过软件配置寄存器 ADC_CTRL 的 STARTCEN 位置 1 或硬件触发事件开启 ADC 转换。

每个通道转换结束后，转换数据将存储到 16 位 ADC_DATA 寄存器，EOCFLG 位置 1，若 EOCIEN 位置 1，则产生中断。通道序列转换结束后，EOSEQFLG 位置 1，若 EOSEQIEN 位置 1，则产生中断。

#### 24.4.3.3 断续模式

配置寄存器 ADC_CFG1 的 DISCEN 位置 1，ADC 设置为断续模式；通过软件或硬件的触发事件开启 ADC 转换。该模式下每次只转换一个序列中的一个通道，若 DISCEN 位清零，则每次转换一个序列的所有通道。

例如：

- DISCEN 位置 1，通道序列为 0,1,5
  - 1st 触发，通道 0 被转换并且产生一个 EOCFLG 事件
  - 2nd 触发，通道 1 被转换并且产生一个 EOCFLG 事件
  - 3rd 触发，通道 5 被转换并且产生一个 EOCFLG 事件
- DISCEN 位为 0，通道序列为 0,1,5
  - 1st 触发，通道 0,1,5 按顺序依次被转换，每个通道转换完产生一个 EOCFLG 事件，整个序列转换完成后产生一个 EOSEQFLG 事件

### 24.4.4 ADC 通道分类

#### 24.4.4.1 GPIO 引脚引入的模拟输入通道

共 16 个通道连接到 ADC_IN0…ADC_IN15。

#### 24.4.4.2 内部模拟输入通道

**温度传感器**

a) 温度传感器用来测量芯片内部的温度
b) 温度传感器选择 ADC1_IN16 输入通道
c) 通过配置寄存器 ADC_CCFG 的 TSEN 位启动
d) 选择采样时间

**内部参考电压 $V_{REFINT}$**

（1） 内部参考电压用来提供一个稳定的电压输出给 ADC
（2） 内部参考电压 $V_{REFINT}$ 选择 ADC1_IN17 输入通道

### 24.4.5 外部触发和触发极性

表格 85 配置触发极性

| EXTPOLSEL | 源 |
|---|---|
| 00 | 禁止触发检测 |
| 01 | 在上升沿时检测 |
| 10 | 在下降沿时检测 |
| 11 | 在上升沿和下降沿都检测 |

外部触发事件可通过配置寄存器 ADC_CFG1 的 EXTTRGSEL 位选择。

当寄存器 ADC_CFG1 的位 EXTPOLSEL≠“0b00”，外部事件可在其选择的极性上触发转换。

表格 86 外部触发

| 触发源 | EXTTRGSEL[2:0] | 触发类型 |
|---|---|---|
| TMR1_TRGO | 000 | 来自片上定时器的内部信号 |
| TMR1_CC4 | 001 | |
| 保留 | 010 | |
| TMR3_TRGO | 011 | |
| TMR15_TRGO | 100 | |
| 保留 | 101 | |
| 保留 | 110 | |
| 保留 | 111 | 外部引脚 |

### 24.4.6 数据寄存器

数据对齐方式为左对齐或右对齐，配置寄存器 ADC_CFG1 的 DALIGCFG 位决定，DALIGCFG 为 0 右对齐，DALIGCFG 为 1 左对齐。 ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中。

### 24.4.7 可编程转换分辨率

降低分辨率可提高转换时间，通过配置寄存器 ADC_CFG1 的 DATARESCFG 位来选择 12、10、8 或 6 位模式。

表格 87 $t_{SAR}$ 与转换分辨率有关的转换时间

| DATARESCFG 位 | $t_{SAR}$ | $t_{SAR}$(ns)@$f_{ADC}$=14MHz | $t_{SMPL}$(min) | $t_{ADC}$ | $t_{ADC}$(μs) @$f_{ADC}$=14MHz |
|---|---|---|---|---|---|
| 6 | 7.5 | 535ns | 1.5 | 9 | 643ns |
| 8 | 9.5 | 678ns | 1.5 | 11 | 785ns |
| 10 | 11.5 | 821ns | 1.5 | 13 | 928ns |
| 12 | 12.5 | 893ns | 1.5 | 14 | 1000ns |

### 24.4.8 中断

表格 88 ADC 中断

| 中断事件 | 事件标志 | 使能控制 |
|---|---|---|
| 转换结束 | EOCFLG | EOCIEN |
| 序列转换结束 | EOSEQFLG | EOSEQIEN |
| 采样阶段结束 | EOSMPFLG | EOSMPIEN |
| ADC 准备好 | ADCRDYFLG | ADCRDYIEN |
| 过载 | OVERFLG | OVRIEN |
| 模拟看门狗状态复位 | AWDFLG | AWDIEN |

### 24.4.9 ADC 过载

ADC 过载是指当转换好的数据未及时被 DMA 或 CPU 读取时，另一个转换数据开始有效。

在 EOCFLG 位为 1，但另一个新的转换完成时，产生过载事件，寄存器 ADC_STS 的 OVREFLG 位被置 1，若 OVRIEN 位置 1，则产生一个过载中断。

通过配置寄存器 ADC_CFG1 的 OVRMAG 位来决定发生过载事件时 ADC 数据寄存器的数据是被保持还是覆盖：

- OVRMAG 为 0：当检测到过载事件时，ADC_DATA 寄存器保持为老数据
- OVRMAG 置 1：当检测到过载事件时，ADC_DATA 寄存器用最后一次的转换数据覆盖

### 24.4.10 转换数据管理

#### 24.4.10.1 无 DMA 参与管理转换数据

软件控制数据转换，每次转换完成后，EOCFLG 位置 1，从 ADC_DATA 寄存器读取转换结果。此时 ADC_CFG1 寄存器中的 OVRMAG 位应为 0。

#### 24.4.10.2 无 DMA 且无过载参与管理转换数据

转换一个或多个通道并且每次转换结果不需要都读取时，OVRMAG 位置 1，过载事件不能阻止 ADC 转换且寄存器 ADC_DATA 只保存最后一次转换数据。

#### 24.4.10.3 DMA 管理转换数据

使用 DMA 传输可以及时将转换结果从数据寄存器传输到存储器，以防 ADC_DATA 寄存器中的转换结果丢失。

配置寄存器 ADC_CFG1 的 DMAEN 位置 1 使能 DMA，每次转换结束后会产生一个 DMA 请求，将数据寄存器的转换数据传输到存储器中。

当 DMA 不能及时响应 DMA 请求时，将产生过载事件，OVREFLG 位置 1，之后 ADC 将不会产生 DMA 请求，DMA 不再传输新的转换结果。直到 OVREFLG 位清零，DMA 重新开始工作。

配置寄存器 ADC_CFG1 的 DMACFG 位选择 DMA 模式：

- DMACFG 为 0，DMA 单次模式：
  - DMA 编程用来传输固定长度数据
  - 此模式下，ADC 每次转换数据有效产生一次 DMA 请求，当 ADC 转换重新启动，ADC 停止产生 DMA 请求
- DMACFG 置 1，DMA 循环模式：
  - DMA 编程为循环模式或双缓冲模式
  - 此模式下，ADC 转换重新启动且转换的数据有效时产生一次 DMA 请求

### 24.4.11 模拟窗口看门狗

模拟窗口看门狗的功能是由寄存器 ADC_CF1 的 AWDEN 位来使能的。当需要使用模拟窗口看门狗功能时，需要配置寄存器 ADC_AWDT 的高阀值 AWDHT[11:0]和低阀值 AWDLT[11:0]的值，根据需要可以设定 ADC 通道采样的电压值波动范围。

当使用单通道 ADC 采样时，可以配置寄存器 ADC_CFG1 的 AWDCHEN 置“1”，来使能单一通道的模拟看门狗功能；另外，需要配置寄存器 ADC_CFG1 的 AWDCHSEL 位的值来选择需要采样的通道，同时需要配置寄存器 ADC_CHSEL 的 CHxSEL 位相应的通道使能。

当配置的通道采样值，即寄存器 ADC_DATA 的 CDATA 值大于 AWDHT[11:0]的值或小于 AWDLT[11:0]的值时，会置起寄存器 ADC_STS 的 AWDFLG 位，如果寄存器 ADC_IEN 的 AWDIEN 置位，则会触发 ADC 中断。

如果使用多通道序列采样时，需要寄存器 ADC_CFG1 的 AWDCHEN 清“0”，可以使能所有通道上的模拟看门狗功能。当发生通道的采样超出高阀值 AWDHT[11:0]和低阀值 AWDLT[11:0]范围时，同样会置起寄存器 ADC_STS 的 AWDFLG 位，如果寄存器 ADC_IEN 的 AWDIEN 置位，则会触发 ADC 中断。

### 24.4.12 低功耗特性

#### 24.4.12.1 自动延迟转换模式

此模式用于在低速运行时简化软件和优化应用程序性能，容易产生 ADC 过载。配置寄存器 ADC_CFG1 的 WAITCEN 置 1，开启自动延迟转换模式，此时 ADC 数据寄存器中的数据被读取后才会开始新的 ADC 转换，这是一种自适应 ADC 速度和自适应系统读取 ADC 数据速度的方法。

#### 24.4.12.2 自动关断模式

此模式可以很大的降低应用功耗，适用于相对较少转换或转换请求时间间隔很长的应用。自动关断模式可与自动延迟转换模式联合使用于低频应用中。

配置寄存器 ADC_CFG1 的 AOEN 位置 1 时开启自动关断模式。AOEN 位置 1，ADC 无转换时将会自动断电，开始转换时 ADC 自动唤醒。

## 24.5 寄存器地址映射

表格 89 ADC 寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| ADC_STS | ADC 状态寄存器 | 0x00 |
| ADC_IEN | ADC 中断使能寄存器 | 0x04 |
| ADC_CTRL | ADC 控制寄存器 | 0x08 |
| ADC_CFG1 | ADC 配置寄存器 1 | 0x0C |
| ADC_CFG2 | ADC 配置寄存器 2 | 0x10 |
| ADC_SMPTIM | ADC 采样时间寄存器 | 0x14 |
| ADC_AWDT | ADC 看门狗阈值寄存器 | 0x20 |
| ADC_CHSEL | ADC 通道选择寄存器 | 0x28 |
| ADC_DATA | ADC 数据寄存器 | 0x40 |
| ADC_CCFG | ADC 通用配置寄存器 | 0x308 |

## 24.6 寄存器功能描述

### 24.6.1 ADC 状态寄存器（ADC_STS）

偏移地址：0x00

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ADCRDYFLG | RC_W1 | ADC 准备好标志（ADC Ready Flag）<br>0：ADC 未准备好<br>1：ADC 已准备好开始转换 |
| 1 | EOSMPFLG | RC_W1 | 采样结束标志（End of Sampling Flag）<br>该位由硬件置 1，软件清 0<br>0：不在采样结束阶段<br>1：达到采样阶段结束条件 |
| 2 | EOCFLG | RC_W1 | 转换结束标志（End of Conversion Flag）<br>该位由硬件置 1，软件写 1 清 0 或读取 ADC_DATA 的值清 0<br>0：转换未结束<br>1：转换结束 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 3 | EOSEQFLG | RC_W1 | 序列转换结束标志（End of Sequence Flag）<br>该位由硬件置 1，软件清 0<br>0：序列转换未完成<br>1：序列转换完成 |
| 4 | OVREFLG | RC_W1 | 产生 ADC 过载事件标志（ADC Overrun Event Flag）<br>该位由硬件置 1，软件清 0<br>0：无过载事件产生<br>1：产生了过载事件 |
| 6:5 | 保留 | | |
| 7 | AWDFLG | RC_W1 | 发生模拟看门狗标志（Analog Watchdog Flag）<br>该位由硬件置 1，软件清 0，表示是否发生模拟看门狗事件。<br>0：没有发生<br>1：发生 |
| 31:8 | 保留 | | |

### 24.6.2 ADC 中断使能寄存器（ADC_IEN）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ADCRDYIEN | R/W | 使能 ADC 准备好中断（ADC Ready Interrupt Enable）<br>0：禁止<br>1：使能 |
| 1 | EOSMPIEN | R/W | 使能采样结束中断（End of Sampling Flag Interrupt Enable）<br>0：禁止<br>1：使能 |
| 2 | EOCIEN | R/W | 使能转换结束中断（End of Conversion Interrupt Enable）<br>0：禁止<br>1：使能 |
| 3 | EOSEQIEN | R/W | 使能序列转换结束中断（End of Conversion Sequence Interrupt Enable）<br>0：禁止<br>1：使能 |
| 4 | OVRIEN | R/W | 使能过载中断（Overrun Interrupt Enable）<br>0：禁止<br>1：使能 |
| 6:5 | 保留 | | |
| 7 | AWDIEN | R/W | 使能模拟看门狗中断（Analog Watchdog Interrupt Enable）<br>0：禁止<br>1：使能 |
| 31:8 | 保留 | | |

注：只有当 STARTCEN=0 时才允许修改 ADC_IEN 寄存器的值。

### 24.6.3 ADC 控制寄存器（ADC_CTRL）

偏移地址：0x08

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | ADCEN | R/S | 使能 ADC（ADC Enable）<br>该位由软件置 1，硬件清 0。<br>0：禁用 ADC<br>1：使能 ADC<br>注：只有在 ADC_CTRL 寄存器所有位为 0 的情况下，软件才能设置 ADCEN 位。 |
| 1 | ADCD | R/S | 禁止 ADC（ADC Disable）<br>该位由软件置 1，硬件清 0。<br>0：无效<br>1：禁止 ADC，进入掉电模式<br>只有当 ADCEN=1 和 STARTCEN=0 时才允许软件设置 ADCD 位。 |
| 2 | STARTCEN | R/S | 使能 ADC 开始转换（ADC Start Conversion Enable）<br>该位由软件置 1，硬件清 0。<br>0：禁止 ADC 转换<br>1：开始 ADC 转换<br>只有当 ADCEN=1 和 ADCD=0 时才允许软件设置 STARTCEN 位。 |
| 3 | 保留 | | |
| 4 | STOPCEN | R/S | 使能 ADC 停止转换（ADC Stop Conversion Enable）<br>该位由软件置 1，硬件清 0。<br>0：无效<br>1：停止 ADC 转换<br>注：只有当 STARTCEN=1 和 ADCD=0 时软件才能对该位进行设置。 |
| 30:5 | 保留 | | |
| 31 | CAL | R/S | ADC 校准（ADC Calibrate）<br>该位软件置 1，硬件清 0。<br>0：校准完成<br>1：开始校准<br>注：只有在 ADC 禁止的情况下才允许软件设置 CAL 位。 |

### 24.6.4 ADC 配置寄存器（ADC_CFG1）

偏移地址：0x0C

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | DMAEN | R/W | 使能 DMA（DMA Enable）<br>0：禁止 DMA<br>1：使能 DMA<br>注：只有当 STARTCEN=0 时，软件才允许写入该位。 |
| 1 | DMACFG | R/W | 配置 DMA 模式（DMA Mode Configure）<br>该位仅在 DMAEN=1 时生效。<br>0：DMA 单次模式<br>1：DMA 循环模式 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2 | SCANSEQDIR | R/W | 配置扫描序列方向（Scan Sequence Direction Configure）<br>0：向前扫描(从 CHSEL0 到 CHSEL16)<br>1：向后扫描(从 CHSEL16 到 CHSEL0) |
| 4:3 | DATARESCFG | R/W | 配置数据分辨率（Data Resolution Configure）<br>00：12 位<br>01：10 位<br>10：8 位<br>11：6 位 |
| 5 | DALIGCFG | R/W | 配置数据对齐方式（Data Alignment Configure）<br>0：低位对齐<br>1：高位对齐 |
| 8:6 | EXTTRGSEL | R/W | 选择外部触发事件（External Trigger Event Select）<br>这些位用于选择触发 ADC 转换的外部事件。<br>000：事件 0<br>001：事件 1<br>010：事件 2<br>011：事件 3<br>100：事件 4<br>101：事件 5<br>110：事件 6<br>111：事件 7 |
| 9 | 保留 | | |
| 11:10 | EXTPOLSEL | R/W | 使能外部触发和极性选择（External Trigger Enable and Polarity Select）<br>00：硬件触发检测关闭(可由软件启动转换)<br>01：在上升沿进行硬件触发检测<br>10：在下降沿进行硬件触发检测<br>11：在上升和下降沿进行硬件触发检测 |
| 12 | OVRMAG | R/W | 过载管理模式（Overrun Management Mode）<br>0：当检测到过载事件时，ADC_DATA 寄存器保存以前的数据<br>1：当检测到过载事件时，ADC_DATA 寄存器保存最后一次转换的数据 |
| 13 | CMODESEL | R/W | 选择单次/连续转换模式（Select Single/Continuous Conversion Mode）<br>0：单次转换模式<br>1：连续转换模式 |
| 14 | WAITCEN | R/W | 使能自动延迟转换模式（Wait Conversion Mode Enable）<br>0：禁止<br>1：开启 |
| 15 | AOEN | R/W | 使能自动关断模式（Auto-Off Mode Enable）<br>0：禁止<br>1：开启 |
| 16 | DISCEN | R/W | 使能断续模式（Discontinuous Mode Enable）<br>0：禁止<br>1：开启 |
| 21:17 | 保留 | | |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 22 | AWDCHEN | R/W | 在单一通道或所有通道使能看门狗（Enable The Watchdog On A Single Channel or on All Channels）<br>0：在所有通道上使能模拟看门狗<br>1：在单一通道上使能模拟看门狗 |
| 23 | AWDEN | R/W | 使能模拟看门狗（Analog Watchdog Enable）、<br>0：禁止<br>1：开启 |
| 25:24 | 保留 | | |
| 30:26 | AWDCHSEL | R/W | 选择模拟看门狗通道（Analog Watchdog Channel Selecte）<br>这些位用来配置模拟看门狗监视 ADC 的输入通道。<br>00000：通道 0<br>00001：通道 1<br>.....<br>10010：通道 18<br>其它值：保留，不会被使用<br>注：被 AWDCHSEL 位所选择的通道必须同样写入 CHSELR 寄存器。 |
| 31 | 保留 | | |

注：只有当 STARTCEN=0 时(确定无进行中的转换)才允许改写这些位。

### 24.6.5 ADC 配置寄存器 2（ADC_CFG2）

偏移地址：0x10

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 29:0 | 保留 | | |
| 31:30 | CLKCFG | R/W | 配置 ADC 时钟模式（ADC Clock Mode Configure）<br>00：HSICLK14(异步时钟模式)<br>01：PCLK/2(同步时钟模式)<br>10：PCLK/4(同步时钟模式)<br>11：保留<br>注:软件只允许在 ADC 被禁用时写入这些位。 |

### 24.6.6 ADC 采样时间寄存器（ADC_SMPTIM）

偏移地址：0x14

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 2:0 | SMPCYCSEL | R/W | 选择采样时间（Sampling Cycles Selecte）<br>000：1.5ADC 时钟周期<br>001：7.5ADC 时钟周期<br>010：13.5ADC 时钟周期<br>011：28.5ADC 时钟周期<br>100：41.5ADC 时钟周期<br>101：55.5ADC 时钟周期<br>110：71.5ADC 时钟周期 |

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| | | | 111：239.5ADC 时钟周期<br>注：只有当 STARTCEN=0 时才允许改写这些位。 |
| 31:3 | 保留 | | |

### 24.6.7 ADC 看门狗阀值寄存器（ADC_AWDT）

偏移地址：0x20

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 11:0 | AWDLT[11:0] | R/W | 模拟看门狗的低阀值（Analog Watchdog Low Threshold） |
| 15:12 | 保留 | | |
| 27:16 | AWDHT[11:0] | R/W | 模拟看门狗的高阀值（Analog Watchdog High Threshold） |
| 31:28 | 保留 | | |

注：只有当 STARTCEN=0 时才允许改写这些位。

### 24.6.8 ADC 通道选择寄存器（ADC_CHSEL）

偏移地址：0x28

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 17:0 | CHxSEL | R/W | 选择通道（Channel-x Select）<br>0：输入通道 x 不被选为转换通道<br>1：输入通道 x 被选为转换通道 |
| 31:18 | 保留 | | |

注：只有当 STARTCEN=0 时才允许改写这些位。

### 24.6.9 ADC 数据寄存器（ADC_DATA）

偏移地址：0x40

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | CDATA | R | 转换数据（Converted Data）<br>这些位只读。其包含最后转换通道的转换结果值。<br>仅在校准完成时，CDATA[6:0]值为校准因子。 |
| 31:16 | 保留 | | |

### 24.6.10 ADC 通用配置寄存器（ADC_CCFG）

偏移地址：0x308

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 21:0 | 保留 | | |
| 22 | VREFEN | R/W | 使能 $V_{REFINT}$ （$V_{REFINT}$ Enable）<br>0：禁止<br>1：使能 |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 23 | TSEN | R/W | 使能温度传感（Temperature Sensor Enable）<br>0：禁止<br>1：使能 |
| 31:24 | 保留 | | |

注：只有当 STARTCEN=0 时才允许改写这些位。

# 25 循环冗余校验计算单元（CRC）

## 25.1 简介

循环冗余校验（CRC）计算单元可将输入数据经过固定的生成多项式计算得到8/16/32 位的 CRC 计算结果，主要用来检测或校验数据传输或者保存后的正确性与完整性。

## 25.2 功能描述

### 25.2.1 计算方式

使用 CRC-32（以太网）多项式：0x4C11DB7

$$（X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1）$$

### 25.2.2 计算时间

其计算时间为 4 个 AHB 时钟周期。

### 25.2.3 功能特性

- 处理 8 位、16 位、32 位数据
- 可编程 CRC 初始值
- 独立 32 位输入输出寄存器
- I/O 数据的可逆性选项
- 数据宽度可动态调整以减少计算写入次数
- 输入数据高低位可以颠倒，以适应不同大小端体系
- 可以进行字计算或字节计算，这由写入的不同数据格式决定。
- 拥有数据缓冲区以减少等待周期

每写入一次新数据，其结果是上一次的计算结果和新的计算结果的组合。（对整个字进行运算）。在计算期间，会暂停 CPU 的写操作，因此可以对寄存器 CRC_DATA 进行“背靠背”写入或连续地“读-写”操作。

## 25.3 寄存器地址映射

表格 90 CRC 计算单元寄存器地址映射

| 寄存器名 | 描述 | 偏移地址 |
|---|---|---|
| CRC_DATA | 数据寄存器 | 0x00 |
| CRC_INDATA | 独立数据寄存器 | 0x04 |
| CRC_CTRL | 控制寄存器 | 0x08 |
| CRC_INITVAL | CRC 初始值寄存器 | 0x10 |

## 25.4 寄存器功能描述

### 25.4.1 数据寄存器（CRC_DATA）

偏移地址：0x00

复位值：0xFFFF FFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | DATA | R/W | 32 位数据（32bit Data）<br>执行写操作时，作为 CRC 计算的新数据输入口；执行读操作时，返回 CRC 计算的结果。 |

### 25.4.2 独立数据寄存器（CRC_INDATA）

偏移地址：0x04

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 7:0 | INDATA | R/W | 独立 8 位数据（Independent 8bit Data）<br>可用于临时存放 1 字节的数据。<br>寄存器 CRC_CTRL 的 RST 位产生的 CRC 复位对本寄存器没有影响。 |
| 31:8 | 保留。 | | |

注：此寄存器不参与 CRC 计算，可以存放任何数据。

### 25.4.3 控制寄存器（CRC_CTRL）

偏移地址：0x08

复位值：0x0000 0000

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 0 | RST | R/S | 复位 CRC 计算单元（Reset CRC Calculation Unit）<br>复位后设置数据寄存器为 0xFFFF FFFF，该位只能软件写 1、硬件自动清 0。<br>0：无效操作<br>1：复位寄存器 CRC_DATA |
| 4:1 | 保留 | | |
| 6:5 | REVI | R/W | 翻转输入数据（Input Data Reverse）<br>对输入数据以不同单位进行翻转。<br>00：不翻转<br>01：以字节为单位<br>10：以半字位单位<br>11：以字为单位 |
| 7 | REVO | R/W | 翻转输出数据（Output Data Reverse）<br>0：不翻转<br>1：翻转 |
| 31:8 | 保留 | | |

### 25.4.4 初始值寄存器（CRC_INITVAL）

偏移地址：0x10

复位值：0xFFFF FFFF

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | VALUE | R/W | CRC 的初始值（Initial CRC Value）<br>CRC 的初始值是可编程的，此位用于设置 CRC 的初值。 |

# 26 芯片电子签名

## 26.1 简介

芯片电子签名包括主存储器 Flash 容量信息、96 位唯一芯片 ID，出厂前写入芯片的系统存储区，用户只读且不可修改。

## 26.2 功能描述

96 位芯片的 ID 主要用处：

- 作为序列号
- 作为密码，在编写闪存时，代码和密码通过算法结合，可以提高代码在 Flash 内的安全性
- 用于启动配置
- 身份标识所提供的参考号码对任一 MCU 微控制器系列都是唯一的，无论在什么情况下，用户都不能改变这唯一的身份标识。根据不同用法，用户可以选择以字节、半字或全字为单位读取身份标识。

## 26.3 寄存器功能描述

### 26.3.1 96 位唯一芯片 ID

基地址：0x1FFF F7AC

偏移地址：0x00

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | U_ID[31:0] | R | 唯一身份标志 31:0 位 |

偏移地址：0x04

只读，其值在出厂时编写

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | U_ID[63:32] | R | 唯一身份标志 63:32 位 |

偏移地址：0x08

只读，其值在出厂时编写

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 31:0 | U_ID[95:64] | R | 唯一身份标志 95:64 位 |

### 26.3.2 闪存容量寄存器

基地址：0x1FFF F7CC

偏移地址：0x00

只读，其值在出厂时编写

| 位/域 | 名称 | R/W | 描述 |
|---|---|---|---|
| 15:0 | F_SIZE | R | 闪存存储器容量（Flash Size）<br>表示产品的主存储区的容量（以 K 字节为单位）。<br>例：0x0040=64 K 字节 |

| 位/域 | 名称 | R/W | 描述 |
| --- | --- | --- | --- |
| 23:16 | P_Version | R | 产品版本（Product version）<br>0xA1：A1<br>0xA2：A2<br>0xB1：B1<br>…<br>以此类推。 |
| 27:24 | P_Series | R | 产品系列：<br>0000：E030<br>0001：F030<br>其他值保留 |
| 31:28 | 保留 | | |

注：

（1）P_Version 表示晶圆版本-A1/A2/B1，根据实际填写；

（2）P_Series 表示产品系列-E030/F030，目前无其他系列。

# 27 版本历史

表格 91 文档版本历史

| 日期 | 版本 | 变更历史 |
| --- | --- | --- |
| 2024.11 | 1.0 | ● 新建 |
| 2025.4 | 1.1 | ● 修改表格 72 I2C_TIMING 寄存器配置<br>● 修改 RTC 唤醒<br>● 修改 FMC_CTRL1 寄存器 |
| 2025.12 | 1.2 | ● 修改 APB1PSC 位域的描述<br>● 增加 RTC 侵入检测 1 功能<br>● 修改“RCM_RTCCTRL”寄存器为“RCM_BDCTRL”寄存器，修改“RTCRST”位域为“BDRST”位域<br>● 修正 MCOSEL 位 |

# 声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合

同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及／或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标

准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2025 珠海极海半导体有限公司 – 保留所有权利