

数据手册

Datasheet

APM32F072xBT7

基于 **Arm® Cortex®-M0+** 内核的 **32 位** 微控制器

版本: **V1.0**

1 产品特性

■ 内核

- 32 位 Arm® Cortex®-M0+内核
- 最高 48MHz 工作频率

■ 片上存储器

- Flash: 128KB
- SRAM: 16KB

■ 时钟

- 外部 4~32MHz 晶体振荡器
- 带校准的 32.768KHz 晶体/陶瓷振荡器
- 内部 8MHz RC 振荡器
- 内部 48MHz 自动校正 RC 振荡器
- 内部 40KHz RC 振荡器
- PLL 支持 2~16 倍频

■ 复位、电源管理

- 上电/掉电复位(POR/PDR)
- 可编程电压调节器
- 数字供电电压: $V_{DD}=2.0\sim3.6V$
- 模拟供电电压: $V_{DDA}=V_{DD}\sim3.6V$
- 部分 I/O 供电电压: $V_{DDIO2}=1.65\sim3.6V$
- 支持外部电池 V_{BAT} 为 RTC 供电: $V_{BAT}=1.65\sim3.6V$

■ 低功耗模式

- 睡眠、停机、待机模式

■ 串行线调试(SWD)

■ I/O

- 最多有 51 个 I/Os
- 所有 I/O 可映射到外部中断向量
- 最多有 32 个容忍 5V 输入的 I/O, 16 个 I/O 由 V_{DDIO2} 供电

■ 通信接口

- 2 个 I2C 接口 (1Mbit/s), 全部支持 SMBus/PMBus 和唤醒。

- 4 个 USART 接口, 全部支持主同步 SPI 和调制解调控制, 其中 2 个支持 ISO7816、LIN、IrDA 接口、自动波特率检测和唤醒。

- 2 个 SPI 接口 (18Mbit/s), 全部支持 I2S 接口复用

- 1 个 CAN 接口

- 1 个全速 USB2.0 接口, 无需外挂晶振, 支持 BCD 和 LPM

- HDMI CEC

■ 模拟外设

- 1 个 12 位 ADC, 最多支持 16 个外部通道, 转换范围 0~3.6V, 独立模拟电源输入: 2.4~3.6V

- 1 个双通道、12 位 DAC

- 2 个可编程模拟比较器

- 最多有 18 个电容传感通道, 可用于接近、触键、线性或旋转传感器

■ 定时器

- 1 个 16 位的高级控制定时器 TMR1, 它有 7 个通道提供给 PWM 输出, 支持死区生成和刹车输入功能

- 1 个 32 位和 5 个 16 位通用定时器, 每个定时器最多有 4 个独立通道用于输入捕获/输出比较。

- 2 个 16 位基本定时器

- 1 个独立看门狗和 1 个系统窗口看门狗定时器

- 1 个系统滴答定时器

■ RTC

- 支持日历功能

- 可从停机/待机模式下报警和定期唤醒

■ 7 通道 DMA 控制器

■ CRC 计算单元

■ 96 位唯一 ID

目录

1	产品特性	1
2	产品信息	5
3	引脚信息	6
3.1	引脚分布	6
3.2	引脚功能描述	7
3.3	GPIO 复用功能配置	14
4	功能概述	17
4.1	系统架构	17
4.1.1	系统框图	17
4.1.2	存储映射	18
4.1.3	启动模式	20
4.2	内核	20
4.3	中断控制器	20
4.3.1	嵌套向量中断控制器(NVIC)	20
4.3.2	外部中断/事件控制器(EINT)	20
4.4	片上存储器	20
4.5	时钟	21
4.5.1	时钟源	21
4.5.2	系统时钟	22
4.5.3	总线时钟	22
4.6	电源管理	22
4.6.1	电源方案	22
4.6.2	调压器	22
4.6.3	电源监控器	22
4.7	低功耗模式	23
4.8	GPIO	23
4.9	通信接口	23
4.9.1	USART	23
4.9.2	I2C	24

4.9.3	SPI/I2S	24
4.9.4	HDMI-CEC.....	24
4.9.5	CAN	24
4.9.6	USBD.....	25
4.10	模拟外设	25
4.10.1	ADC	25
4.10.2	DAC	25
4.10.3	比较器	25
4.10.4	触摸传感控制器	25
4.11	定时器.....	27
4.12	实时时钟（RTC）	29
4.13	CRC 计算单元	29
4.14	DMA	29
5	电气特性	30
5.1	电气特性测试条件	30
5.1.1	最大值和最小值	30
5.1.2	典型值	30
5.1.3	典型曲线	30
5.1.4	电源方案	31
5.1.5	负载电容	31
5.2	通用工作条件下的测试	33
5.3	绝对最大额定值	33
5.3.1	最大温度特性	33
5.3.2	最大额定电压特性	33
5.3.3	最大额定电流特性	34
5.3.4	ESD 特性	35
5.3.5	静态栓锁（Latch-up）	35
5.4	片上存储器	35
5.4.1	Flash 特性	35
5.5	时钟系统	35
5.5.1	外部时钟源特性	35

5.5.2	内部时钟源特性	36
5.5.3	PLL 特性	37
5.6	电源管理	38
5.6.1	内嵌复位和电源控制模块特性测试	38
5.7	功耗	39
5.7.1	功耗测试环境	39
5.7.2	运行模式	39
5.7.3	外设功耗	44
5.8	低功耗模式唤醒时间	45
5.9	I/O 端口特性	46
5.10	NRST 引脚特性	47
5.11	通信接口	48
5.11.1	I2C 接口特性	48
5.11.2	SPI 接口特性	49
5.12	ADC	50
5.12.1	内置参考电压特性	50
5.12.2	12 位 ADC 特性	51
5.13	DAC	51
5.14	比较器	52
6	封装信息	54
6.1	LQFP48 封装信息	54
6.2	LQFP64 封装信息	57
7	包装信息	60
7.1	带状包装	60
7.2	托盘包装	61
8	订货信息	63
9	常用功能模块命名	65
10	修订历史	66

2 产品信息

APM32F072xBT7 产品功能和外设配置请参阅下表。

表格 1 APM32F072xBT7 系列芯片功能和外设

产品		APM32F072	
型号		CBT7	RBT7
封装		LQFP48	LQFP64
内核及最大工作频率		Arm® 32-bit Cortex®-M0+@48MHz	
工作电压		2.0~3.6V	
Flash(KB)		128	
SRAM(KB)		16	
GPIOs		37	51
通信接口	USART	4	
	SPI/I2S	2/2	
	I2C	2	
	USBD	1	
	CAN	1	
	CEC	1	
定时器	16 位高级	1	
	32 位通用	1	
	16 位通用	5	
	16 位基本	2	
	系统滴答定时器	1	
	看门狗	2	
实时时钟		1	
12 位 ADC	单元	1	
	外部通道	10	16
	内部通道	3	
12 位 DAC	单元	1	
	通道	2	
模拟比较器		2	
电容传感器通道		17	18
工作温度		环境温度: -40°C 至 105°C 结温度: -40°C 至 125°C	

3 引脚信息

3.1 引脚分布

图 1 APM32F072xBT7 系列 LQFP48 引脚分布图

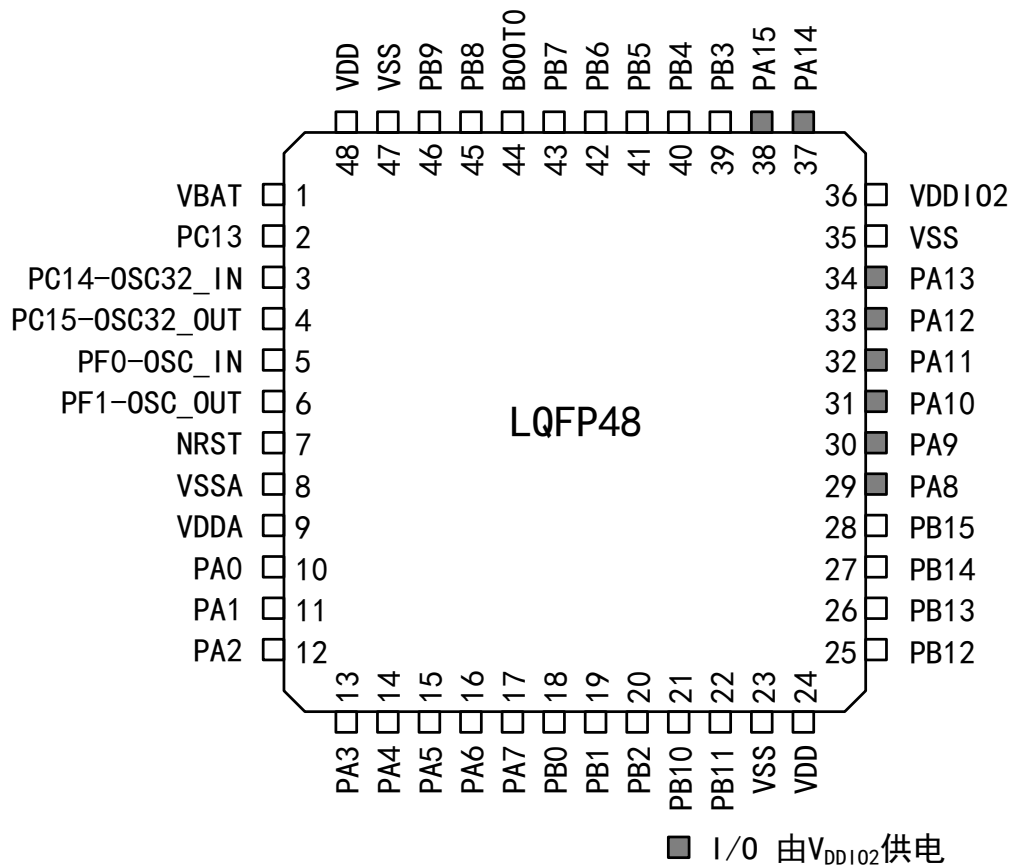
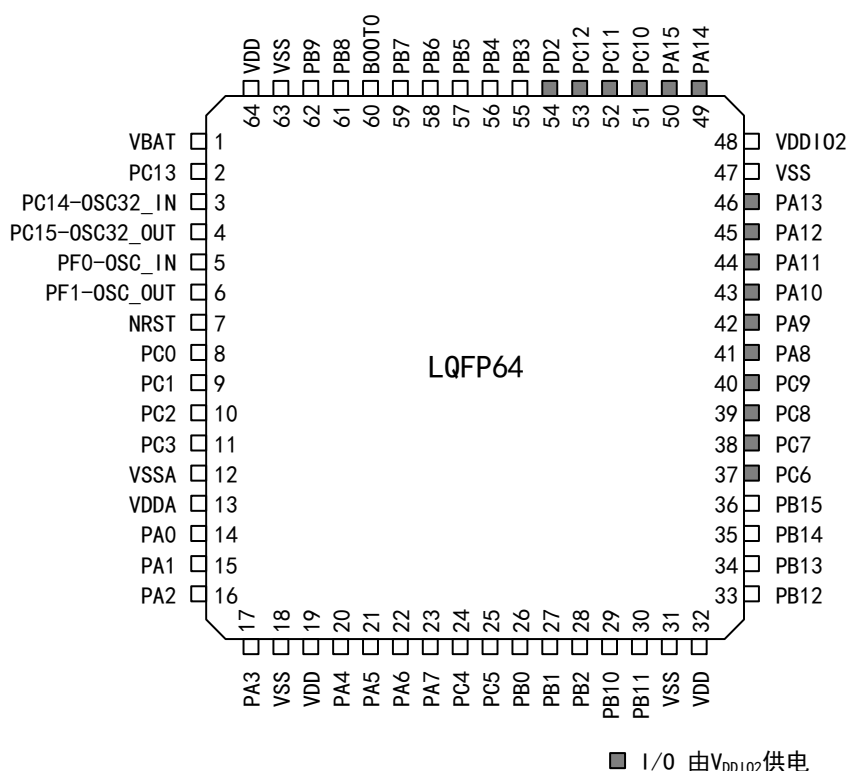


图 2 APM32F072xBT7 系列 LQFP64 引脚分布图



3.2 引脚功能描述

表格 2 输出引脚表中使用的图例/缩写

名称	缩写	定义
引脚名称	除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同	
引脚类型	P	电源引脚
	I	仅输入引脚
	I/O	I/O 引脚
I/O 结构	5T	5V 容忍 I/O
	5Tf	5V 容忍 I/O, FM+功能
	STDA	3.3V 标准、直接连接到 ADC 的 I/O
	STD	3.3V 标准 I/O
	B	专用 Boot0 引脚
	RST	内置弱上拉电阻的双向复位引脚
注意	除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入	
引脚功能	复用功能	通过 GPIOx_AFR 寄存器选择的功能
	附加功能	通过外设寄存器直接选择/启用的功能

表格 3 APM32F072xBT7 按引脚序号排序描述

名称 (复位后的功能)	复用功能	附加功能	类型	结构	引脚编号	
					LQFP48	LQFP64
VBAT	—	—	P	—	1	1
PC13	—	WKUP2, RTC_TAMP1, RTC_TS, RTC_OUT	I/O	STD	2	2
PC14-OSC32_IN (PC14)	—	OSC32_IN	I/O	STD	3	3
PC15-OSC32_OUT (PC15)	—	OSC32_OUT	I/O	STD	4	4
PF0-OSC_IN (PF0)	CRS_SYNC	OSC_IN	I/O	5T	5	5
PF1-OSC_OUT (PF1)	—	OSC_OUT	I/O	5T	6	6
NRST	—	—	I/O	RST	7	7
PC0	EVENTOUT	ADC_IN10	I/O	STDA	-	8
PC1	EVENTOUT	ADC_IN11	I/O	STDA	-	9
PC2	SPI2_MISO, I2S2_MCK, EVENTOUT	ADC_IN12	I/O	STDA	-	10
PC3	SPI2_MOSI, I2S2_SD, EVENTOUT	ADC_IN13	I/O	STDA	-	11
VSSA	—	—	P	—	8	12
VDDA	—	—	P	—	9	13
PA0	USART2_CTS, TMR2_CH1_ETR, COMP1_OUT, TSC_G1_IO1, USART4_TX	RTC_TAMP2, WKUP1, ADC_IN0, COMP1_INM6	I/O	STDA	10	14
PA1	USART2_RTS, TMR2_CH2, TMR15_CH1N, TSC_G1_IO2, USART4_RX, EVENTOUT	ADC_IN1, COMP1_INP	I/O	STDA	11	15

名称 (复位后的功能)	复用功能	附加功能	类型	结构	引脚编号	
					LQFP48	LQFP64
PA2	USART2_TX, COMP2_OUT, TMR2_CH3, TMR15_CH1, TSC_G1_IO3	ADC_IN2, COMP2_INM6, WKUP4	I/O	STDA	12	16
PA3	USART2_RX, TMR2_CH4, TMR15_CH2, TSC_G1_IO4	ADC_IN3, COMP2_INP	I/O	STDA	13	17
VSS	—	—	P	—	-	18
VDD	—	—	P	—	-	19
PA4	SPI1_NSS, I2S1_WS, TMR14_CH1, TSC_G2_IO1, USART2_CK	COMP1_INM4, COMP2_INM4, ADC_IN4, DAC_OUT1	I/O	STDA	14	20
PA5	SPI1_SCK, I2S1_CK, CEC, TMR2_CH1_ETR, TSC_G2_IO2	COMP1_INM5, COMP2_INM5, ADC_IN5, DAC_OUT2	I/O	STDA	15	21
PA6	SPI1_MISO, I2S1_MCK, TMR3_CH1, TMR1_BKIN, TMR16_CH1, COMP1_OUT, TSC_G2_IO3, EVENTOUT, USART3_CTS	ADC_IN6	I/O	STDA	16	22
PA7	SPI1_MOSI, I2S1_SD, TMR3_CH2, TMR14_CH1, TMR1_CH1N, TMR17_CH1, COMP2_OUT, TSC_G2_IO4, EVENTOUT	ADC_IN7	I/O	STDA	17	23
PC4	EVENTOUT, USART3_TX	ADC_IN14	I/O	STDA	-	24

名称 (复位后的功能)	复用功能	附加功能	类型	结构	引脚编号	
					LQFP48	LQFP64
PC5	TSC_G3_IO1, USART3_RX	ADC_IN15, WKUP5	I/O	STDA	-	25
PB0	TMR3_CH3, TMR1_CH2N, TSC_G3_IO2, EVENTOUT, USART3_CK	ADC_IN8	I/O	STDA	18	26
PB1	TMR3_CH4, USART3_RTS, TMR14_CH1, TMR1_CH3N, TSC_G3_IO3	ADC_IN9	I/O	STDA	19	27
PB2	TSC_G3_IO4	—	I/O	5T	20	28
PB10	SPI2_SCK, I2C2_SCL, USART3_TX, CEC, TSC_SYNC, TMR2_CH3	—	I/O	5T	21	29
PB11	USART3_RX, TMR2_CH4, EVENTOUT, TSC_G6_IO1, I2C2_SDA	—	I/O	5T	22	30
VSS	—	—	P	—	23	31
VDD	—	—	P	—	24	32
PB12	TMR1_BKIN, TMR15_BKIN, SPI2_NSS, I2S2_WS, USART3_CK, TSC_G6_IO2, EVENTOUT	—	I/O	5T	25	33
PB13	SPI2_SCK, I2S2_CK, I2C2_SCL, USART3_CTS, TMR1_CH1N, TSC_G6_IO3	—	I/O	5Tf	26	34

名称 (复位后的功能)	复用功能	附加功能	类型	结构	引脚编号	
					LQFP48	LQFP64
PB14	SPI2_MISO, I2S2_MCK, I2C2_SDA, USART3_RTS, TMR1_CH2N, TMR15_CH1, TSC_G6_IO4	—	I/O	5Tf	27	35
PB15	SPI2_MOSI, I2S2_SD, TMR1_CH3N, TMR15_CH1N, TMR15_CH2	WKUP7, RTC_REFIN	I/O	5T	28	36
PC6	TMR3_CH1	—	I/O	5T	-	37
PC7	TMR3_CH2	—	I/O	5T	-	38
PC8	TMR3_CH3	—	I/O	5T	-	39
PC9	TMR3_CH4	—	I/O	5T	-	40
PA8	USART1_CK, TMR1_CH1, EVENTOUT, MCO, CRS_SYNC	—	I/O	5T	29	41
PA9	USART1_TX, TMR1_CH2, TMR15_BKIN, TSC_G4_IO1	—	I/O	5T	30	42
PA10	USART1_RX, TMR1_CH3, TMR17_BKIN, TSC_G4_IO2	—	I/O	5T	31	43
PA11	CAN_RX, USART1_CTS, TMR1_CH4, COMP1_OUT, TSC_G4_IO3, EVENTOUT	USBD_DM	I/O	5T	32	44
PA12	CAN_TX, USART1_RTS, TMR1_ETR, COMP2_OUT, TSC_G4_IO4, EVENTOUT	USBD_DP	I/O	5T	33	45

名称 (复位后的功能)	复用功能	附加功能	类型	结构	引脚编号	
					LQFP48	LQFP64
PA13	IR_OUT, SWDIO, USBD_NOE	—	I/O	5T	34	46
VSS	—	—	P	—	35	47
VDDIO2	—	—	P	—	36	48
PA14	USART2_TX, SWCLK	—	I/O	5T	37	49
PA15	SPI1_NSS, I2S1_WS, USART2_RX, USART4_RTS, TMR2_CH1_ETR, EVENTOUT	—	I/O	5T	38	50
PC10	USART3_TX, USART4_TX	—	I/O	5T	-	51
PC11	USART3_RX, USART4_RX	—	I/O	5T	-	52
PC12	USART3_CK, USART4_CK	—	I/O	5T	-	53
PD2	USART3_RTS, TMR3_ETR	—	I/O	5T	-	54
PB3	SPI1_SCK, I2S1_CK, TMR2_CH2, TSC_G5_IO1, EVENTOUT	—	I/O	5T	39	55
PB4	SPI1_MISO, I2S1_MCK, TMR17_BKIN, TMR3_CH1, TSC_G5_IO2, EVENTOUT	—	I/O	5T	40	56
PB5	SPI1_MOSI, I2S1_SD, I2C1_SMBA, TMR16_BKIN, TMR3_CH2	WKUP6	I/O	5T	41	57
PB6	I2C1_SCL, USART1_TX, TMR16_CH1N, TSC_G5_IO3	—	I/O	5Tf	42	58

名称 (复位后的功能)	复用功能	附加功能	类型	结构	引脚编号	
					LQFP48	LQFP64
PB7	I2C1_SDA, USART1_RX, USART4_CTS, TMR17_CH1N, TSC_G5_IO4	—	I/O	5Tf	43	59
BOOT0	—	—	I	B	44	60
PB8	I2C1_SCL, CEC, TMR16_CH1, TSC_SYNC, CAN_RX	—	I/O	5Tf	45	61
PB9	SPI2_NSS, I2S2_WS, I2C1_SDA, IR_OUT, TMR17_CH1, EVENTOUT, CAN_TX	—	I/O	5Tf	46	62
VSS	—	—	P	—	47	63
VDD	—	—	P	—	48	64

注:

- (1) PC13、PC14 和 PC15 通过电源开关供电。由于开关仅吸收有限的电流(3 毫安)，因此在输出模式下 GPIO 的 PC13 至 PC15 的使用受到限制：
 - ① 大负载为 30pF 时，速度不应超过 2MHz；
 - ② 不用作电流源(例如驱动发光二极管)。
- (2) 复位后，这些引脚配置为 SWDIO 和 SWCLK 复用功能，SWDIO 引脚的内部上拉和 SWCLK 引脚的内部下拉被激活。
- (3) 灰色部分由 V_{DDIO2} 供电

3.3 GPIO 复用功能配置

表格 4 GPIOA 复用功能配置

名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	—	USART2_CTS	TMR2_CH1_ETR	TSC_G1_IO1	USART4_TX	—	—	COMP1_OUT
PA1	EVENTOUT	USART2_RTS	TMR2_CH2	TSC_G1_IO2	USART4_RX	TMR15_CH1N	—	—
PA2	TMR15_CH1	USART2_TX	TMR2_CH3	TSC_G1_IO3	—	—	—	COMP2_OUT
PA3	TMR15_CH2	USART2_RX	TMR2_CH4	TSC_G1_IO4	—	—	—	—
PA4	SPI1_NSS,I2S1_WS	USART2_CK	—	TSC_G2_IO1	TMR14_CH1	—	—	—
PA5	SPI1_SCK,I2S1_CK	CEC	TMR2_CH1_ETR	TSC_G2_IO2	—	—	—	—
PA6	SPI1_MISO,I2S1_MCK	TMR3_CH1	TMR1_BKIN	TSC_G2_IO3	USART3_CTS	TMR16_CH1	EVENTOUT	COMP1_OUT
PA7	SPI1_MOSI,I2S1_SD	TMR3_CH2	TMR1_CH1N	TSC_G2_IO4	TMR14_CH1	TMR17_CH1	EVENTOUT	COMP2_OUT
PA8	MCO	USART1_CK	TMR1_CH1	EVENTOUT	CRS_SYNC	—	—	—
PA9	TMR15_BKIN	USART1_TX	TMR1_CH2	TSC_G4_IO1	—	—	—	—
PA10	TMR17_BKIN	USART1_RX	TMR1_CH3	TSC_G4_IO2	—	—	—	—
PA11	EVENTOUT	USART1_CTS	TMR1_CH4	TSC_G4_IO3	CAN_RX	—	—	COMP1_OUT
PA12	EVENTOUT	USART1_RTS	TMR1_ETR	TSC_G4_IO4	CAN_TX	—	—	COMP2_OUT
PA13	SWDIO	IR_OUT	USBD_NOE	—	—	—	—	—
PA14	SWCLK	USART2_TX	—	—	—	—	—	—
PA15	SPI1_NSS,I2S1_WS	USART2_RX	TMR2_CH1_ETR	EVENTOUT	USART4_RTS	—	—	—

表格 5 GPIOB 复用功能配置

名称	AF0	AF1	AF2	AF3	AF4	AF5
PB0	EVENTOUT	TMR3_CH3	TMR1_CH2N	TSC_G3_IO2	USART3_CK	—
PB1	TMR14_CH1	TMR3_CH4	TMR1_CH3N	TSC_G3_IO3	USART3_RTS	—
PB2	—	—	—	TSC_G3_IO4	—	—
PB3	SPI1_SCK,I2S1_CK	EVENTOUT	TMR2_CH2	TSC_G5_IO1	—	—
PB4	SPI1_MISO,I2S1_MCK	TMR3_CH1	EVENTOUT	TSC_G5_IO2	—	TMR17_BKIN
PB5	SPI1_MOSI,I2S1_SD	TMR3_CH2	TMR16_BKIN	I2C1_SMBA	—	—
PB6	USART1_TX	I2C1_SCL	TMR16_CH1N	TSC_G5_IO3	—	—
PB7	USART1_RX	I2C1_SDA	TMR17_CH1N	TSC_G5_IO4	USART4_CTS	—
PB8	CEC	I2C1_SCL	TMR16_CH1	TSC_SYNC	CAN_RX	—
PB9	IR_OUT	I2C1_SDA	TMR17_CH1	EVENTOUT	CAN_TX	SPI2_NSS,I2S2_WS
PB10	CEC	I2C2_SCL	TMR2_CH3	TSC_SYNC	USART3_TX	SPI2_SCK,I2S2_CK
PB11	EVENTOUT	I2C2_SDA	TMR2_CH4	TSC_G6_IO1	USART3_RX	—
PB12	SPI2_NSS,I2S2_WS	EVENTOUT	TMR1_BKIN	TSC_G6_IO2	USART3_CK	TMR15_BKIN
PB13	SPI2_SCK,I2S2_CK	—	TMR1_CH1N	TSC_G6_IO3	USART3_CTS	I2C2_SCL
PB14	SPI2_MISO,I2S2_MCK	TMR15_CH1	TMR1_CH2N	TSC_G6_IO4	USART3_RTS	I2C2_SDA
PB15	SPI2_MOSI,I2S2_SD	TMR15_CH2	TMR1_CH3N	TMR15_CH1N	—	—

表格 6 GPIOC 复用功能配置

名称	AF0	AF1
PC0	EVENTOUT	—
PC1	EVENTOUT	—
PC2	EVENTOUT	SPI2_MISO,I2S2_MCK
PC3	EVENTOUT	SPI2_MOSI,I2S2_SD
PC4	EVENTOUT	USART3_TX
PC5	TSC_G3_IO1	USART3_RX
PC6	TMR3_CH1	—
PC7	TMR3_CH2	—
PC8	TMR3_CH3	—
PC9	TMR3_CH4	—
PC10	USART4_TX	USART3_TX
PC11	USART4_RX	USART3_RX
PC12	USART4_CK	USART3_CK
PC13	—	—
PC14	—	—
PC15	—	—

表格 7 GPIOD 复用功能配置

名称	AF0	AF1
PD2	TMR3_ETR	USART3_RTS

表格 8 GPIOF 复用功能配置

名称	AF
PF0	CRS_SYNC
PF1	—

4 功能概述

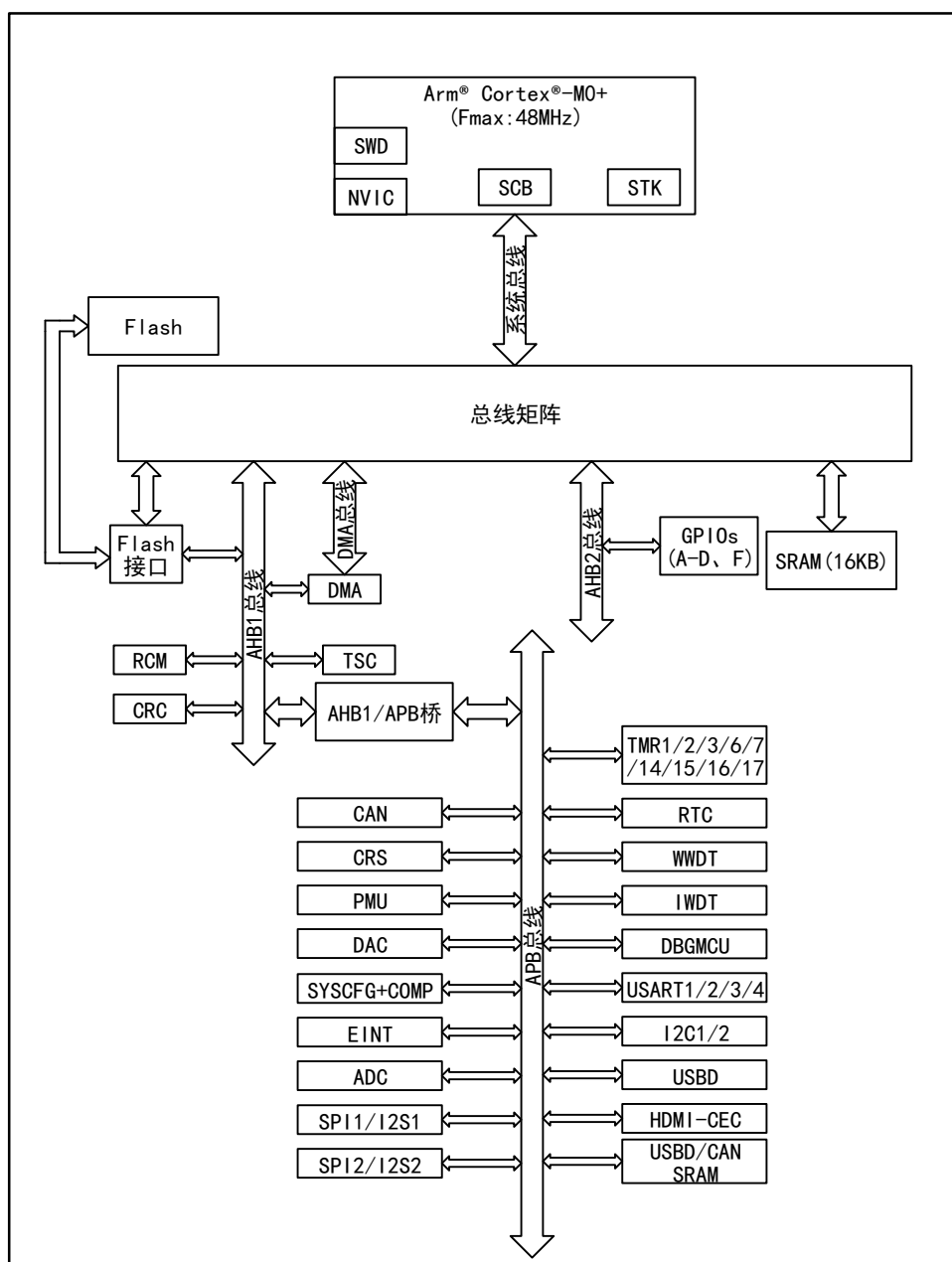
本章主要介绍 APM32F072xBT7 系列产品系统架构、中断、片上存储器、时钟、电源、外设特点，有关 Arm® Cortex®-M0+内核的相关信息，请参考 Arm® Cortex®-M0+技术参考手册，该手册可以在 Arm 公司的网站下载。

目前，APM32F072xBT7 型号已通过 AEC-Q100-Rev-H September 11,2014 的标准。

4.1 系统架构

4.1.1 系统框图

图 3 APM32F072xBT7 系统框图



4.1.2 存储映射

表格 9 APM32F072xBT7 存储映表

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0002 0000	保留
代码	0x0800 0000	主存储区
代码	0x0802 0000	保留
代码	0x1FFF C800	BootLoader
代码	0x1FFF F800	选项字节
代码	0x1FFF FC00	保留
SRAM	0x2000 0000	SRAM
—	0x2000 4000	保留
APB 总线	0x4000 0000	TMR2
APB 总线	0x4000 0400	TMR3
APB 总线	0x4000 0800	保留
APB 总线	0x4000 1000	TMR6
APB 总线	0x4000 1400	TMR7
APB 总线	0x4000 1800	保留
APB 总线	0x4000 2000	TMR14
APB 总线	0x4000 2400	保留
APB 总线	0x4000 2800	RTC
APB 总线	0x4000 2C00	WWDT
APB 总线	0x4000 3000	IWDT
APB 总线	0x4000 3400	保留
APB 总线	0x4000 3800	SPI2/I2S2
APB 总线	0x4000 3C00	保留
APB 总线	0x4000 4400	USART2
APB 总线	0x4000 4800	USART3
APB 总线	0x4000 4C00	USART4
APB 总线	0x4000 5000	保留
APB 总线	0x4000 5400	I2C1
APB 总线	0x4000 5800	I2C2
APB 总线	0x4000 5C00	USB
APB 总线	0x4000 6000	USB/CAN SRAM
APB 总线	0x4000 6400	CAN
APB 总线	0x4000 6800	保留
APB 总线	0x4000 6C00	CRS
APB 总线	0x4000 7000	PMU
APB 总线	0x4000 7400	DAC

区域	起始地址	外设名称
APB 总线	0x4000 7800	HDMI-CEC
APB 总线	0x4000 7C00	保留
—	0x4000 8000	保留
APB 总线	0x4001 0000	SYSCFG+COMP
APB 总线	0x4001 0400	EINT
APB 总线	0x4001 0800	保留
APB 总线	0x4001 2400	ADC
APB 总线	0x4001 2800	保留
APB 总线	0x4001 2C00	TMR1
APB 总线	0x4001 3000	SPI1/I2S1
APB 总线	0x4001 3400	保留
APB 总线	0x4001 3800	USART1
APB 总线	0x4001 3C00	保留
APB 总线	0x4001 4000	TMR15
APB 总线	0x4001 4400	TMR16
APB 总线	0x4001 4800	TMR17
APB 总线	0x4001 4C00	保留
APB 总线	0x4001 5800	DBGMCU
APB 总线	0x4001 5C00	保留
—	0x4001 8000	保留
AHB1 总线	0x4002 0000	DMA
AHB1 总线	0x4002 0400	保留
AHB1 总线	0x4002 1000	RCM
AHB1 总线	0x4002 1400	保留
AHB1 总线	0x4002 2000	Flash 接口
AHB1 总线	0x4002 2400	保留
AHB1 总线	0x4002 3000	CRC
AHB1 总线	0x4002 3400	保留
AHB1 总线	0x4002 4000	TSC
—	0x4002 4400	保留
AHB2 总线	0x4800 0000	GPIOA
AHB2 总线	0x4800 0400	GPIOB
AHB2 总线	0x4800 0800	GPIOC
AHB2 总线	0x4800 0C00	GPIOD
AHB2 总线	0x4800 1000	保留
AHB2 总线	0x4800 1400	GPIOF
—	0x4800 1800	保留
内核	0xE000 E010	STK

区域	起始地址	外设名称
内核	0xE000 E100	NVIC
内核	0xE000 ED00	SCB
—	0xE010 0000	保留

4.1.3 启动模式

启动时，用户可设置 Boot 引脚的高低电平、配置 Boot 选项字节选择以下三种启动模式中的一种：

- 从主存储器启动
- 从 BootLoader 启动
- 从内置 SRAM 启动

若从 BootLoader 启动，用户可使用 USART（PA14/PA15 或 PA9/PA10）、I2C（PB6/PB7）、USBDFU 接口重新编程用户 Flash。

4.2 内核

APM32F072x_BT7 的内核是 Arm®Cortex®-M0+，是最新一代的嵌入式 Arm 内核，基于该平台开发成本低、功耗低，可提供优良的计算性能和先进的系统中断响应，兼容所有 Arm 工具和软件。

4.3 中断控制器

4.3.1 嵌套向量中断控制器(NVIC)

APM32F072x_BT7 产品内置 1 个嵌套向量中断控制器（NVIC），NVIC 能够处理多达 32 个可屏蔽中断通道（不包括 16 个 Cortex®-M0+的中断线）和 4 个优先级；可直接向内核传递中断向量入口地址，从而达到低延迟的中断响应处理能优先处理晚到的较高优先级中断。

4.3.2 外部中断/事件控制器(EINT)

外部中断/事件控制器有 32 个边沿检测器，每个检测器包含边沿检测电路、中断/事件请求产生电路；每个检测器可配置为上升沿触发、下降沿、双边沿触发，也能够单独屏蔽；最多 51 个 GPIO 可连接到 16 个外部中断线。

4.4 片上存储器

用户可修改的存储器包括主存储器、SRAM、选项字节、BootLoader，BootLoader 出厂时已写入程序，不可修改。

表格 10 存储器说明

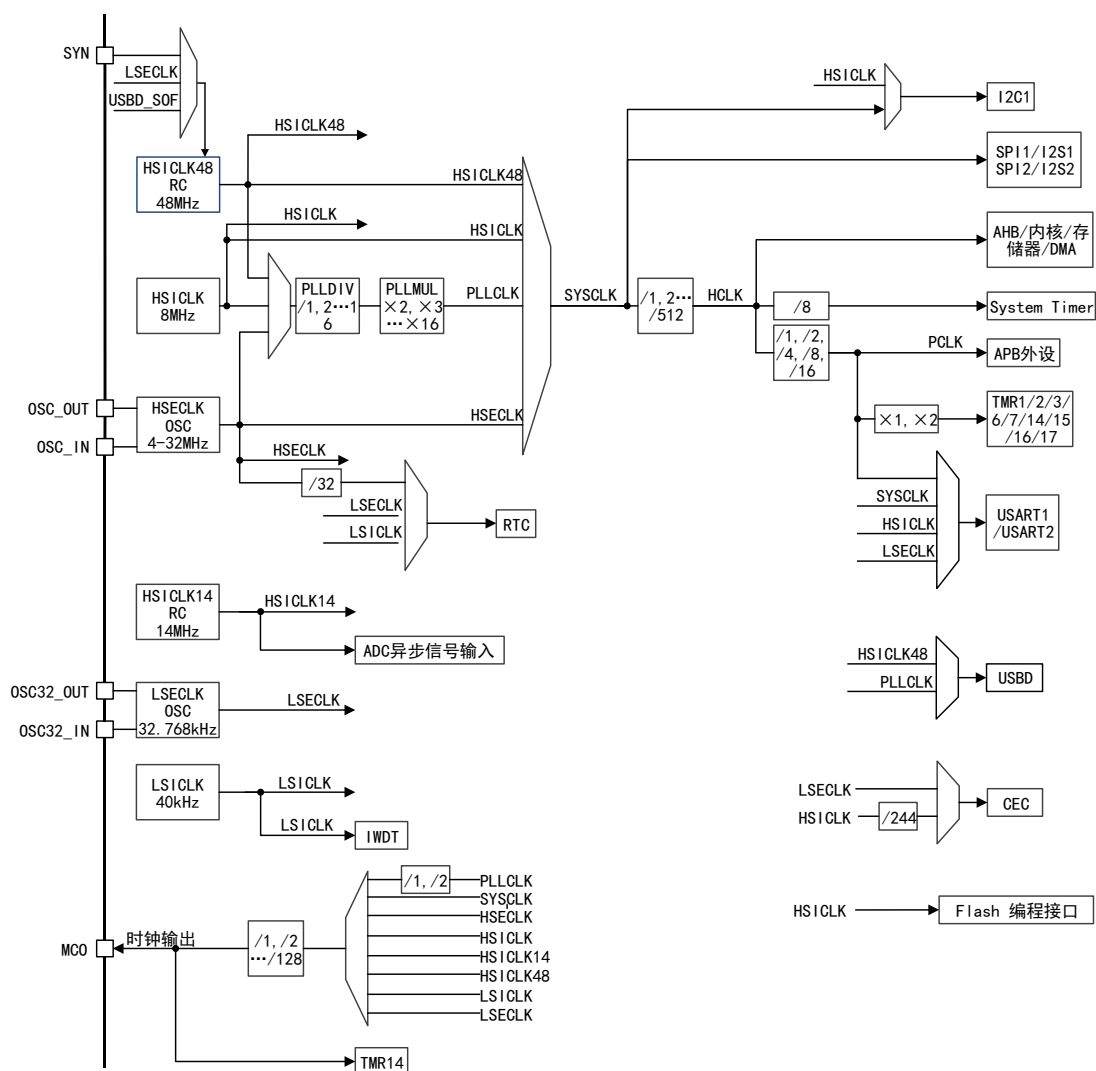
存储器	最大字节	说明
主存储器	128KB	存储用户代码、常量数据
SRAM	16KB	—

存储器	最大字节	说明
选项字节	16Bytes	可配置 3 个级别保护部分主存储器或整个主存储器
BootLoader	12KB	—

4.5 时钟

APM32F072xBT7 的时钟树见下图：

图 4 APM32F072xBT7 时钟树



4.5.1 时钟源

APM32F072xBT7 的时钟源按速度分为高速时钟、低速时钟，高速时钟有 HSICK48、HSICK14、HSICK、HSECLK，低速时钟分有 LSECLK、LSICK；按片内/外分为内部时钟、外部时钟，内部时钟有 HSICK48、HSICK14、HSICK、LSICK，外部时钟有 HSECLK、LSECLK，其中 HSICK48、HSICK14、HSICK 在出厂时均会校准。

4.5.2 系统时钟

APM32F072xBT7 可选择 HSICLK48、HSICLK、PLLCLK、HSECLK 作为系统时钟；其中 HSICLK48 的时钟源是 HSICLK48，HSICLK 的时钟源是 HSICLK；PLLCLK 的时钟源可选择 HSICLK48、HSICLK、HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟；HSECLK 的时钟源是 HSECLK。产品复位启动时，默认选择 HSICLK 作为系统时钟，之后用户可自行选择上述四个时钟源中的一种作为系统时钟。

4.5.3 总线时钟

AHB 的时钟源是 SYSCLK，APB 的时钟源是 HCLK，配置分频系数可获得所需的时钟，HCLK、PCLK 的最大值是 48MHz。

4.6 电源管理

4.6.1 电源方案

表格 11 电源方案

名称	电压范围	说明
V _{DD} /V _{DDIO1}	2.0~3.6V	通过 V _{DD} 引脚给 I/O（具体 IO 见引脚分布图）、内部调压器供电。
V _{DDIO2}	1.65-3.6V	通过 V _{DDIO2} 引脚给 I/O（具体 IO 见引脚分布图）供电。
V _{DDA}	V _{DD} ~3.6V	V _{DDA} 为 ADC、复位模块、RC 振荡器和 PLL 供电，V _{DDA} 电压电平必须始终大于或等于 V _{DD} 电压电平，并且优先提供。
V _{BAT}	1.65-3.6V	当 V _{DD} 断电时，可通过 V _{BAT} 引脚给 RTC、外部 32kHz 振荡器、后备寄存器供电。

注：有关如何连接电源引脚的更多详细信息参见图 5 电源方案。

4.6.2 调压器

表格 12 调节器工作模式

名称	说明
主模式（MR）	用于运行模式
低功耗模式（LPR）	用于停机模式
掉电模式	用于待机模式，此时调压器高阻输出，内核电路掉电，调压器功耗为零，寄存器和 SRAM 的数据会全部丢失。

注：调压器在复位后始终处于工作状态，在关断模式下高阻输出。

4.6.3 电源监控器

产品内部集成了上电复位(POR)和掉电复位(PDR)电路。这两种电路始终处于工作状态。当掉电复位电路监测到电源电压低于规定的阈值（V_{POR/PDR}）时，即使外部复位电路，系统保持复位状态。

该产品内置能够监测 V_{DD} 并将其与 V_{PVD} 阈值比较的可编程电压调节器（PVD），当 V_{DD} 在 V_{PVD} 阈值范围外且中断使能时会产生中断，可通过中断服务程序将 MCU 设置成安全状态。

4.7 低功耗模式

APM32F072xBT7 支持睡眠、停机、待机三种低功耗模式，这三种模式在功耗、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

表格 13 低功耗模式

模式类型	说明
睡眠模式	CPU 停止工作，所有外设处于工作状态，中断/事件可唤醒 CPU。
停机模式	在 SRAM 和寄存器数据不丢失的情况下，停机模式可达到最低的功耗； 内部 1.5V 供电模块的时钟都会停止，HSECLK 晶体谐振器、HSICLK、PLL 被禁止，调压器可配置普通模式或低功耗模式； 任何外部中断线可唤醒 MCU，外部中断线包括 16 个外部中断线之一、PVD 输出、RTC、I2C1、USART1、USART2、模拟比较器、USBD、CEC。
待机模式	该模式功耗最低； 内部调压器被关闭，所有 1.5V 供电模块掉电，HSECLK 晶体谐振器、HSICLK、PLL 时钟关闭，SRAM 和寄存器的数据消失，RTC 区域、后备寄存器内容仍然保留，待机电路仍工作； NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的上升边沿或 RTC 的事件都会唤醒 MCU 退出待机模式。

注：在停机或待机模式下，RTC、IWDG 和对应的时钟仍正常工作。

4.8 GPIO

GPIO 的工作模式可配置成普通输入、普通输出、复用功能、模拟输入输出，普通输入可配置成浮空输入、上拉输入、下拉输入，普通输出可配置为推挽输出、开漏输出，复用功能可用于数字外设，模拟输入输出可用于模拟外设及低功耗模式；可配置使能与禁止上拉/下拉电阻；可配置 2MHz、10MHz、50MHz 的速度，速度越大，功耗、噪声也会越大。

4.9 通信接口

4.9.1 USART

该芯片内置多达 4 个通用同步/异步收发器，通信速率最高支持 6Mbit/s，所有 USART 可配置波特率、奇偶校验位、停止位、数据位长度，可以使用 DMA 控制器，支持单线半双工模式。4 个 USART 功能差异如下表：

表格 14 APM32F072xBT7 USART 功能差异

USART 模式/功能	USART1/2	USART3/4
调制解调器的硬件流控制	√	√
同步模式	√	√
智能卡模式	√	—
IrDASIR 编码解码器模块	√	—

USART 模式/功能	USART1/2	USART3/4
LIN 模式	√	—
双时钟域和从停止模式唤醒	√	—
接收器超时中断	√	—
MODBUS 通信	√	—
自动波特率检测	√	—

注：√=支持。

4.9.2 I2C

内置 I2C1/2，均可工作于多主模式和从模式，支持 7 位和 10 位寻址模式，支持标准模式（最高 100kbit/s）、快速模式（最高 400kbit/s）、超快速模式（1Mbit/s），可使用 DMA 控制器。

此外，I2C1 还为 SMBUS2.0 和 PMBUS1.1 提供硬件支持：ARP 功能、主机通知协议、硬件 CRC(PEC)生成/验证、超时验证和警报协议管理。

I2C1 与 I2C2 的差异见下表：

表格 15 APM32F072xBT7 I2C1/2 功能差异

I2C 功能	I2C1	I2C2
独立时钟	√	—
SM 总线	√	—
从停止唤醒	√	—

注：√=支持

4.9.3 SPI/I2S

内置 2 个 SPI，在主模式、从模式下均支持全双工、半双工通信，可使用 DMA 控制器，可配置每帧 4~16 位，通信速率最高 18Mbit/s。

内置 2 个 I2S（分别与 SPI1、SPI2 复用），支持主模式、从模式半双工通信，支持同步传输，可配置 16 位或 32 位分辨率的 16 位、24 位、32 位数据传输，音频采样率可配置的范围是 8kHz~192kHz。

4.9.4 HDMI-CEC

内置 1 个 HDMI-CEC，硬件支持电子控制协议，有两个时钟源，分别是 HSICLK/255、LSECLK，选择 LSECLK 作为时钟源时，支持 HDMI_CEC 唤醒处于停机低功耗模式的 MCU。

4.9.5 CAN

内置 1 个 CAN，符合 CAN2.0A 和 CAN2.0B（active）规范，最高比特率支持 1Mbit/s，发送、接收帧格式支持 11 位标识符的标准帧格、29 位标识符的扩展帧，分配用于发送、接收数据的 256Bytes 专用 SRAM。

4.9.6 USB D

内置 1 个 USB D，符合全速 USB D 设备 2.0 标准（12Mbit/s），支持电池充电规格 1.2 版本，内置 USB D_PHY，可配置 USB D_DP 上拉，免去外接上拉电阻；分配 1024Bytes 的专用 SRAM 数据缓存区（其中最后 256Bytes 和 CAN 共用），可选择 HSICLK48_CLK、PLL_CLK 作为时钟源产生 48MHz 时钟。

4.10 模拟外设

4.10.1 ADC

内置 2 个 12 位 ADC，最多 16 个外部通道，3 个内部通道，内部通道分别测量参考电压、V_{BAT} 电压；可配置分辨率，可编程采样时间，支持自校准；启动方式支持软件触发、硬件触发；转换方式支持单次转换、连续转换、间断转换，转换通道选择支持单通道转换、选定某一序列通道扫描转换；支持模拟看门狗，支持 DMA。

4.10.1.1 内部参考电压(VREFINT)校准

内置参考电压 V_{REFINT}，内部连接 ADC_IN17 通道，可通过 ADC 获取该 V_{REFINT}；V_{REFINT} 为 ADC、比较器提供稳定的(带隙)电压输出；在出厂时校准并将校准数值存在存储器的只读区域，以提高参考电压的精确度。

表格 16 内部参考电压校准值

校准值名称	描述	存储地址
VREFINT_CAL	在 25℃(±5℃)温度， V _{DDA} =3.3V(±10mV)下采集的原始数据	0x1FFF F7BA - 0x1FFF F7BB

4.10.1.2 VBAT 监控器

内置 V_{BAT} 监控器，内部连接到 2 分压桥，V_{BAT}/2 连接到 ADC_IN18 通道，可通过 ADC 获取 V_{BAT}/2。

4.10.2 DAC

内置 1 个 12 位 DAC，有两个输出通道，可配置为 8 位、12 位模式，支持 DMA 功能，波形产生支持噪声波、三角波，转换方式支持单独或同时转换，触发方式支持外部信号触发、内部定时器更新触发。

4.10.3 比较器

内置 2 个快速轨到轨比较器，内/外部参考电压、迟滞、速率、支持可编程，输出极性支持可配置，参考电压可选择外部 I/O、DAC 输出引脚、内部参考电压（V_{REFINT}）、内部参考电压的 1/4 或 1/2 或 3/4，可产生中断，支持通过外部中断唤醒进入 sleep、stop 模式的 MCU。

4.10.4 触摸传感控制器

内置触摸传感控制器，能检测电容的变化，可应用于触摸按键，手指在触摸按键时，会引入电容，引起电容变化，从而判断是否存在触目按键；触摸传感兼容滑

条、触摸键、线性、旋转。

最多有 24 个 GPIO 支持电容传感器功能，分为 6 组，实际应用中每个采样电容占用一个 GPIO 口，因此系统最多支持 18 路电容传感器通道。具体引脚分布见下表。

表格 17 可应用于触摸传感器的引脚分布

组编号	电容传感器信号名称	引脚名称
G1	TSC_G1_IO1	PA0
G1	TSC_G1_IO2	PA1
G1	TSC_G1_IO3	PA2
G1	TSC_G1_IO4	PA3
—		
G2	TSC_G2_IO1	PA4
G2	TSC_G2_IO2	PA5
G2	TSC_G2_IO3	PA6
G2	TSC_G2_IO4	PA7
—		
G3	TSC_G3_IO1	PC5
G3	TSC_G3_IO2	PB0
G3	TSC_G3_IO3	PB1
G3	TSC_G3_IO4	PB2
—		
G4	TSC_G4_IO1	PA9
G4	TSC_G4_IO2	PA10
G4	TSC_G4_IO3	PA11
G4	TSC_G4_IO4	PA12
—		
G5	TSC_G5_IO1	PB3
G5	TSC_G5_IO2	PB4
G5	TSC_G4_IO3	PB6
G5	TSC_G4_IO4	PB7
—		
G6	TSC_G6_IO1	PB11
G6	TSC_G6_IO2	PB12
G6	TSC_G6_IO3	PB13

组编号	电容传感器信号名称	引脚名称
G6	TSC_G6_IO4	PB14

表格 18 实际应用中支持的触摸传感器通道数

组编号	每组电容传感器通道数	
	APM32F072RBT7	APM32F072CBT7
G1	3	3
G2	3	3
G3	3	2
G4	3	3
G5	3	3
G6	3	3
电容传感器通道总数	18	17

4.11 定时器

内置 1 个 16 位高级定时器 TMR1、1 个 32 位通用定时器 TMR2、5 个 16 位通用定时器 TMR3/14/15/16/17、2 个基本定时器 TMR6/7、1 个独立看门狗定时器、1 个窗口看门狗定时器、1 个系统滴答定时器。

看门狗定时器可用来检测程序是否正常运行。

系统滴答定时器是内核的外设，具有自动重加载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可用于实时操作系统、普通的延时。

其特性对比如下：

表格 19 高级定时器

项目	描述
名称	TMR1
引脚特性	共 9 根引脚： 1 路外部触发信号输入引脚， 1 路刹车输入信号引脚， 3 对互补通道引脚， 1 路通道（非互补通道）引脚
计数器分辨率	16 位
DMA 功能	支持
死区插入的互补 PWM 输出功能	支持

表格 20 通用定时器

项目	描述					
名称	TMR2	TMR3	TMR14	TMR15	TMR16	TMR17
引脚特性	共 5 根引脚： 1 路外部触发信号输入引脚， 4 路通道（非互补通道）引脚		1 路通道引脚	共 4 根引脚： 1 路刹车输入信号引脚， 1 对互补通道引脚， 1 路通道(非互补通道)引脚	共 3 根引脚： 1 路刹车输入信号引脚， 1 对互补通道引脚	
计数器分辨率	32 位	16 位	16 位	16 位	16 位	
DMA 功能	支持	支持	不支持	支持	支持	
死区插入的互补 PWM 输出功能	不支持	不支持	不支持	支持		

表格 21 基本定时器

项目	描述
名称	TMR6/7
引脚特性	无引脚
计数器分辨率	16 位
DMA 功能	支持
死区插入的互补 PWM 输出功能	不支持

表格 22 独立看门狗和窗口看门狗定时器

名称	计数器分辨率	计数器类型	预分频系数	时钟源	产生信号
独立看门狗 (IWDG)	12 位	向下	1~256 之间的任意整数	LSICLK	复位信号
窗口看门狗 (WWDG)	7 位	向下	-	APB1 分频后的时钟	复位信号或中断信号

表格 23 系统滴答定时器

定时器类型	描述
引脚特性	无引脚
计数器分辨率	24 位
时钟源	HCLK 或 HCLK/8
DMA 功能	不支持
死区插入的互补 PWM 输出功能	不支持

4.12 实时时钟（RTC）

内置 1 个 RTC，引脚有 LSECLK 信号输入引脚（OSC32_IN、OSC32_OUT）、3 个 TAMP 输入信号检测引脚（RTC_TAMP1/2/3）、1 个参考时钟输入信号（RTC_REFIN）、1 个输出时间戳事件输出引脚（RTC_TS），1 个信号输出引脚 RTC_OUT（可配置成校准信号输出或者闹钟信号输出）。

时钟源可选择外部 32.768kHz 的外部晶振、谐振器或振荡器、LSICLK、HSECLK/32。

具有日历功能，可显示亚秒、秒、分钟、小时（12 或 24 小时格式）、星期、日期、月、年。支持闹钟功能，可输出闹钟信号给外部期间使用，可自身从低功耗模式唤醒。能接收信号从低功耗模式唤醒。在准确性方面，支持夏令时间补偿、月份天数补偿、闰年天数补偿，在精确性方面，可用 RTC 的数字校准功能修复晶振引起的误差，可以用更精确的第二源时钟(50 或 60Hz)来提高日历的精度。

4.13 CRC 计算单元

内置 1 个 CRC（循环冗余校验）计算单元，可产生 CRC 码，可操作 8 位、16 位、32 位数据。

4.14 DMA

内置 1 个 DMA，支持 7 路 DMA 通道，每个通道支持多个 DMA 请求，但同一时刻只允许 1 个 DMA 请求进入 DMA 通道，支持 DMA 请求的外设有：ADC、SPI1/2、USART1/2/3/4、I2C1/2、TMR1、TMR2、TMR3、TMR6、TMR7、TMR15、TMR16、TMR17。可配置 4 级 DMA 通道优先级，支持“存储器→存储器、存储器→外设、外设→存储器”数据传输（存储器包括 Flash、SRAM）。

5 电气特性

5.1 电气特性测试条件

所有电压参数(特殊说明外)都以 V_{SS} 为参照。

5.1.1 最大值和最小值

除非特别说明,所有产品是在 $T_A=25^{\circ}\text{C}$ 下在生产线上进行测试的。其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据,没有在生产线上进行测试;在综合评估的基础上,通过样本测试后,取其平均值再加减三倍的标准差(平均 $\pm 3\sigma$)得到最大和最小数值。

5.1.2 典型值

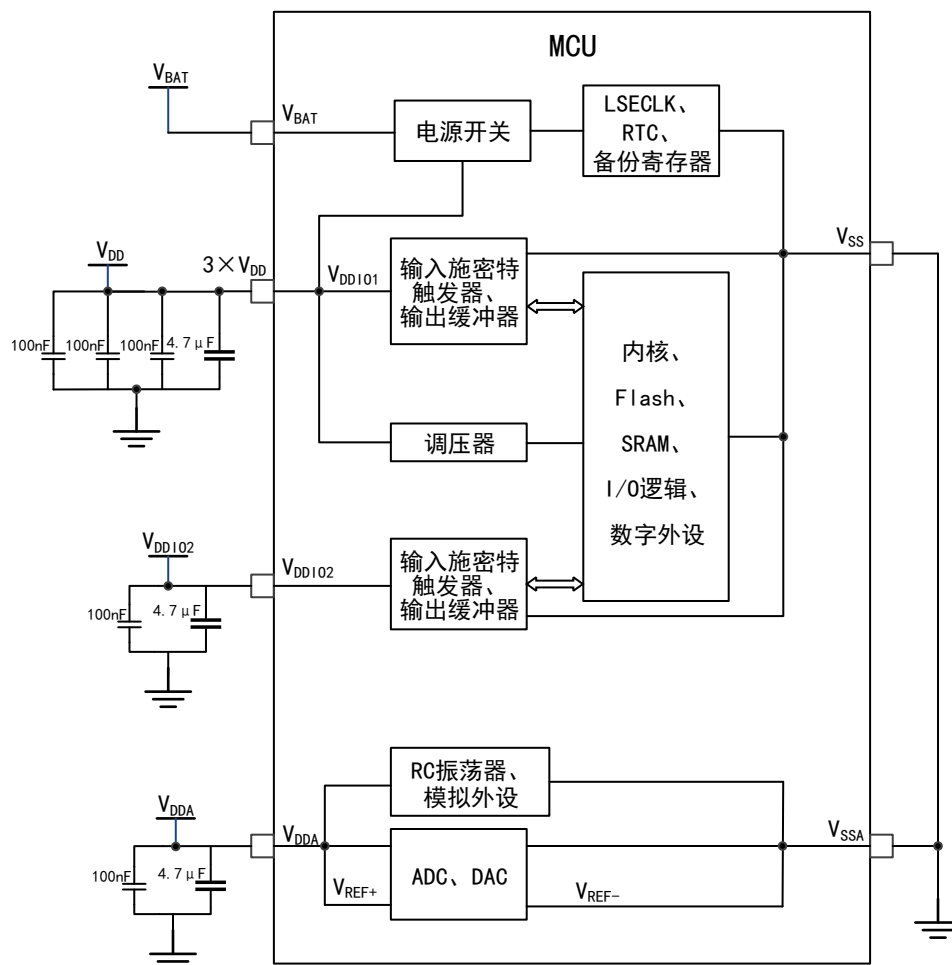
除非特别说明,典型数据是基于 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=V_{DDIO2}=V_{DDA}=3.3\text{V}$ 测量,这些数据仅用于设计指导。

5.1.3 典型曲线

除非特别说明,典型曲线不会在生产线上进行测试,仅用于设计指导。

5.1.4 电源方案

图 5 电源方案



5.1.5 负载电容

图 6 测量引脚参数时的负载条件

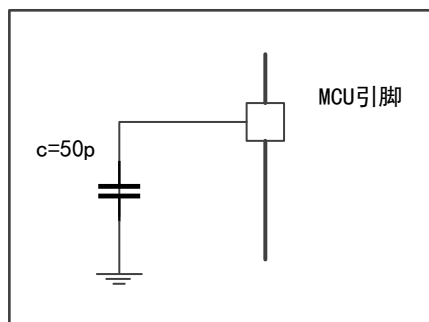


图 7 引脚输入电压测量方案

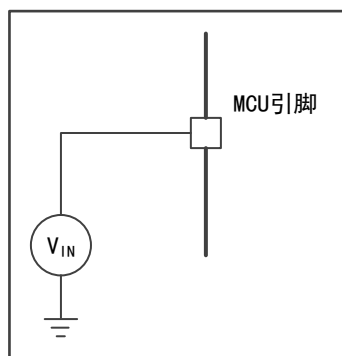
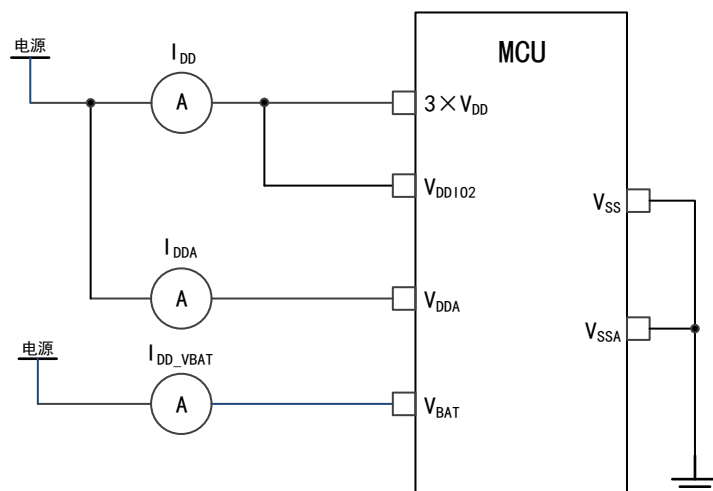


图 8 功耗测量方案



5.2 通用工作条件下的测试

表格 24 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	-	48	MHz
f_{PCLK}	内部 APB 时钟频率	-	-	48	
V_{DD}	标准工作电压	-	2	3.6	V
V_{DDIO2}	IO 电源电压	只有 V_{DD} 存在, 才能供电	1.65	3.6	V
V_{DDA}	模拟工作电压 (都未使用 ADC、DAC 时)	V_{DDA} 不得小于 V_{DD}	V_{DD}	3.6	V
	模拟工作电压 (使用 ADC、DAC 时)		2.4	3.6	
V_{BAT}	备份区域工作电压	-	1.65	3.6	V
V_{IN}	I/O 输入电压	STD 和 RST I/O	-0.3	$V_{DDIOX}+0.3$	V
		STDA I/O	-0.3	$V_{DDA}+0.3$	
		5T 和 5Tf I/O	-0.3	5.5	
		Boot0	0	5.5	

5.3 绝对最大额定值

器件上的载荷如果超过绝对最大额定值, 可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷, 不保证在此条件下器件的功能运行正常。

5.3.1 最大温度特性

表格 25 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	°C
T_J	最大结温度	150	°C

5.3.2 最大额定电压特性

所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部限定范围内的供电电源上。

表格 26 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压(V_{DD})	-0.3	4.0	V
$V_{DDA}-V_{SSA}$	外部模拟电源电压 (V_{DDA})	-0.3	4.0	
$V_{DDIO2}-V_{SS}$	外部 I/O 电源电压	-0.3	4.0	

符号	描述	最小值	最大值	单位
$V_{BAT}-V_{SS}$	外部备份电源电压	-0.3	4.0	
$V_{DD}-V_{DDA}$	$V_{DD}>V_{DDA}$ 允许的电压差	-	0.4	
V_{IN}	5T 和 5Tf 引脚上的输入电压	$V_{SS}-0.3$	$V_{DDIOX}+4.0$	
	STDA 引脚上的输入电压	$V_{SS}-0.3$	4.0	
	Boot0	0	$V_{DD}+4.0$	
	任何其他引脚上的输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	

5.3.3 最大额定电流特性

表格 27 最大额定电流特性

符号	描述	最大值	单位
ΣI_{VDD}	经所有 V_{DD} 电源线的总电流之和 ⁽¹⁾	120	mA
ΣI_{VSS}	所有 V_{SS} 接地线的总电流之和 ⁽¹⁾	-120	
$I_{DD(PIN)}$	进入每个 V_{DD} 电源引脚的最大电流 ⁽¹⁾	100	
$I_{SS(PIN)}$	进入每个 V_{SS} 接地引脚的最大电流 ⁽¹⁾	-100	
$I_{IO(PIN)}$	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
$\Sigma I_{IO(PIN)}$	所有 I/O 和控制引脚之和的总输出电流 ⁽²⁾	80	
	由所有 I/O 和控制引脚之和产生的总输出电流 ⁽²⁾	-80	
	由 V_{DDIO2} 提供的所有 I/O 的总和所产生的总输出电流	-40	
$I_{INJ(PIN)}^{(3)}$	在 B, 5T 和 5Tf 引脚上注入电流	-5/+0 ⁽⁴⁾	
	在 STD 和 RST 管脚上注入电流	± 5	
	在 STDA 引脚注入电流 ⁽⁵⁾	± 5	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁶⁾	± 25	

- (1) 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})必须始终在允许范围内。
- (2) 这个电流消耗必须正确地分布在所有 I/O 和控制引脚上。总输出电流不能在两个连续的电源引脚之间输入。
- (3) 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN}>V_{DDIOX}$ 时, 电流流入引脚; 当 $V_{IN}<V_{SS}$ 时, 电流流出引脚。
- (4) 在这些 I/O 上不可能出现正注入, 并且在输入电压低于指定的最大值时不会发生。
- (5) 在这些 I/O 上, $V_{IN} > V_{DDA}$ 诱导了正注入。负注入会干扰器件的模拟性能。
- (6) 当多个输入被提交到一个电流注入时, 最大 $\Sigma I_{INJ(PIN)}$ 是注入的正负电流的绝对值(瞬时值)。

5.3.4 ESD 特性

表格 28 ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A=+25^{\circ}\text{C}$, 符合 AEC-Q100-002-REV –E(August 20, 2003)	2000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A=+25^{\circ}\text{C}$, 符合 AEC-Q100-011-REV –E(August 20, 2003)	750	

注：由第三方测试机构测试，不在生产中测试。

5.3.5 静态栓锁 (Latch-up)

表格 29 静态栓锁

符号	参数	条件	类型
LU	室温门锁试验	室温 ($+25^{\circ}\text{C}$) $\pm 200\text{mA}/+1.5$ 倍最大工作电压, 符合 AEC-Q100-004-REV-D(August 7, 2012)	等级 I -A
	高温门锁试验	高温 ($+105^{\circ}\text{C}$) $\pm 200\text{mA}/+1.5$ 倍最大工作电压, 符合 AEC-Q100-004-REV-D(August 7, 2012)	等级 II -A

注：由第三方测试机构测试，不在生产中测试。

5.4 片上存储器

5.4.1 Flash 特性

表格 30 Flash 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位编程时间	$T_A=-40\sim 105^{\circ}\text{C}$, $V_{DD}=2.0\sim 3.6\text{V}$	-	36	-	μs
t_{ERASE}	页(2KB)擦除时间	$T_A=-40\sim 105^{\circ}\text{C}$, $V_{DD}=2.0\sim 3.6\text{V}$	-	3	-	ms
t_{ME}	整片擦除时间	$T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$	-	6.4	-	ms
V_{prog}	编程电压	$T_A=-40\sim 105^{\circ}\text{C}$	2	-	3.6	V
N_{RW}	擦写周期	$T_A=25^{\circ}\text{C}$	-	10K	-	cycles

注：由综合评估得出，不在生产中测试。

5.5 时钟系统

5.5.1 外部时钟源特性

晶体谐振器产生的高速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 31 HSECLK4~32MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	32	MHz
R_F	反馈电阻	-	-	200	-	k Ω
I_{DD}	HSECLK 电流消耗	$V_{DD}=3.3V$, $C_L=10pF@8MHz$	-	0.5	-	mA
$t_{SU}(HSECLK)$	启动时间	V_{DD} 是稳定的	-	2	-	ms

注：由综合评估得出，不在生产中测试。

晶体谐振器产生的低速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 32 LSECLK 振荡器特性($f_{LSECLK}=32.768KHz$)

符号	参数	条件	最小值	典型值	最大值	单位
I_{DD}	LSECLK 电流消耗	高驱动能力	-	-	1.6	μA
$t_{SU}(LSECLK)^{(1)}$	启动时间	V_{DDIOx} 稳定	-	2	-	s

注：由综合评估得出，不在生产中测试。

(1) $t_{SU}(LSECLK)$ 是启动时间，是从软件使能 LSECLK 开始测量，直至得到稳定的 32.768KHz 振荡这段时间；这个数值是使用一个标准的晶体谐振器测量得到的，它可能因晶体制造商的不同而不同。

5.5.2 内部时钟源特性

高速内部 (HSICLK) RC 振荡器

表格 33 HSICLK 振荡器特性

符号	参数	条件		最小值	典型值	最大值	单位
f _{HSICLK}	频率	-		-	8	-	MHz
A _{CCHSICLK}	HSICLK 振荡器的精度	工厂校准	V _{DD} =3.3V, T _A =25℃ ⁽¹⁾	-1	-	1	%
			V _{DD} =2-3.6V, T _A =-40~105℃	-2.8	-	3.8	%
t _{SU} (HSICLK)	HSICLK 振荡器启动时间	V _{DD} =3.3V T _A =-40~105℃		1	-	2	μs
I _{DDA} (HSICLK)	HSICLK 振荡器功耗	-		-	80	100	μA

注：除了 (1) 在生产中校准外，其它数据由综合评估得出，不在生产中测试。

表格 34 HSICLK14 振荡器特性

符号	参数	条件		最小值	典型值	最大值	单位
f _{HSICLK14}	频率	-		-	14	-	MHz
A _{CC} HSICLK14	HSICLK14 振荡器的精度	工厂校准	V _{DD} =3.3V, T _A =25℃ ⁽¹⁾	-1	-	1	%

符号	参数	条件	最小值	典型值	最大值	单位
		$V_{DD}=2-3.6V$, $T_A=-40\sim 105^{\circ}C$	-4.2	-	5.1	%
$t_{SU}(HSICLK14)$	HSICLK14 振荡器启动时间	$V_{DD}=3.3V$ $T_A=-40\sim 105^{\circ}C$	1	-	2	μs
$I_{DDA}(HSICLK14)$	HSICLK14 振荡器功耗	-	-	100	150	μA

注：除了（1）在生产中校准外，其它数据由综合评估得出，不在生产中测试。

表格 35 HSICLK48 振荡器特性

符号	参数	条件		最小值	典型值	最大值	单位
f _{HSICLK48}	频率	-		-	48	-	MHz
A _{CCHSICLK48}	HSICLK48 振荡器的精度	工厂校准	V _{DD} =3.3V, T _A =25℃ ⁽¹⁾	-2	-	2	%
			V _{DD} =2-3.6V, T _A =-40~105℃	-4.9	-	4.7	%
t _{SU} (HSICLK48)	HSICLK48 振荡器启动时间	V _{DD} =3.3V, T _A =-40~105℃		-	-	6	μs
I _{DDA} (HSICLK48)	HSICLK48 振荡器功耗	-		-	312	350	μA

注：除了（1）在生产中校准外，其它数据由综合评估得出，不在生产中测试。

低速内部（LSICLK）RC 振荡器

表格 36 LSICLK 振荡器特性

符号	参数	最小值	典型值	最大值	单位
f_{LSICLK}	频率（ $V_{DD}=2-3.6V$, $T_A=-40\sim 105^{\circ}C$ ）	30	40	50	KHz
$t_{SU}(LSICLK)$	LSICLK 振荡器启动时间 （ $V_{DD}=3.3V$, $T_A=-40\sim 105^{\circ}C$ ）	-	-	85	μs
$I_{DD}(LSICLK)$	LSICLK 振荡器功耗	-	0.75	1.2	μA

注：由综合评估得出，不在生产中测试。

5.5.3 PLL 特性

表格 37 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟	1	8.0	24	MHz
	PLL 输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL 倍频输出时钟 （ $V_{DD}=3.3V$, $T_A=-40\sim 105^{\circ}C$ ）	-	48	-	MHz
t_{LOCK}	PLL 锁相时间	-	-	200	μs

注：由综合评估得出，不在生产中测试。

5.6 电源管理

5.6.1 内嵌复位和电源控制模块特性测试

表格 38 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}^{(1)}$	上电/掉电复位阈值	下降沿	1.87	1.90	1.94	V
		上升沿	1.91	1.94	1.97	V
$V_{PDRhyst}$	PDR 迟滞	-	-	40	-	mV
$T_{RSTTEMPO}$	复位持续时间	-	0.80	1.14	1.89	ms

注：由综合评估得出，不在生产中测试。

(1) PDR 检测器监控 V_{DD} 和 V_{DDA} (如果在选项字节中保持启用), POR 检测器仅监控 V_{DD} 。

表格 39 可编程电压检测器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.16	2.20	2.24	V
		PLS[2:0]=000 (下降沿)	2.06	2.10	2.14	V
		PLS[2:0]=001 (上升沿)	2.25	2.30	2.36	V
		PLS[2:0]=001 (下降沿)	2.14	2.20	2.25	V
		PLS[2:0]=010 (上升沿)	2.37	2.40	2.44	V
		PLS[2:0]=010 (下降沿)	2.26	2.30	2.33	V
		PLS[2:0]=011 (上升沿)	2.46	2.50	2.54	V
		PLS[2:0]=011 (下降沿)	2.36	2.40	2.43	V
		PLS[2:0]=100 (上升沿)	2.57	2.60	2.62	V
		PLS[2:0]=100 (下降沿)	2.46	2.50	2.51	V
		PLS[2:0]=101 (上升沿)	2.61	2.70	2.79	V
		PLS[2:0]=101 (下降沿)	2.52	2.60	2.68	V
		PLS[2:0]=110 (上升沿)	2.74	2.80	2.87	V
		PLS[2:0]=110 (下降沿)	2.62	2.70	2.76	V
		PLS[2:0]=111 (上升沿)	2.81	2.90	2.99	V
		PLS[2:0]=111 (下降沿)	2.71	2.80	2.89	V
$V_{PVDhyst}$	PVD 迟滞	-	-	100	-	mV

注：由综合评估得出，不在生产中测试。

5.7 功耗

5.7.1 功耗测试环境

- (1) 执行 Coremark，编译环境为 KeilV5 以及编译最高优化等级为 L3 条件下测试。
- (2) 所有的 I/O 引脚配置成模拟输入，都连接到一个静态电平上 V_{DD} 或 V_{SS} (无负载)。
- (3) 除非特别说明，所有的外设都关闭。
- (4) Flash 等待周期的设置和 f_{HCLK} 的关系：
 0~24MHz: 0 个等待周期，
 24~48MHz: 1 个等待周期。
- (5) 指令预取功能使能（提示：这位的设置必须在时钟设置和总线分频之前进行）。
- (6) 当外设开启时: $f_{PCLK}=f_{HCLK}$ 。

5.7.2 运行模式

表格 40 程序在 Flash 执行，运行模式功耗

参数	条件	f_{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			$T_A=25^{\circ}C$, $V_{DD}=3.3V$		$T_A=105^{\circ}C$, $V_{DD}=3.6V$	
			$I_{DDA}(\mu A)$	$I_{DD}(mA)$	$I_{DDA}(\mu A)$	$I_{DD}(mA)$
运行模式功耗	HSECLK bypass ⁽²⁾ , 使能所有外设	48MHz	102.28	12.17	118.82	14.11
		32MHz	71.61	8.32	86.71	8.98
		24MHz	58.13	6.59	73.20	7.29
		8MHz	3.48	2.42	13.04	3.00
		1MHz	3.46	0.60	12.77	0.82
	HSECLK bypass ⁽²⁾ , 关闭所有外设	48MHz	102.27	7.46	118.94	7.91
		32MHz	71.58	5.10	86.79	5.80
		24MHz	58.20	4.20	73.02	4.63
		8MHz	3.48	1.65	12.92	2.10
		1MHz	3.47	0.51	12.79	0.68
	HSICLK48, 使能所有外设	48MHz	311.25	12.49	329.35	13.28
	HSICLK48, 关闭所有外设	48MHz	311.28	7.39	329.52	7.88
	HSICLK ⁽²⁾ , 使能所有外设	48MHz	162.85	12.17	187.51	14.01
		32MHz	132.34	8.25	154.99	8.83
		24MHz	118.92	6.45	141.01	7.14
		8MHz	64.57	2.39	79.45	2.81
	HSICLK ⁽²⁾ , 关闭所有外设	48MHz	162.84	7.41	187.46	7.85

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
		32MHz	132.32	5.12	154.69	5.86
		24MHz	118.97	4.16	141.07	4.90
		8MHz	64.57	1.61	79.42	1.92

注：（1）由综合评估得出，不在生产中测试。

（2）外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

表格 41 程序在 SRAM 中执行，运行模式功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
运行模式 功耗	HSECLK bypass ⁽²⁾ ，使能所有外设	48MHz	102.37	9.89	119.11	13.45
		32MHz	71.67	6.77	86.72	7.19
		24MHz	58.01	5.19	72.69	5.50
		8MHz	3.48	1.99	12.96	2.28
		1MHz	3.46	0.55	12.79	0.74
	HSECLK bypass ⁽²⁾ ，关闭所有外设	48MHz	102.34	5.16	119.22	5.48
		32MHz	71.63	3.61	86.76	3.91
		24MHz	58.00	2.81	72.74	3.11
		8MHz	3.47	1.19	12.76	1.37
		1MHz	3.46	0.45	12.82	0.64
	HSICLK48，使能所有外设	48MHz	311.26	10.16	329.53	10.77
	HSICLK48，关闭所有外设	48MHz	311.29	5.13	329.60	5.53
	HSICLK ⁽²⁾ ，使能所有外设	48MHz	162.85	9.91	187.39	13.37
		32MHz	132.34	6.77	154.96	7.20
		24MHz	118.84	5.20	140.84	5.48
		8MHz	64.57	2.01	79.41	2.23
	HSICLK ⁽²⁾ ，关闭所有外设	48MHz	162.83	5.12	187.35	5.49
		32MHz	132.34	3.58	154.77	3.87
		24MHz	118.82	2.79	140.67	3.08
		8MHz	64.57	1.19	79.41	1.38

注：（1）由综合评估得出，不在生产中测试。

（2）外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

表格 42 程序在 SRAM 或 Flash 中执行，睡眠模式下功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
睡眠模式 功耗	HSECLK bypass ⁽²⁾ , 使能所有外设	48MHz	102.36	6.91	119.16	7.14
		32MHz	71.66	4.67	86.79	4.83
		24MHz	58.04	3.54	72.81	3.71
		8MHz	3.47	1.21	12.91	1.31
		1MHz	3.47	0.17	12.84	0.26
	HSECLK bypass ⁽²⁾ , 关闭所有外设	48MHz	102.33	1.49	119.11	1.62
		32MHz	71.64	1.03	86.66	1.15
		24MHz	58.02	0.81	72.65	0.93
		8MHz	3.46	0.29	12.81	0.39
		1MHz	3.46	0.05	12.82	0.16
	HSICLK48, 使能所有外设	48MHz	311.28	7.08	329.43	7.58
	HSICLK48, 关闭所有外设	48MHz	311.34	1.42	329.48	1.58
	HSICLK ⁽²⁾ , 使能所有外设	48MHz	162.83	6.93	187.55	7.09
		32MHz	132.34	4.68	154.85	4.81
		24MHz	118.84	3.55	140.72	3.67
		8MHz	64.56	1.24	79.47	1.34
	HSICLK ⁽²⁾ , 关闭所有外设	48MHz	162.81	1.46	187.36	1.57
		32MHz	132.32	1.01	154.69	1.12
		24MHz	118.81	0.78	140.64	0.88
		8MHz	64.56	0.28	79.39	0.38

注：（1）由综合评估得出，不在生产中测试。

（2）外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

表格 43 停机、待机模式功耗

参数	条件		典型值 ⁽¹⁾ , (T _A =25℃)						最大值 ⁽¹⁾ , (V _{DD} =3.6V)				单位
			V _{DD} =2.0V		V _{DD} =3.3V		V _{DD} =3.6V		T _A =85℃		T _A =105℃		
			I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	
停机模式 功耗	V _{DDA} monitoringON	调压器处于运行模式，所有振荡器处于关闭状态	2.51	20.58	3.70	22.29	4.17	22.98	10.3	62.81	12.09	109.05	μA
		调压器处于低功耗模式，所有振荡器处于关闭状态	2.50	6.57	3.70	8.25	4.16	8.93	10.2	44.14	12.06	88.89	
待机模式 功耗		LSICLK 和 IWDT 处于开启状态	2.66	1.86	3.95	3.81	4.42	4.54	10.1	17.81	12.63	30.32	
		LSICLK 和 IWDT 处于关闭状态	2.36	1.60	3.45	3.40	3.86	4.09	9.5	17.33	12.09	29.79	
停机模式 功耗	V _{DDA} monitoringOFF	调压器处于运行模式，所有振荡器处于关闭状态	1.49	20.55	2.22	22.31	2.56	23.00	8.9	61.25	10.89	109.89	
		调压器处于低功耗模式，所有振荡器处于关闭状态	1.49	6.55	2.21	8.26	2.55	8.93	8.8	42.96	10.79	89.21	
待机模式 功耗		LSICLK 和 IWDT 处于开启状态	1.64	1.85	2.46	3.81	2.82	4.54	8.4	17.77	10.99	30.21	
		LSICLK 和 IWDT 处于关闭状态	1.34	1.60	1.97	3.40	2.25	4.10	7.8	17.31	10.39	29.75	

注：（1）由综合评估得出，不在生产中测试。

表格 44 V_{BAT} 功耗

符号	条件	典型值 ⁽¹⁾ , T _A =25℃				最大值 ⁽¹⁾ , V _{BAT} =3.6V				单位
		V _{BAT} =1.65V	V _{BAT} =1.8V	V _{BAT} =2.4V	V _{BAT} =3.3V	T _A =25℃	T _A =65℃	T _A =85℃	T _A =105℃	
I _{DD_VBAT}	LSECLK、RTC 处于开启状态, LSECLK 振荡器驱动能力配置 LSECLKDRV[1:0]=00	0.75	0.80	1.11	1.86	3.35	6.07	9.00	12.18	μA
	LSECLK、RTC 处于开启状态, LSECLK 振荡器驱动能力配置 LSECLKDRV[1:0]=11	1.12	1.21	1.61	2.39	4.03	6.72	9.60	12.87	

注：（1）由综合评估得出，不在生产中测试。

5.7.3 外设功耗

采用 HSECLK Bypass 1M 作为时钟源， $f_{PCLK}=f_{HCLK}=1M$ 。

外设功耗 = 使能该外设时钟的电流 — 禁止该外设的时钟的电流。

表格 45 外设功耗

参数	外设	典型值 ⁽¹⁾ $T_A=25^{\circ}C$, $V_{DD}=3.3V$	单位
外设功耗	BusMatrix	3.47	$\mu A/MHz$
	CRC	0.86	
	DMA	4.74	
	FLASH	8.94	
	GPIOA	4.39	
	GPIOB	4.58	
	GPIOC	1.05	
	GIOD	1.05	
	GPIOE	1.08	
	GPIOF	0.75	
	SRAM	0.47	
	TSC	2.11	
	ALL_AHB	28.95	
	APB_Bridge	1.34	
	ADC	2.66	
	CAN	5.75	
	CEC	0.83	
	CRS	0.66	
	DAC	2.30	
	DEBUG	0.30	
	I2C1	1.99	
	I2C2	2.22	
	PMU	0.68	
	SPI1	4.27	
	SPI2	4.14	
	SYSCFG	0.93	
	TMR1	7.07	
	TMR2	7.19	

参数	外设	典型值 ⁽¹⁾ $T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$	单位
	TMR3	5.47	
	TMR6	1.34	
	TMR7	1.36	
	TMR14	2.65	
	TMR15	4.28	
	TMR16	3.26	
	TMR17	3.43	
	USART1	9.41	
	USART2	9.05	
	USART3	2.77	
	USART4	2.82	
	USBD	48.58	
	WWDT	0.82	
	ALL_APB	127.91	

5.8 低功耗模式唤醒时间

低功耗唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令的时间，其中 $V_{DD}=V_{DDA}$ 。

表格 46 低功耗唤醒时间

符号	参数	条件	典型值 ⁽¹⁾ , ($T_A=25^{\circ}\text{C}$)			最大值 ⁽¹⁾	单位
			2V	3.3V	3.6V		
$t_{WUSLEEP}$	从睡眠模式唤醒	-	4SYSCLK cycles			-	μs
t_{WUSTOP}	从停机模式唤醒	调压器处于运行模式	3.12	2.72	2.65	3.30	
		调压器处于低功耗模式	5.63	4.00	3.82	6.15	
$t_{WUSTDBY}$	从待机模式唤醒	-	80.83	38.17	34.74	120.54	

注：（1）由综合评估得出，不在生产中测试。

5.9 I/O 端口特性

表格 47 直流特性($T_A=-40^{\circ}\text{C}-105^{\circ}\text{C}$, $V_{DD}=2\sim 3.6\text{V}$)

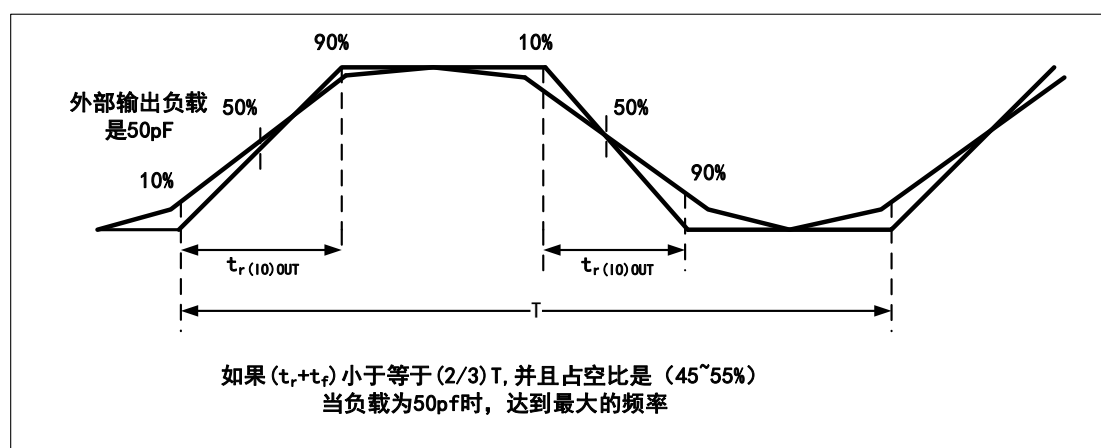
符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	STD 和 STDA I/O	-	-	$0.3V_{DDIOx}+0.07$	V
		5T 和 5Tf I/O	-	-	$0.475V_{DDIOx}-0.2$	
		除 Boot0 外的所有 I/O 引脚	-	-	$0.3V_{DDIOx}$	
V_{IH}	输入高电平电压	STD 和 STDA I/O	$0.445V_{DDIOx}+0.398$	-	-	V
		5T 和 5Tf I/O	$0.5V_{DDIOx}+0.2$	-	-	
		除 Boot0 外的所有 I/O 引脚	$0.7V_{DDIOx}$	-	-	
V_{hys}	施密特触发器迟滞	STD 和 STDA I/O	-	200	-	mV
		5T 和 5Tf I/O	-	100	-	
I_{lk}	输入漏电流	数字模式下 STD、5T 和 5Tf I/OTa, $V_{SS}\leq V_{IN}\leq V_{DDIOx}$	-	-	+0.1	μA
		数字模式下 STDA, $V_{DDIOx}\leq V_{IN}\leq V_{DDA}$	-	-	1	
		5T 和 5Tf I/O $V_{DDIOx}\leq V_{IN}\leq 5\text{V}$	-	-	10	
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	25	40	55	$\text{k}\Omega$
R_{PD}	弱下拉等效电阻	$V_{IN}=V_{DDIOx}$	25	40	55	$\text{k}\Omega$

表格 48 交流特性($T_A=25^{\circ}\text{C}$)

SPEED[1:0]	符号	参数	条件	最小值	最大值	单位
10(2MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DDIOx}=2\sim 3.6\text{V}$	-	2	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间		-	120	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间		-	120	
01(10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DDIOx}=2\sim 3.6\text{V}$	-	10	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间		-	25	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间		-	25	
11(50MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=30\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$	-	50	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间		-	8	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间		-	8	
FM+配置	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DDIOx}\geq 2\text{V}$	-	2	MHz
	$t_{f(\text{IO})\text{out}}$	输出下降时间		-	11	ns

SPEED[1:0]	符号	参数	条件	最小值	最大值	单位
	$t_{r(IO)out}$	输出上升时间		-	33	
FM+配置	$f_{max(IO)out}$	最大频率	$C_L=50pF$, $V_{DDIOx}<2V$	-	0.5	MHz
	$t_{f(IO)out}$	输出下降时间		-	14	ns
	$t_{r(IO)out}$	输出上升时间		-	43	

图 9 输入输出交流特性定义



表格 49 输出驱动电压特性($T_A=25^{\circ}C$)

符号	参数	条件	最小值	最大值	单位
V_{OL}	I/O 引脚输出低电平电压	$ I_{IO} =8mA$, $V_{DDIOx} \geq 2.7V$	-	0.4	V
V_{OH}	I/O 引脚输出高电平电压		$V_{DDIOx}-0.4$	-	
V_{OL}	I/O 引脚输出低电平电压	$ I_{IO} =20mA$, $V_{DDIOx} \geq 2.7V$	-	1.3	
V_{OH}	I/O 引脚输出高电平电压		$V_{DDIOx}-1.3$	-	

注：由综合评估得出，不在生产中测试。

5.10 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺，它连接了一个永久性上拉电阻 R_{PU} 。

表格 50 NRST 引脚特性 ($T_A=-40 \sim 105^{\circ}C$, $V_{DD}=2 \sim 3.6V$)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	-	-	$0.3V_{DD}+0.07$	V
$V_{IH(NRST)}$	NRST 输入高电平电压	-	$0.445V_{DD}+0.398$	-	-	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	25	40	55	k Ω

5.11 通信接口

5.11.1 I2C 接口特性

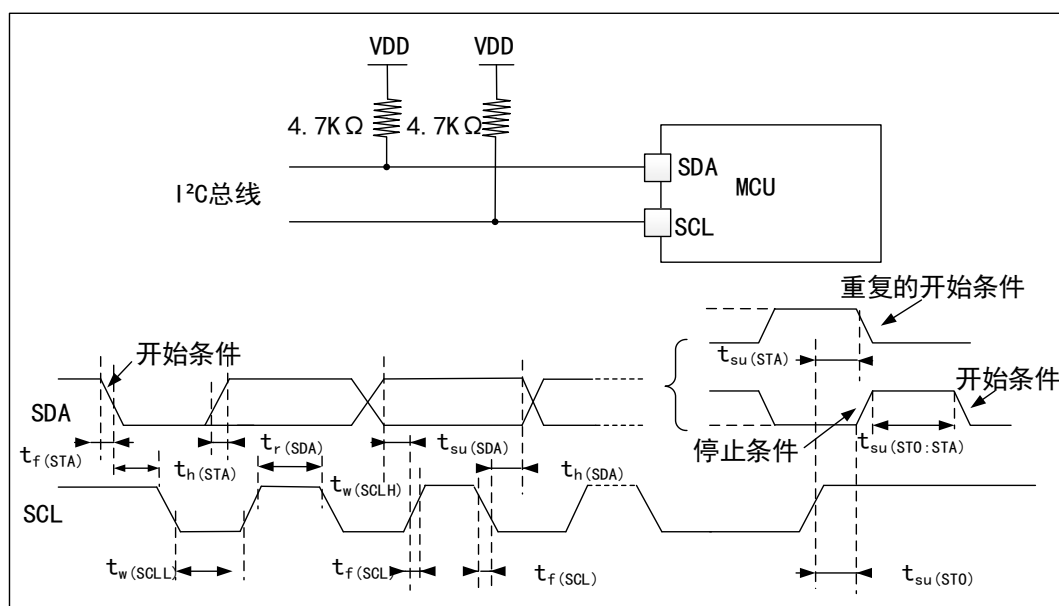
- 标准模式 (Sm): 比特率高达 100kbit/s
- 快速模式 (Fm): 比特率高达 400kbit/s
- 超快速模式 (Fm+): 比特率高达 1Mbit/s

表格 51 I2C 接口特性($T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$)

符号	参数	标准 I2C		快速 I2C		超快速 I2C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{w(\text{SCL})}$	SCL 时钟低时间	4.84	-	1.21	-	0.52	-	μs
$t_{w(\text{SCLH})}$	SCL 时钟高时间	5.09	-	1.14	-	0.46	-	
$t_{su(\text{SDA})}$	SDA 建立时间	4400	-	860	-	300	-	ns
$t_h(\text{SDA})$	SDA 数据保持时间	0	210	0	252	0	145	
$t_r(\text{SDA})/$ $t_r(\text{SCL})$	SDA 和 SCL 上升时间	-	1000	-	300	-	300	
$t_f(\text{SDA})/$ $t_f(\text{SCL})$	SDA 和 SCL 下降时间	-	9.86	-	8.12	-	4	
$t_h(\text{STA})$	开始条件保持时间	4.96	-	0.68	-	0.33	-	μs
$t_{su(\text{STA})}$	重复的开始条件建立时间	4.9	-	0.87	-	0.54	-	
$t_{su(\text{STO})}$	停止条件建立时间	4.50	-	1.21	-	0.54	-	μs
$t_{w(\text{STO:STA})}$	停止条件至开始条件的 时间(总线空闲)	4.67	-	1.37	-	0.77	-	μs

注：由综合评估得出，不在生产中测试。

图 10 总线交流波形和测量电路



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.11.2 SPI 接口特性

表格 52 SPI 特性(T_A=25℃,V_{DD}=3.3V)

符号	参数	条件	最小值	最大值	单位
f _{SCK} 1/t _c (SCK)	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	
t _r (SCK) t _f (SCK)	SPI 时钟上升和下降时间	负载电容：C=15pF	-	6	ns
t _{su} (NSS)	NSS 建立时间	从模式	4T _{PCLK}	-	ns
t _h (NSS)	NSS 保持时间	从模式	2T _{PCLK} + 10	-	ns
t _w (SCKH) t _w (SCKL)	SCK 高和低的时间	主模式，f _{PCLK} =36MHz， 预分频系数=4	54	57	ns
t _{su} (MI) t _{su} (SI)	数据输入建立时间	主模式	12	-	ns
		从模式	20	-	
t _h (MI) t _h (SI)	数据输入保持时间	主模式	34	-	ns
		从模式	22	-	
t _a (SO)	数据输出访问时间	从模式，f _{PCLK} =20MHz	-	17	ns
t _{dis} (SO)	数据输出禁止时间	从模式	-	18	ns
t _v (SO)	数据输出有效时间	从模式(使能边沿之后)	-	16	ns
t _v (MO)	数据输出有效时间	主模式(使能边沿之后)	-	6	ns
t _h (SO) t _h (MO)	数据输出保持时间	从模式(使能边沿之后)	11.5	-	ns
		主模式(使能边沿之后)	2	-	

注：由综合评估得出，不在生产中测试。

图 11 SPI 时序图—从模式和 CPHA=0

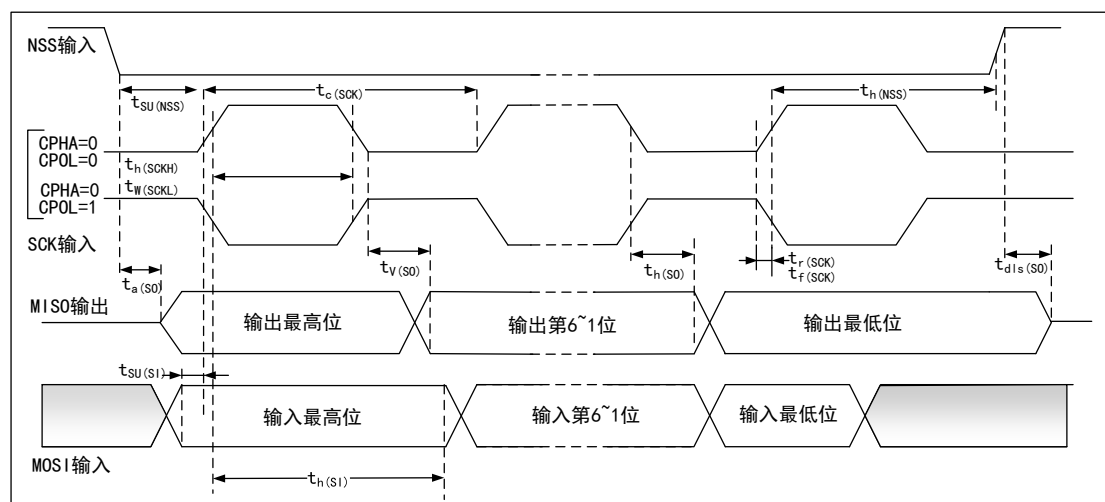
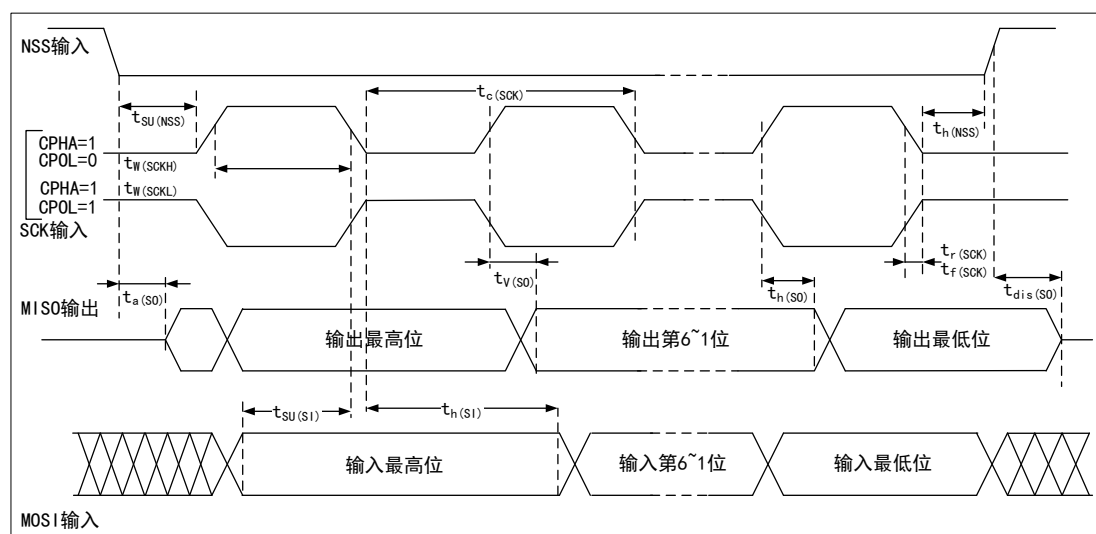
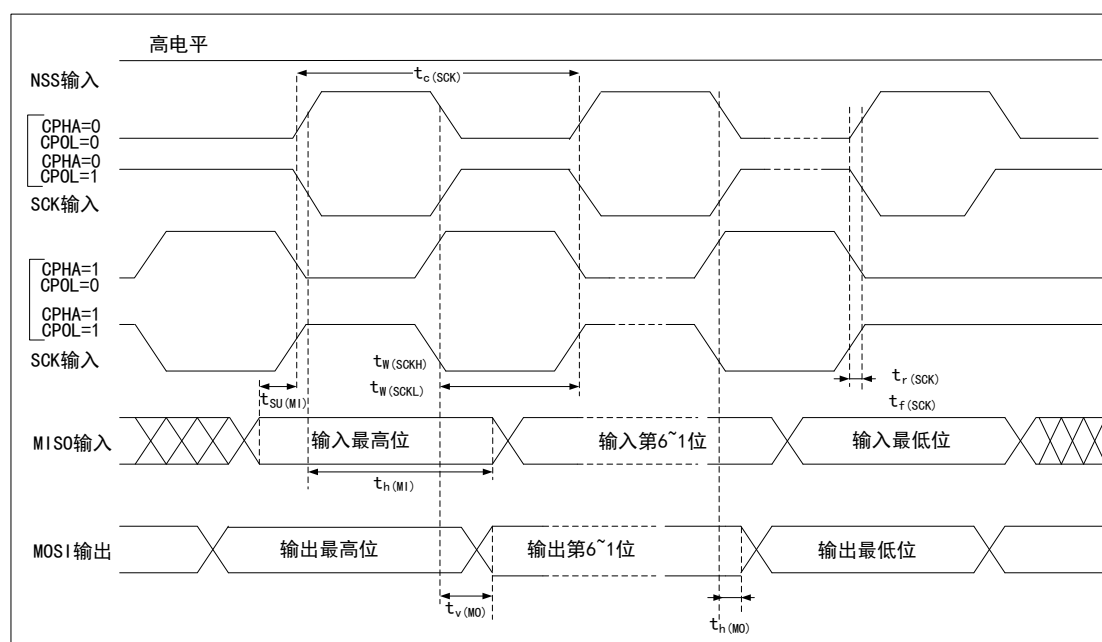


图 12 SPI 时序图—从模式和 CPHA=1



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

图 13 SPI 时序图—主模式



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.12 ADC

5.12.1 内置参考电压特性

表格 53 内置的参照电压特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT}	内置参照电压	-40℃<T _A <+105℃	1.19	1.23	1.27	V

符号	参数	条件	最小值	典型值	最大值	单位
t_{START}	ADC_IN17 缓冲器启动时间	-	-	-	10	μs
$T_{S_vrefint}$	当读出内部参照电压时, ADC 的采样时间	-	4	-	-	μs
ΔV_{REFINT}	内置参考电压扩展到温度范围	$V_{DDA}=3.3V$	-	-	25	mV

注: 由综合评估得出, 不在生产中测试。

5.12.2 12 位 ADC 特性

表格 54 12-bit ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.4	-	3.6	V
I_{DDA}	ADC 功耗	$V_{DDA}=3.3V$, $f_{ADC}=14MHz$, 采样时间=1.5 个 f_{ADC}	-	1	-	mA
f_{ADC}	ADC 频率	-	0.6	-	14	MHz
C_{ADC}	内部采样和保持电容	-	-	8	-	pF
R_{ADC}	采样电阻	-	-	-	1000	Ω
t_s	采样时间	$f_{ADC}=14MHz$	0.107	-	17.1	μs
T_{CONV}	采样和转换时间	$f_{ADC}=14MHz$, 12-bit 转换	1	-	18	μs

注: 由综合评估得出, 不在生产中测试。

表格 55 12-bit ADC 精度

符号	参数	条件	典型值	最大值	单位
$ E_T $	综合误差	$f_{PCLK}=48MHz$, $f_{ADC}=14MHz$, $V_{DDA}=2.4V-3.6V$ $T_A=-40^{\circ}C \sim 105^{\circ}C$	3.19	4	LSB
$ E_O $	偏移误差		1.98	2.7	
$ E_G $	增益误差		3	3.2	
$ E_D $	微分线性误差		0.7	1.4	
$ E_L $	积分线性误差		1.4	1.6	

注: 由综合评估得出, 不在生产中测试。

5.13 DAC

测试参数说明:

- DNL 微分非线性误差: 两个连续代码之间的偏差——1LSB
- INL 积分非线性误差: 代码 i 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 i 处的值之间的差

表格 56 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	-	2.4	-	3.6	V
R _{LOAD}	阻性负载	缓冲器打开, 负载与 V _{SSA} 连接	5	-	-	kΩ
		缓冲器打开, 负载与 V _{DDA} 连接	-	-	-	
R _O	输出阻抗	缓冲器关闭, DAC_OUT 和 V _{SS} 之间的阻性负载是 1.5MΩ	-	-	15	kΩ
C _{LOAD}	容性负载	缓冲器打开, 在 DAC_OUT 引脚处的最大容性负载	-	-	50	pF
DAC_OUT	DAC_OUT 输出的电压	缓冲器打开, 对应 V _{DDA} =3.6V 时的 12 位输入代码(0x0E0)至(0xF1C)以及 V _{DDA} =2.4V 时的(0x155)和(0xEAB)	0.2	-	V _{DDA} -0.2	V
		缓冲器关闭, 对应 V _{DDA} =3.6V 时的 12 位输入代码(0x0E0)至(0xF1C)以及 V _{DDA} =2.4V 时的(0x155)和(0xEAB)	-	0.5	V _{DDA} -1LSB	mV
I _{DDA}	DAC 处于静止模式的功耗	无负载, 输入端采用中间代码(0x800)	-	-	295	uA
		无负载, 输入端采用差代码(0xF1C)	-	-	340	
DNL	微分非线性误差	配置 12 位 DAC	-	-	+2	LSB
INL	积分非线性误差	配置 12 位 DAC	-	-	+4	LSB
Offset	偏移误差	V _{DDA} =3.6 配置 12 位 DAC	-	-	+10	LSB
Gain error	增益误差	配置 12 位 DAC	-	-	+0.4	%

注: 由综合评估得出, 不在生产中测试。

5.14 比较器

表格 57 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	-	V _{DD}	-	3.6	V
V _{IN}	比较器输入电压范围	-	0	-	V _{DDA}	-
t _D	全范围步进, 超载 100mV 的传播延时	极低功耗模式	-	2	7	μs
		低功耗模式	-	0.7	2.1	
		中等功耗模式	-	0.3	1.2	
		全速模式	V _{DDA} ≥ 2.7V	-	90	ns
			V _{DDA} < 2.7V	-	110	

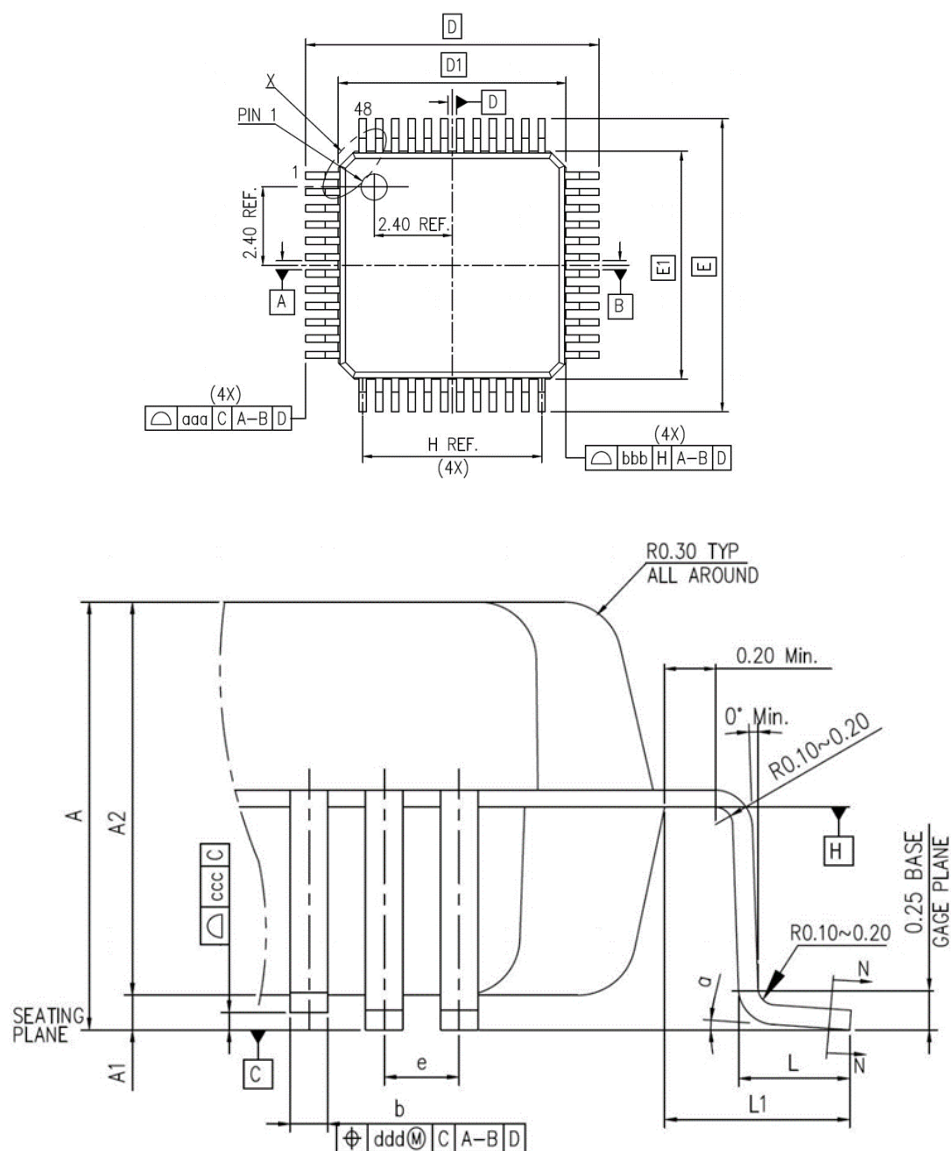
符号	参数	条件	最小值	典型值	最大值	单位
V _{OFFSET}	偏移误差	-	-	+4	±10	mv

注：由综合评估得出，不在生产中测试。

6 封装信息

6.1 LQFP48 封装信息

图 14 LQFP48 封装图



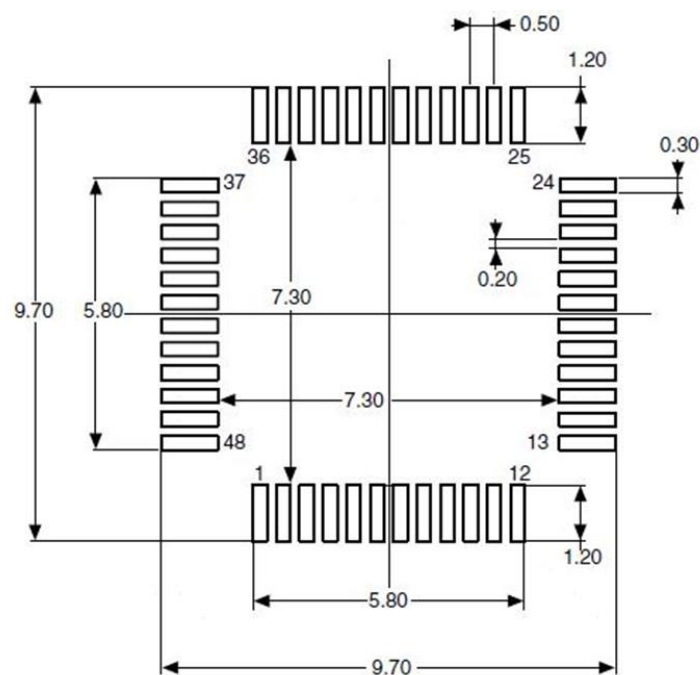
注：图不是按比例绘制。

表格 58 LQFP48 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.60	OVERALLHEIGHT
2	A2	1.40±0.05	PKGTHICKNESS
3	D	9.00±0.20	LEADTIPTOTIP
4	D1	7.00±0.10	PKGLENGTH
5	E	9.00±0.20	LEADTIPTOTIP
6	E1	7.00±0.10	PKGWIDTH
7	L	0.60±0.15	FOOTLENGTH
8	L1	1.00REF.	LEADLENGTH
9	e	0.50BASE	LEADPITCH
10	H(REF.)	(5.50)	GUM.LEADPITCH
11	b	0.22±0.050	LEADWIDTH

注：尺寸以毫米表示。

图 15 LQFP48, 7×7mm 焊接 Layout 建议



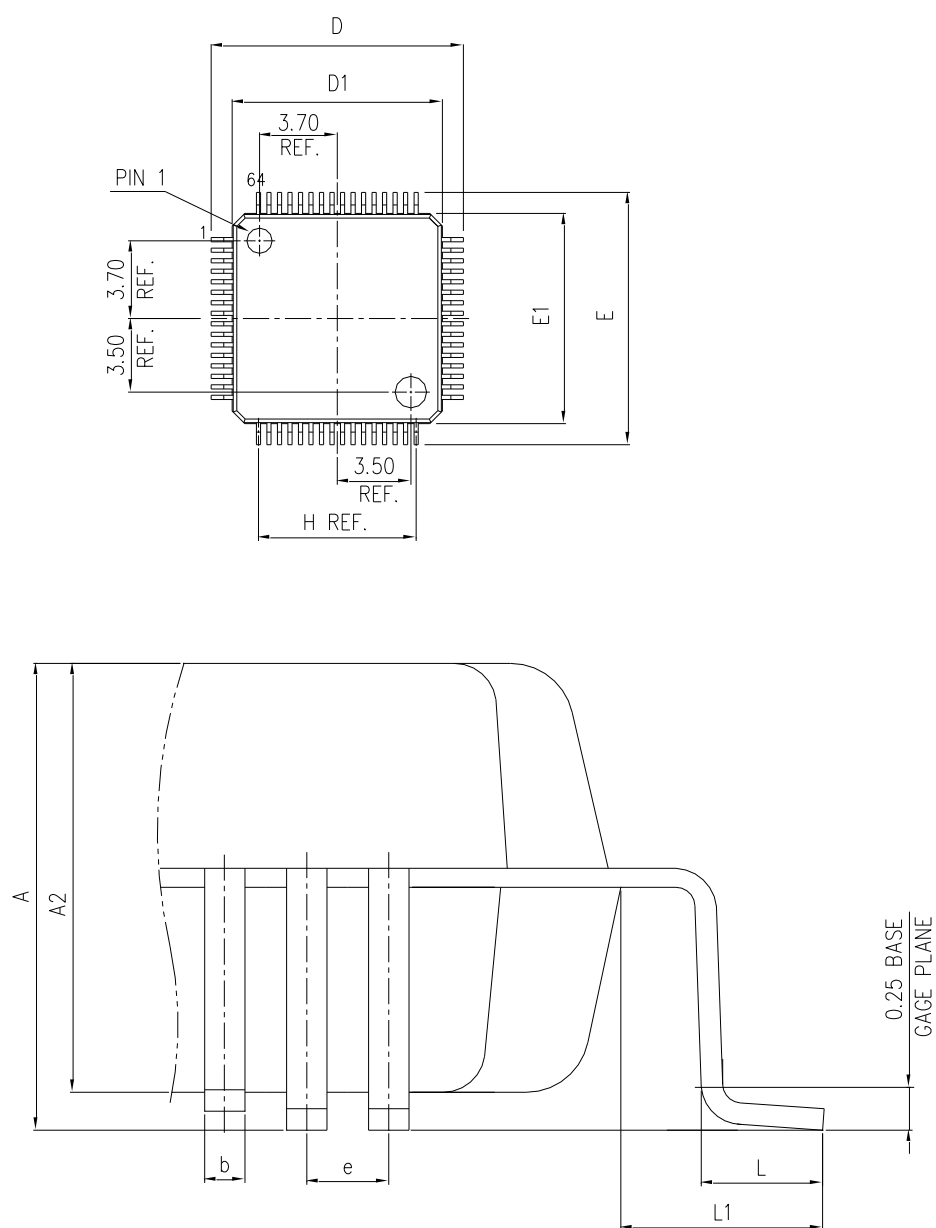
注：尺寸单位为毫米。

图 16 LQFP48-48 引脚，7×7mm 封装标识



6.2 LQFP64 封装信息

图 17 LQFP64 封装图



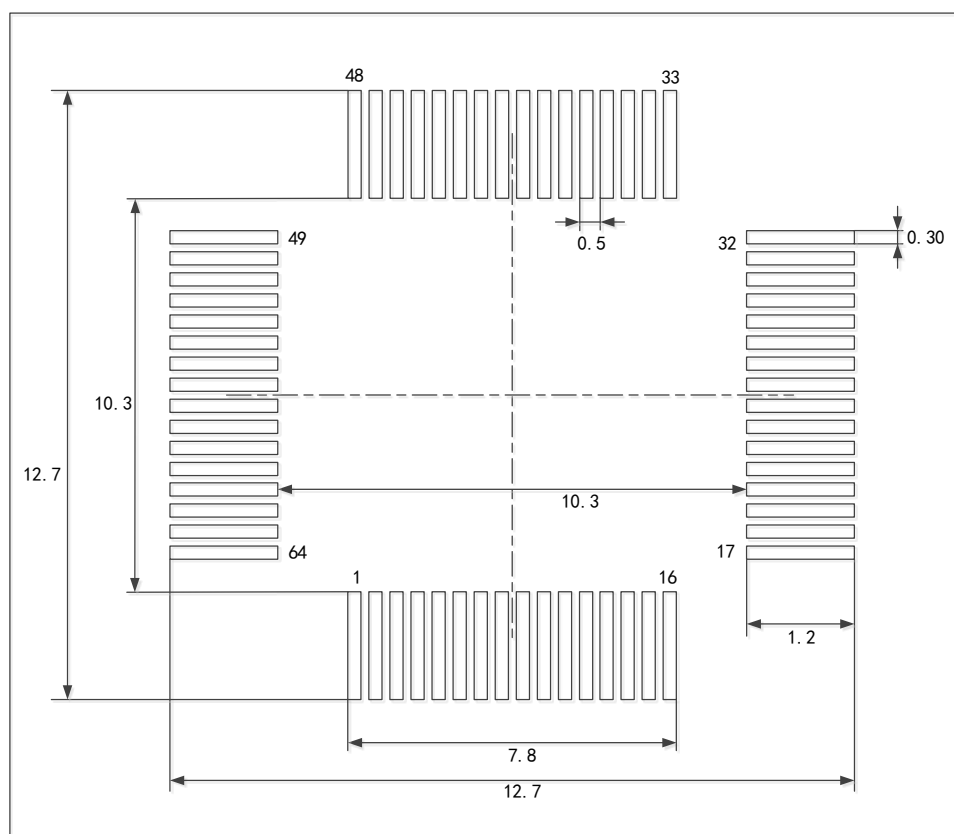
注：图不是按比例绘制。

表格 59 LQFP64 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.600	OVERALLHEIGHT
2	A2	1.400±0.050	PKGTHICKNESS
3	D	12.000±0.200	LEADTIPTOTIP
4	D1	10.000±0.100	PKGLENGTH
5	E	12.000±0.200	LEADTIPTOTIP
6	E1	10.000±0.100	PKGWIDTH
7	L	0.600±0.150	FOOTLENGTH
8	L1	1.000REF.	LEADLENGTH
9	e	0.500BASE	LEADPITCH
10	H(REF.)	(7.500)	GUM.LEADPITCH
11	b	0.220±0.050	LEADWIDTH

注：尺寸以毫米表示。

图 18 LQFP64 焊接 Layout 建议



注：尺寸单位为毫米。

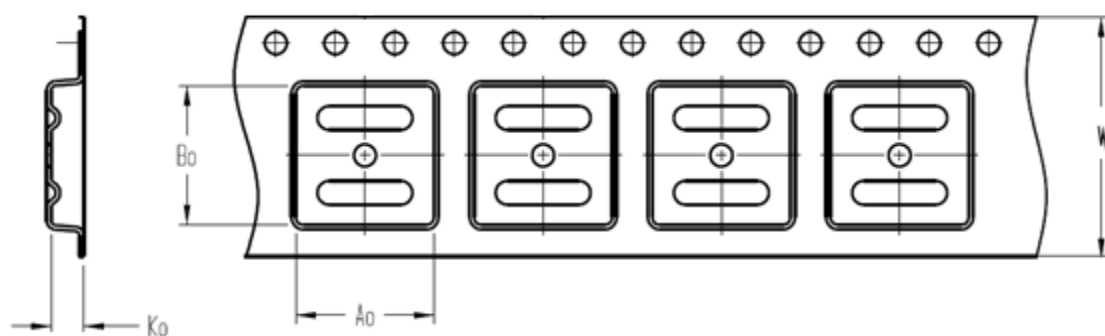
图 19 LQFP64 - 64 引脚，10 x 10mm 封装标识



7 包装信息

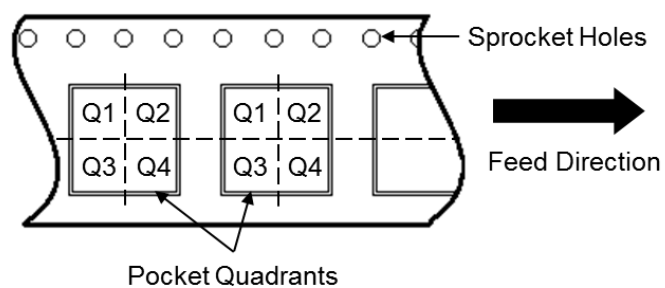
7.1 带状包装

图 20 带状包装规格图

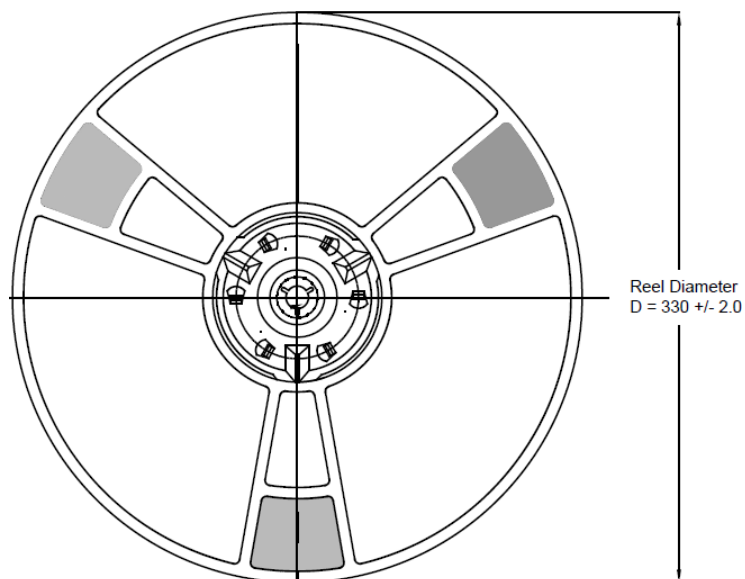


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape

Quadrant Assignments for PIN1 Orientation in Tape



ReelDimensions

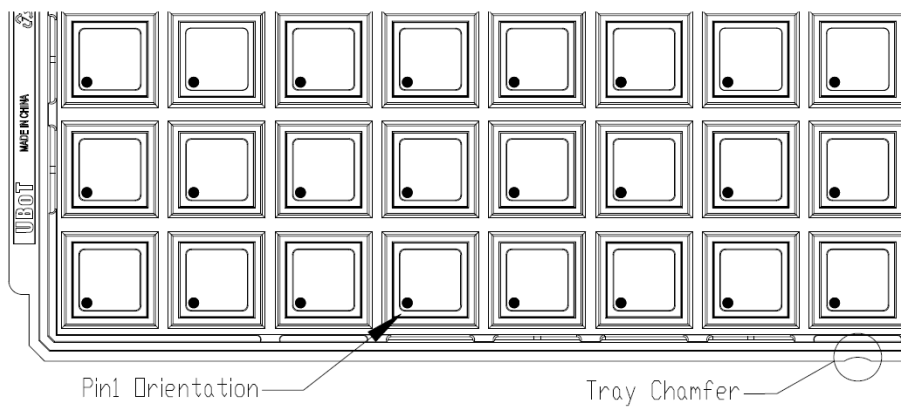


表格 60 带状包装参数规格表

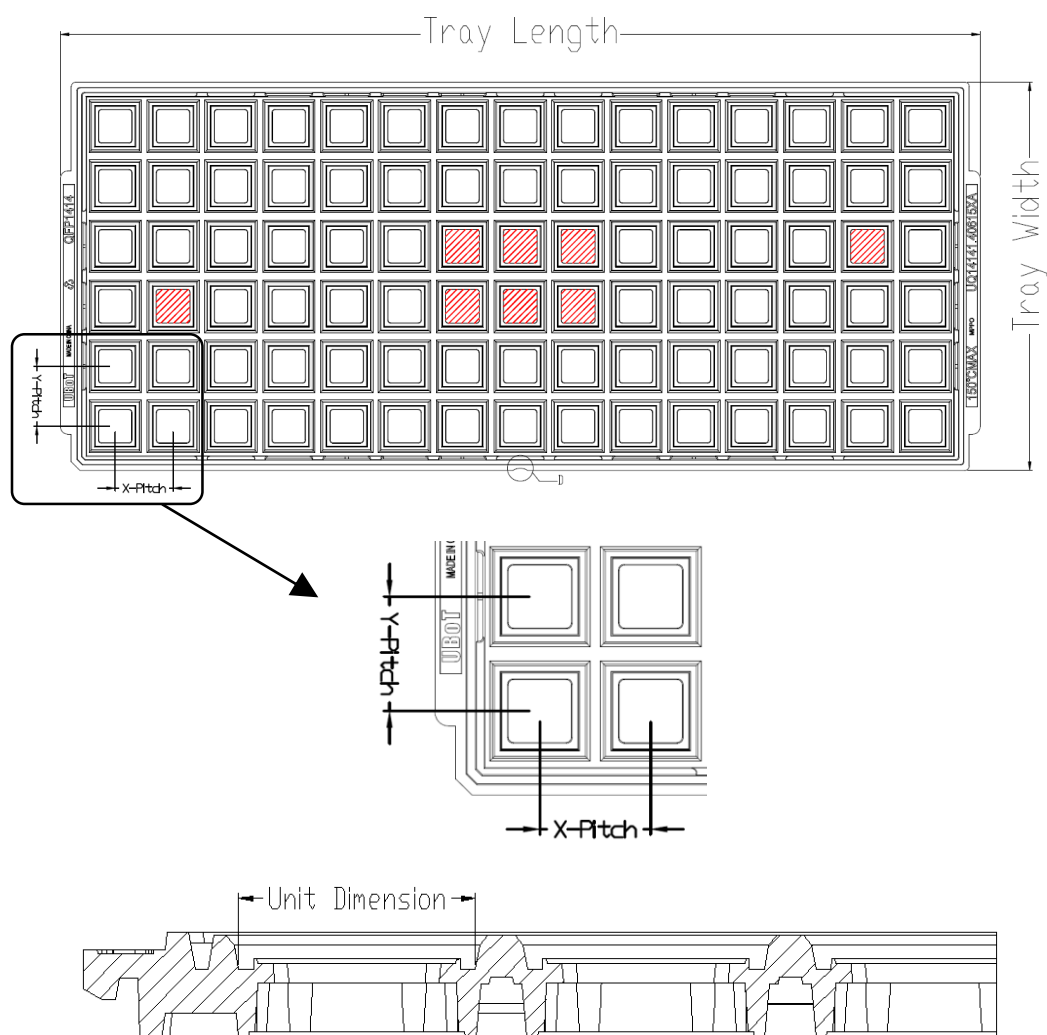
Device	Package Type	Pins	SPQ	ReelDiameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	W (mm)	Pin1 Quadrant
APM32F072RBT7	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
APM32F072CBT7	LQFP	48	2000	330	9.3	9.3	2.2	16	Q1

7.2 托盘包装

图 21 托盘包装示意图



Tray Dimensions

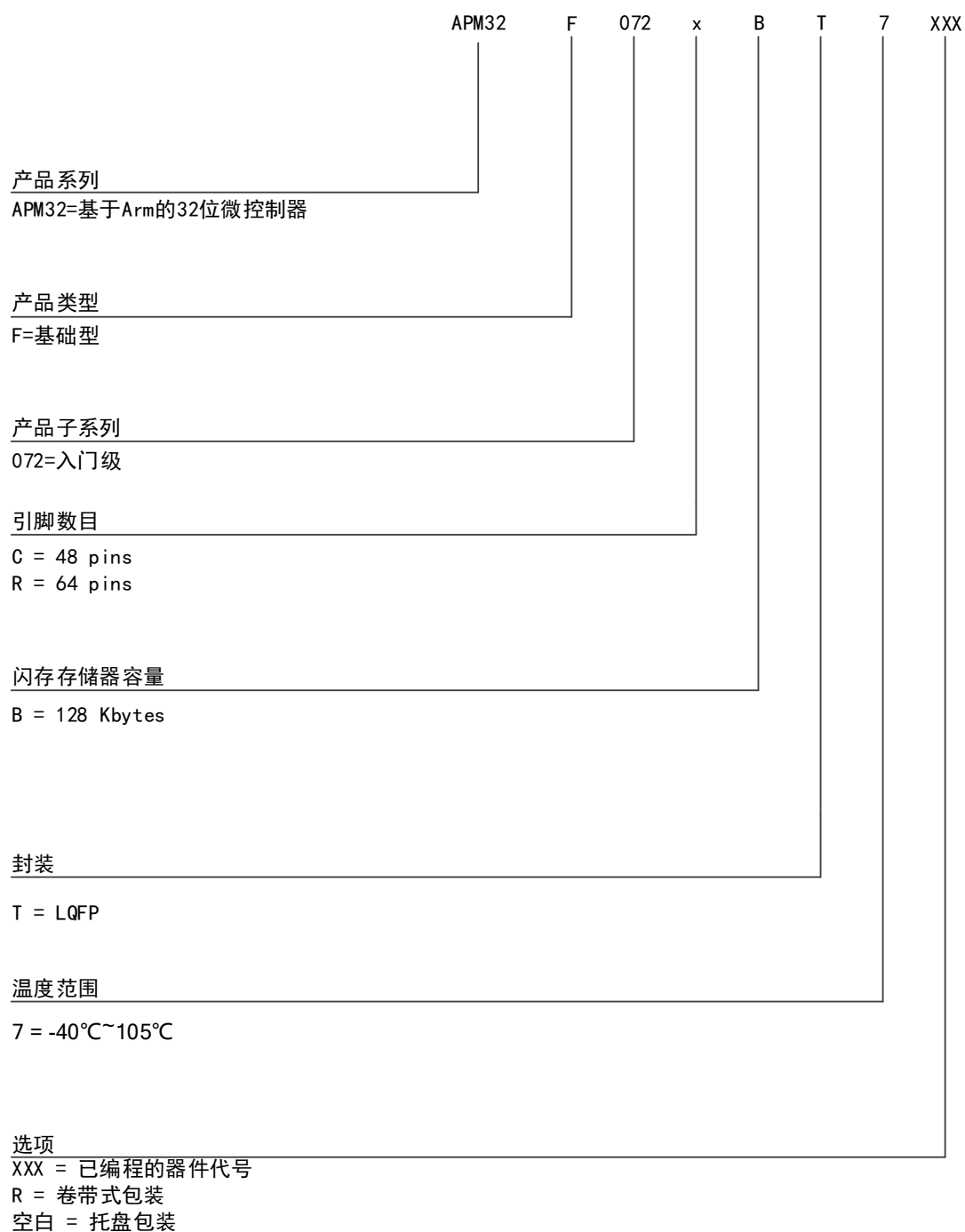


表格 61 托盘包装参数规格表

Device	PackageType	Pins	SPQ	X-Dimension (mm)	Y-DimensZion (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
APM32F072RBT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
APM32F072CBT7	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9

8 订货信息

图 22 订货信息命名规则



表格 62 订货信息列表

订货编码	FLASH(KB)	SRAM(KB)	SPQ	封装	包装	温度范围
APM32F072RBT7	128	16	1600	LQFP64	托盘	-40℃ ~ 105℃
APM32F072RBT7-R	128	16	1000	LQFP64	卷带	-40℃ ~ 105℃
APM32F072CBT7	128	16	2500	LQFP48	托盘	-40℃ ~ 105℃
APM32F072CBT7-R	128	16	2000	LQFP48	卷带	-40℃ ~ 105℃

注：SPQ=最小包装数量

9 常用功能模块命名

表格 63 常用功能模块命名

中文描述	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
蜂鸣器	BUZZER
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
实时时钟	RTC
外部存储控制器	EMMC
控制器局域网络	CAN
I2C 接口	I2C
串行外设接口	SPI
通用异步收发器	UART
通用异步同步收发器	USART
闪存接口控制单元	FMC

10 修订历史

表格 64 文件修订历史

日期	修订	变化
2023.2	1.0	新建

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，除非在极海销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户

未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及 / 或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册的任何第三方均不承担损害赔偿 responsibility，包括任何一般、特殊因使用或无法使用本手册相关信息而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失）。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2023 珠海极海半导体有限公司 – 保留所有权